

Master projet R&D CMOS et FCCee

Éléments pour alimenter la discussion

(discussions avec J. Baudot, Z.El Bitar, S. Senyukov)

Strategy: on the road to Higgs factories (FCCee)

CMOS Master Project

ECFA Detector Technology roadmap

European programs (AIDAInnova, Eurison)

Design, build and exploit CMOS pixels sensors
with low material budget & high granularity

In order to contribute to the construction of a vertex & a tracking detector in a Higgs factory.

Approach the Higgs factories
vertex detector requirements

Input for detector simulations

Exploit fully the potential
of the CMOS technology

MIMOSIS chip family (180 nm)

Optimize the parameters
of the technology
(e.g. sensitive layer)

R&D 65 nm

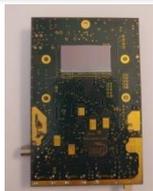
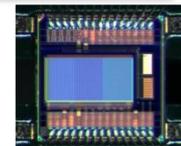
Large surfaces
(stitching)

Bent sensors

Exploring new architectures

Integration

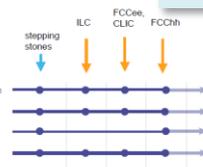
Emerging technologies
(e.g. double tier)



Maintain & develop the
know how to build sensors
to be installed in real
experiments

Example:
Solid State Detectors

- DRDT 1.1** Achieve full integration of sensing and microelectronics in monolithic CMOS pixel sensors
- DRDT 1.2** Develop solid state sensors with 4D-capabilities for tracking and calorimetry
- DRDT 1.3** Extend capabilities of solid state sensors to operate at extreme fluences
- DRDT 1.4** Develop full 3D-interconnection technologies for solid state devices in particle physics

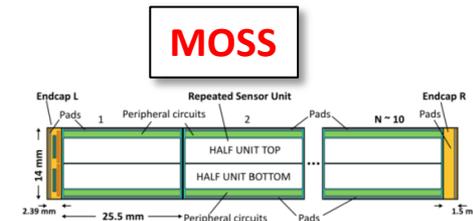
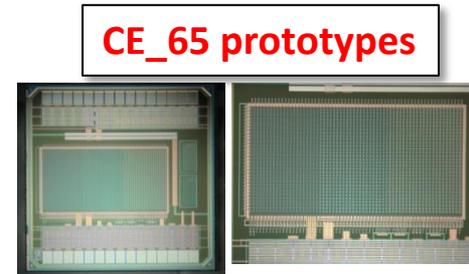
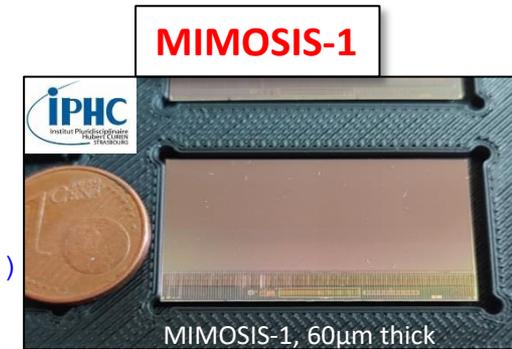


Example:
Solid State Detectors

	DRDT	ILC	FCCee, CLIC	FCChh
Position precision	11.1.4	11.1.4	11.1.4	11.1.4
Low η_{gap}	11.1.4	11.1.4	11.1.4	11.1.4
Low cover	11.1.4	11.1.4	11.1.4	11.1.4
High rates	11.1.4	11.1.4	11.1.4	11.1.4
Large area output ¹	11.1.4	11.1.4	11.1.4	11.1.4
Radiation tolerance FEL	11	11	11	11
Ultra-thin design ²	11	11	11	11
Position precision	11.1.4	11.1.4	11.1.4	11.1.4
Radiation tolerance TCD	11	11	11	11
Low η_{gap}	11.1.4	11.1.4	11.1.4	11.1.4
Low cover	11.1.4	11.1.4	11.1.4	11.1.4
High rates	11.1.4	11.1.4	11.1.4	11.1.4
Large area output ¹	11.1.4	11.1.4	11.1.4	11.1.4
Ultra-thin design ²	11	11	11	11
Radiation tolerance FEL	11	11	11	11
Radiation tolerance TCD	11	11	11	11

Résumé des R&D du master projet

- **Contribution aux futures usines à Higgs**
 - ✓ Étroite collaboration avec la plateforme C4PI
 - ✓ 3 soumissions sur la période
- **Technologie 180 nm : puce MIMOSIS** pour CBM-MVD@ FAIR
= Jalon pour les usines à Higgs
(5 μ m res. spatiale/ \leq 5 μ s res. temporelle / 60 μ m épaisseur)
 - ✓ MIMOSIS-1 (1^e prototype de grande taille, conçu @IPHC, 2020)
 - ✓ Importantes Campagnes de tests en faisceau: 3 x 2021, 3 x 2022
 - Résultats conformes aux attentes
 - ✓ Programme crucial pour maintenir le savoir-faire à l'IPHC
 - ✓ MIMOSIS-2 (+Mimosi0Fast): prochaine soumission au Q2 2022
 - ✓ + Technologie 180 nm: R&D générique (soumission QUARTPIC de C4PI)
- **Exploration de la tech. 65 nm et aboutement**
conduit par CERN EP R&D WP 1.2 & ALICE ITS-3
 - ✓ **Priorité:** Valider la technologie puis l'optimiser pour la résolution spatiale et la résolution temporelle en contrôlant la puissance consommée
 - ✓ Design et tests de prototypes exploratoires: CE_65
 - ✓ 2 campagnes de tests en faisceau (CE_65 prototype)
 - Résultats prometteurs
 - ✓ **L'aboutement** permet de concevoir des détecteurs avec des grandes surfaces et un faible budget de matière
 - ✓ **Priorité** pour les futures usines à Higgs-top
 - ✓ Prochaine soumission (ER1) en techno. 65nm au Q2 2022: prototypes pour explorer l'aboutement (MOSS/MOST) & CE_65+
- Bent sensors (with ALPIDE – ALICE ITS-3)
- **Études software pour FCCee/ILC**
 - ✓ Activité en plein développement (tracking, vertexing et étiquetage des saveurs)



Remarques pour alimenter la discussion

- Stratégie globale du master projet R&D CMOS
 - ✓ Concept pour le vertex/trajectomètre interne connu pour les usines à Higgs.
 - ✓ Priorité donnée au cœur du cahier des charges (granularité/minceur/puissance)
 - ✓ Appui sur les soumissions/projets moyen terme (CBM/FAIR, ALICE, Belle-2, etc.)
 - ✓ Démonstrateur visant le cahiers des charges à l'horizon ~2025
 - ✓ R&D amont avec C4PI (e.g. architectures basse puissance) **voir présentation J. Baudot**
- Une spécification du master projet R&D CMOS vers FCCee n'implique pas de changement dans les priorités scientifiques
 - ✓ Accompagnement vers des études/simulations dédiées
 - e.g. schéma de puissance, beam pipe, 2T/4T field, etc.
 - ✓ Place des études/simulations d'optimisation des détecteurs dans la future organisation ?
- Équilibre entre les différentes activités de R&D CMOS / tracking FCCee
 - ✓ **Voir présentation D. Contardo**
 - ✓ Ressources humaines limitées ⇒ Hiérarchisation nécessaire
 - ✓ IPHC (PICSEL+C4PI) = Réunion d'expertises ⇒ Rôle fédérateur (e.g. soumissions)
- Les questions d'intégration restent le parent pauvre et devraient pourtant être au cœur des études
 - ✓ Études spécifiques FCCee
 - Strong interplay between beam pipe, services, barrel-disks forward detectors (e.g. lumi)
 - Monitoring, cooling, cable routing, Alignment, Powering scheme, mechanics, data flow, etc.
- Le coût élevé des soumissions poussent vers une stratégie unifiée dédiée à FCCee
 - ✓ Partenaires étrangers ? Demande groupée IN2P3 pour des soumission dédiées FCCee ? Dépôt d'ANR conjointe ?