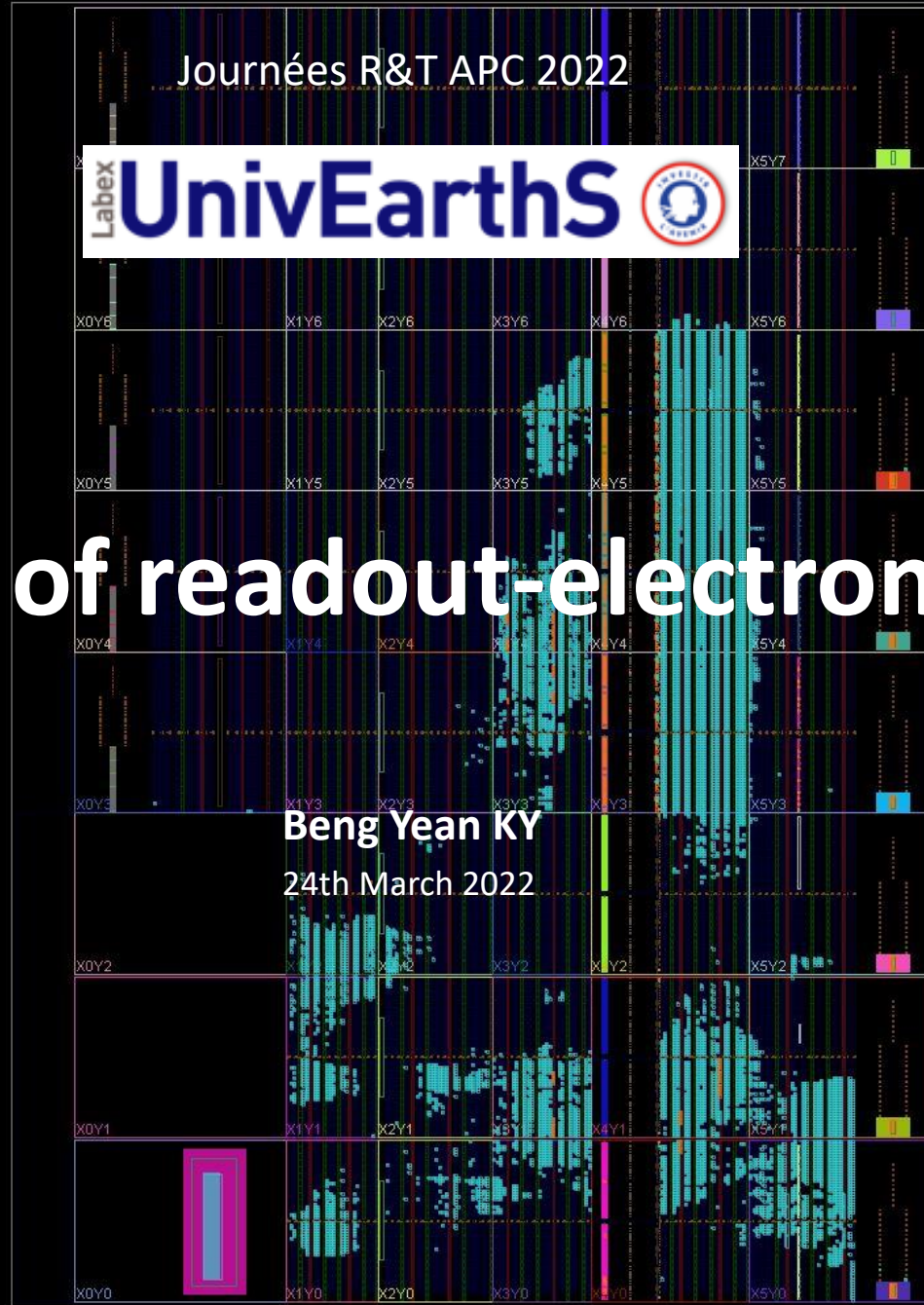


Development of readout-electronic for NGKIDs



Projet NGKIDs & équipes impliquées



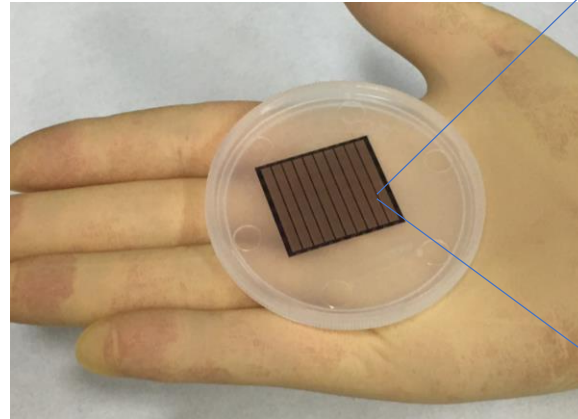
Position	Name / Surname	Laboratory	Grade
WP leader	Michel Piat	APC	Professor
WP co-leader	George Smoot	APC	Professor
WP co-leader	Piercarlo Bonifacio	GEPI	DR2
WP member	Faouzi Boussaha	GEPI	Research Engineer
WP member	Davide Cammilleri	APC	Research Engineer, Infor'marty
WP member	Christophe Goupil	LIED	Professor
WP member	Jie Hu	GEPI-APC	Post-Doc
WP member	Beng Ky	APC	Electronic engineer
WP member	Jean-Marc Martin	GEPI	Post-Doc
WP member	Paul Nicaise	GEPI	PhD student
WP member	Dung Pham Viet	APC	PhD student
WP member	Jean-Pierre Thermeau	APC	Research Engineer
WP member	Steve Torchinsky	APC	Research Engineer

Principaux enjeux techniques

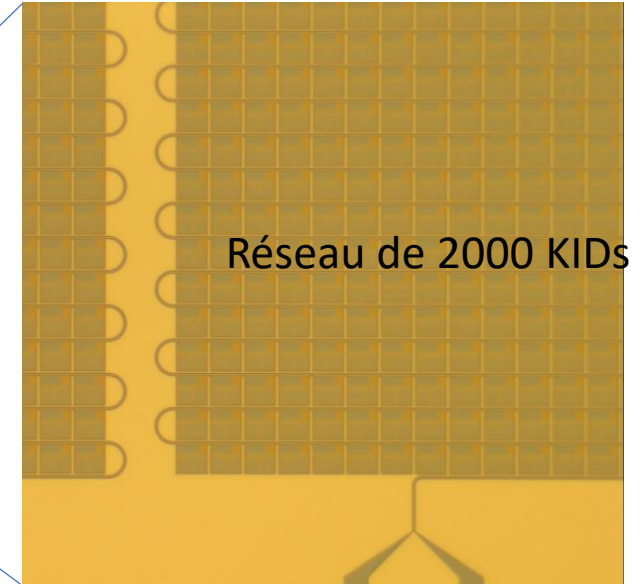
WP1: optical IR KIDs development and testing

- 2000 KIDs array: already done (GEPI)

detects photons with a frequency in the microwave range



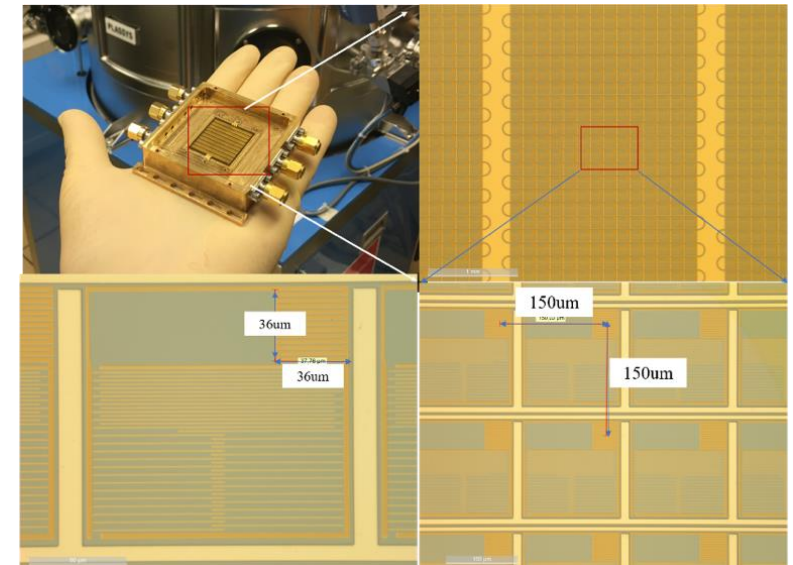
1 pixel = détection de photons uniques



WP2: novel KIDs devices

Objective: improve spectral resolution R
In theory, could be up to $R \sim 100$ @ 405nm

detects photons with frequencies in the infrared to visible spectrum



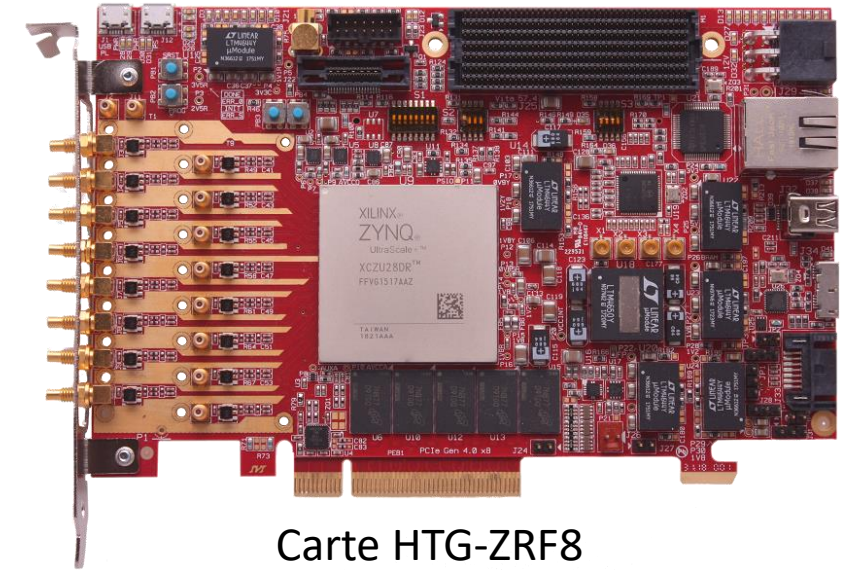
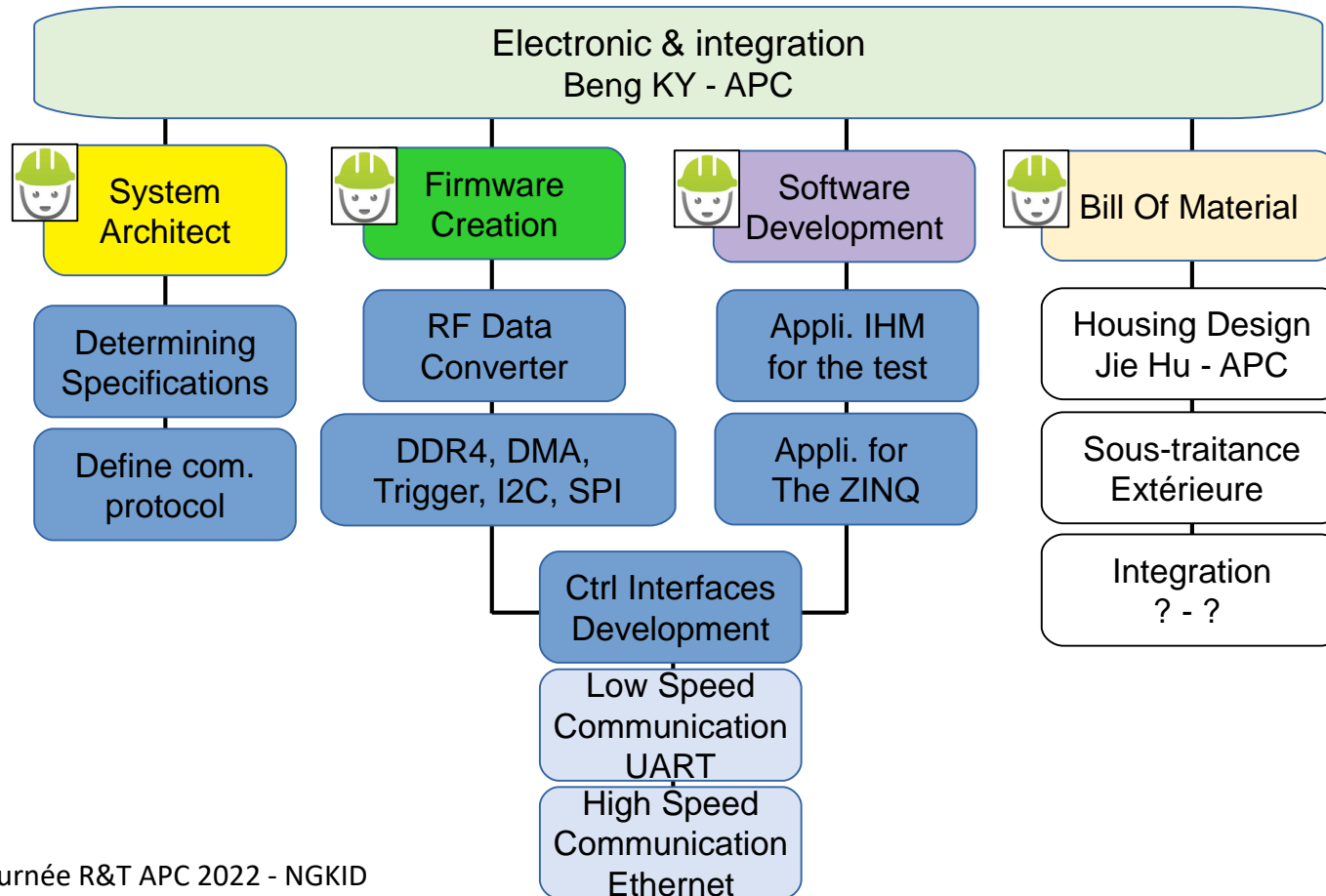
Implication technique de l'APC et principaux défis (1)

WP3: KIDs readout electronics

FPGA board HTG-ZRF8 from HitechGlobal

8 channels 4 GSPS 12-bit ADC

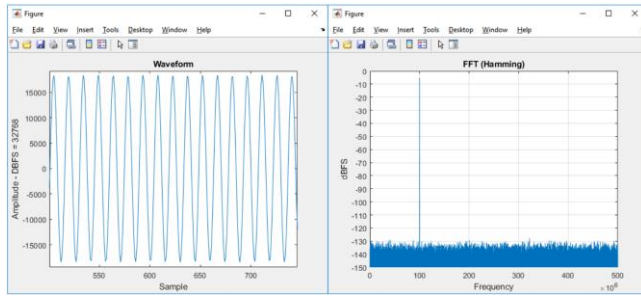
8 channels of 6.4 GSPS 14-bit DAC



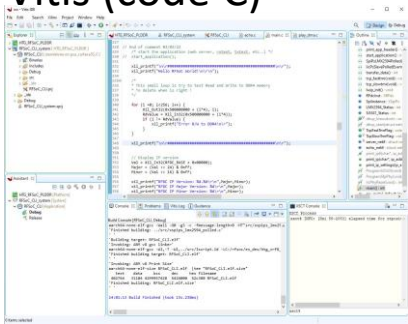
Carte HTG-ZRF8

Implication technique de l'APC et principaux défis (2)

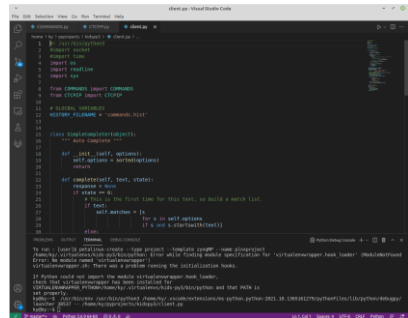
Matlab (by script)



Vitis (code C)

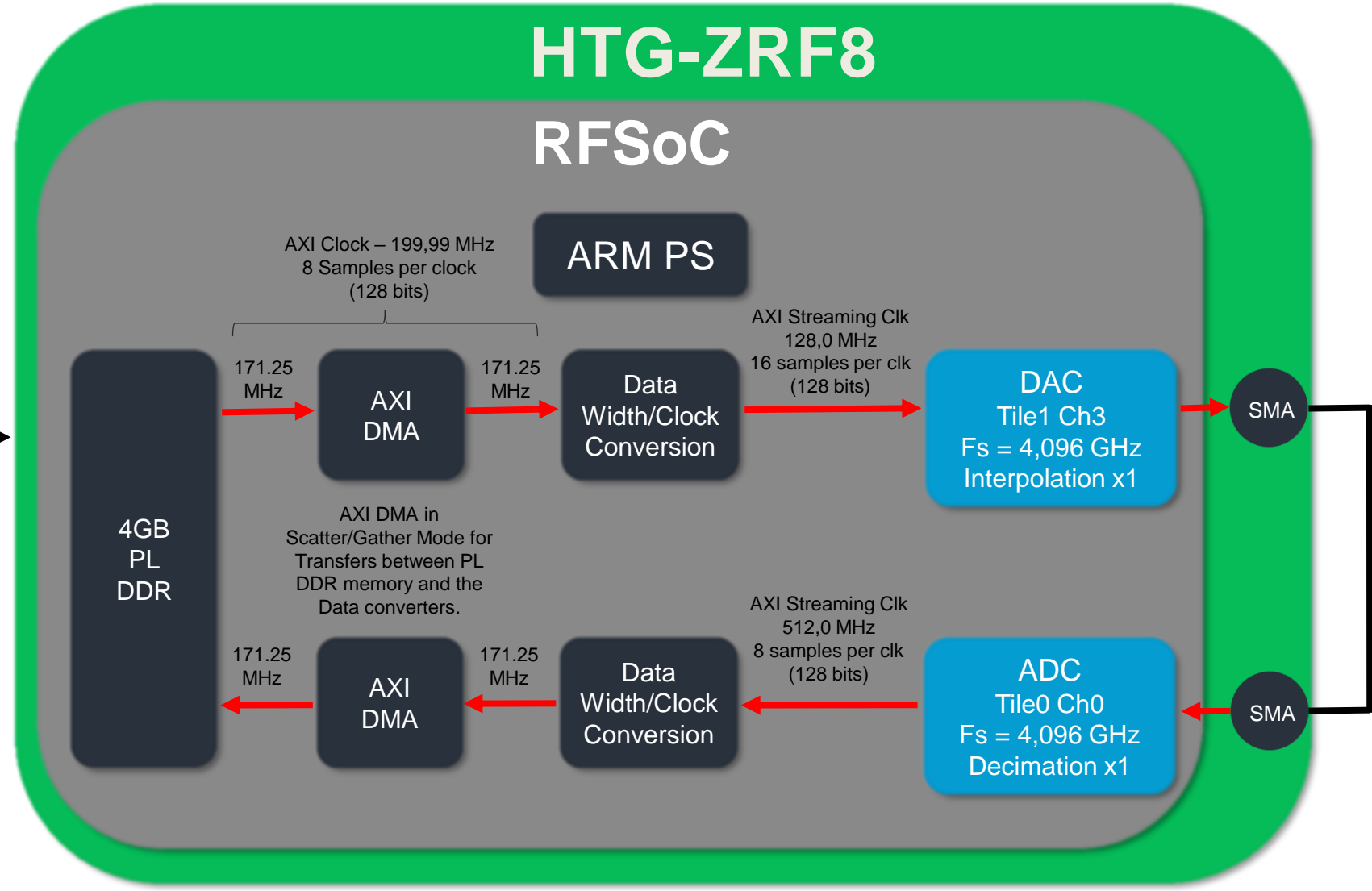


VSCoDe (code Python)



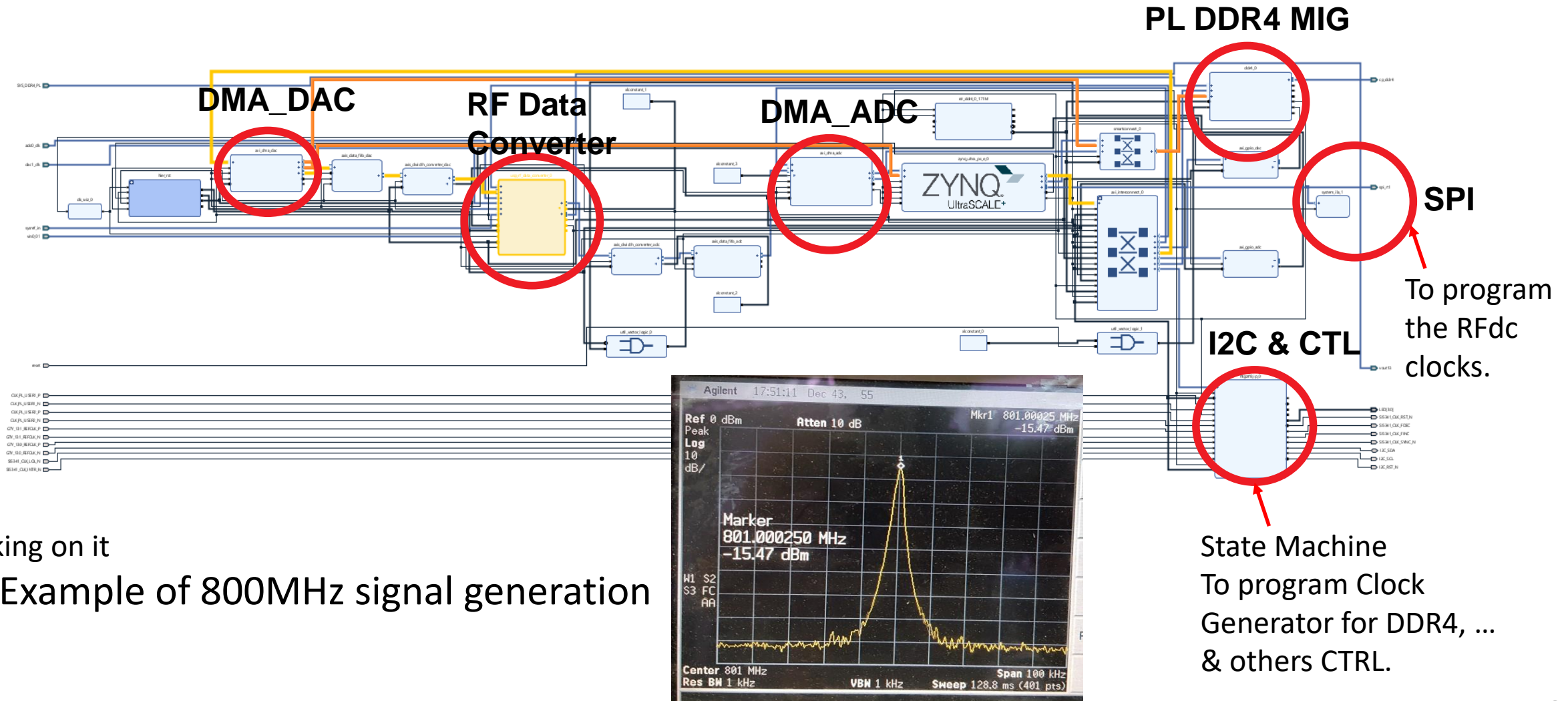
Laptop

- Vivado
- Vitis
- MATLAB
- JTAG
- Interface to HTG-ZRF8
- Ethernet & UART



Implication technique de l'APC et principaux défis (3)

First Tests RF Data Converter & PL-DDR4 Access



Working on it
Example of 800MHz signal generation

Principaux faits marquants & Objectifs

Principaux faits marquants :

- Développement softs (C, python) et protocole de communication pour contrôler/programmer la carte via l'Ethernet – **[OK]**
- On a pu générer sur une voie de conversion RFdc @800MHz – **[OK]**
- Configurer la DDR4-2400 et Tests d'accès (R/W) au DDR4-SODIMM – **[OK]**

Objectifs :

- Ecriture de scripts Matlab pour générer et relecture de la forme d'onde.
- Implémentation d'un module TRIGGER pour la lecture de la forme d'onde sur un signal SYNC. externe.
- Lecture d'un seul pixel avec cette carte HTG.

Principaux enjeux et difficultés anticipées

Difficultés Techniques : Concevoir et faire fonctionner une électronique complexe

Saut technologiques:

- Maîtrise RFSoc (Zynq UltraScale+) à travers Vitis, Vivado (n'est pas une mince affaire !)
- Configuration DDR4-2400 (pas commode quand le fournisseur ne donne pas les infos).
- Timing (pas trivial quand la fréquence d'horloge interne dépasse les 500MHz).
- Lien Ethernet Gbit/s avec Xilinx Zynq UltraScale+ RFSoc

Ressources humaines :

- Avancement du projet adapté aux ressources disponibles

- Une forte implication de l'équipe.
- Un projet techniquement difficile, 1 an pour faire fonctionner successivement les différents fonctions de la carte d'acquisition, par manque de manpower.
- Le développement de la carte est en phase de tests (hors détecteur) pour une voie d'acquisition et est démontré.
- La perspective de tests sur un pixel d'un détecteur sera lancée dans les prochains mois.

THANK YOU