

PCle400 : Firmware

- Update setup
- Statut de développement
- Poursuite du développement
 - ▶ Gestion des conflits d'appels concurrentiels sur les périphériques
 - ▶ Configuration via Protocol - CvP

**25 avril 2024 –
Julien Langouët**

Update setup

2 serveurs hébergent un devkit Agilex I-series

OS = AlmaLinux 9.3

- marupgrade15 au CPPM
 - [Doc pour l'accès et l'utilisation](#)
 - [Lien vers feuille de réservation par créneaux de 2h](#)
- lbdaqrome02 au CERN
 - [Doc pour l'accès et l'utilisation](#)
 - Installation de Quartus 23.4 pro et du Board Test System

Statut de développement : LLI-PCle400

QSYS_I2C_PCle

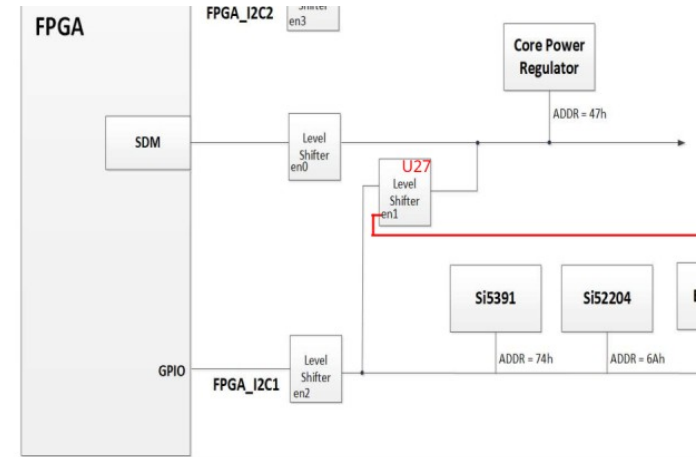
- Séparation des sources PCIe et Controller
- Connexion des I2C master sur les pins du top level
- Documentation des périphériques → [Lien vers repo git p400-doc](#)
- Conflits Main_I2C / PMBUS_Core
- Quand faire le merge ?

Interfaces PCIe

- Le driver ne voit qu'une seule interface (interface 1)

SW4	OFF/OFF/OFF/OFF	Type	ON (Close)	OFF (Open)
		1: FPGA I2C Enable	MAIN I2C bus disable	MAIN_I2C bus enable
Switch	Default Position	Function		
		2: FPGA I2C_2 Enable	I2C2 Bus disable	I2C2 Bus enable
		3: Main PMBUS Enable	CORE PMBUS disable	CORE PMBUS enable
		4: FPGA PMBUS Enable	SDM_I2C Bus disable	SDM_I2C Bus enable

SW4 ch3 → ON pour desactiver le level shifter U27 entre les bus



Poursuite du développement

Gestion des conflits d'appel concurrentiels

Plusieurs process peuvent solliciter une ressource matérielle de façon concurrentielle

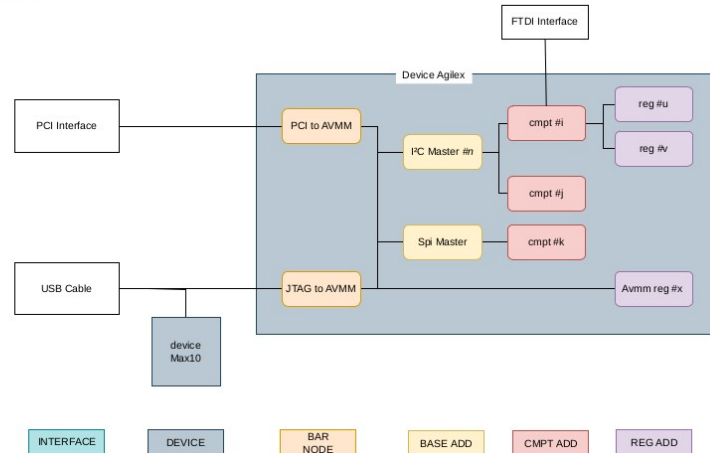
- Ex : Tâche de monitoring + Configuration
2 Configurations concurrentielles → Si ressource matérielle distincte OK
- Les process sont complètement indépendants

1. Quelle est la réponse d'un appel concurrentiel à chaque niveau ?

2. Quelle stratégie adopter pour notre application ?

- Erreur remontée à haut niveau, relance la transaction plusieurs fois ?
- Protection des transactions par sémaphore ?
- File d'attente des transactions ?

Paths to registers



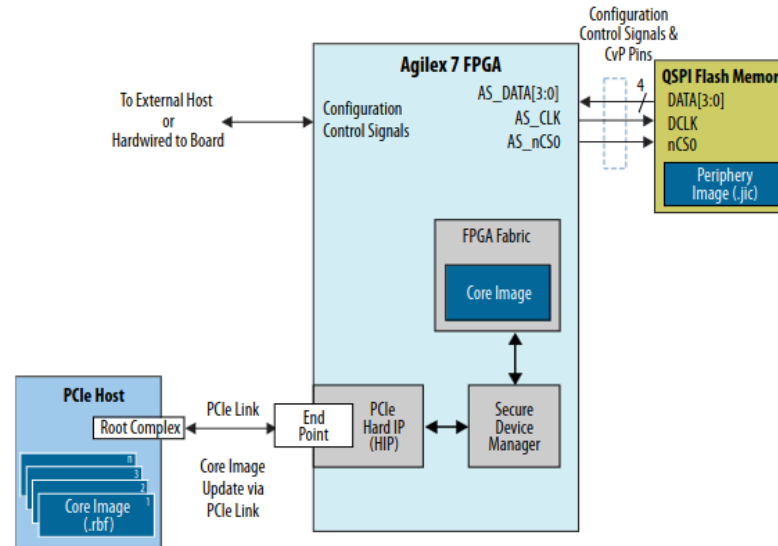
Configuration via Protocol

Permet la reconfiguration du firmware directement par PCIe

- Travail exploratoire pour la maîtrise du flux de programmation : Test sur devkit I-series PCIe
- Adaptation du firmware Ili
- Adaptation du driver fourni par Intel ?
 - ▶ [Agilex™ 7 Device Configuration via Protocol \(CvP\) Implementation User Guide](#)

Figure 2. Periphery and Core Image Storage Arrangement for CvP Core Image Update

The periphery image remains the same for different core image updates. If you change the periphery image, you must reprogram the local configuration device with the new periphery image.



For Agilex 7 designs that include the HPS, it is important to note that performing an FPGA core image update also causes the HPS to be reconfigured. The updated bitstream contains both the FPGA core data as well as the First Stage Bootloader (FSBL) used by the HPS.