

PCle400 Statut :

**11 avril 2024 –
Julien Langouët**

Firmware

LLI-PCIe400

QSYS_I2C_PCIe

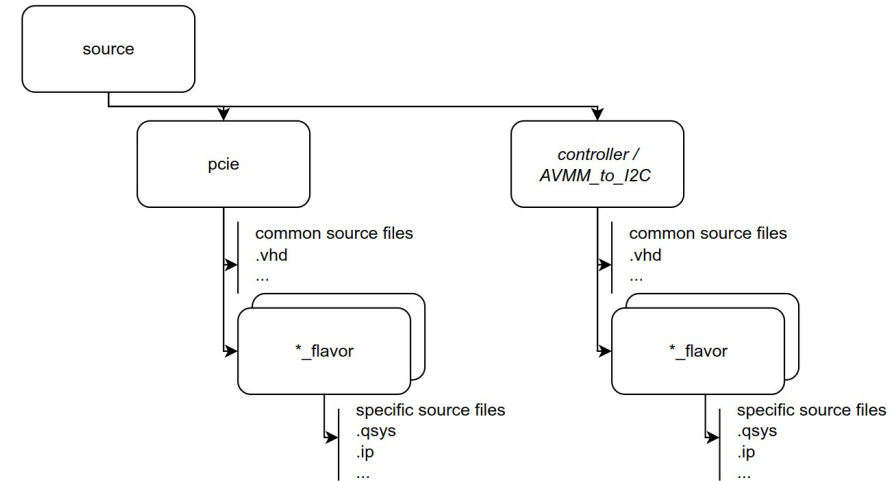
- Statut devkit_i et pcie400 ?
- Proposition de restructure :
- Documentation des périphériques → [exemple de base](#)

Main/Master

- Gestion du [.gitignore](#)
 - ▶ Actuellement : script [init.tcl](#) pour générer .gitignore : est modifié à chaque nouveaux modules
 - ▶ Proposition : « Ingérer tout sauf les fichiers .ip .qsys
 - ▶ `source/**/*.*`
`!source/**/*.*.qsys`
`!source/**/*.*.ip`
`# whitelist .tcl, .vhd, .v files in top level of modules`
`!source/**/*.*.tcl`
`!source/**/*.*.vhd`
`!source/**/*.*.v`

4-add-hps

- Ajout du module hps pour Agilex M OK
- Ajout du module hps pour Agilex F ?



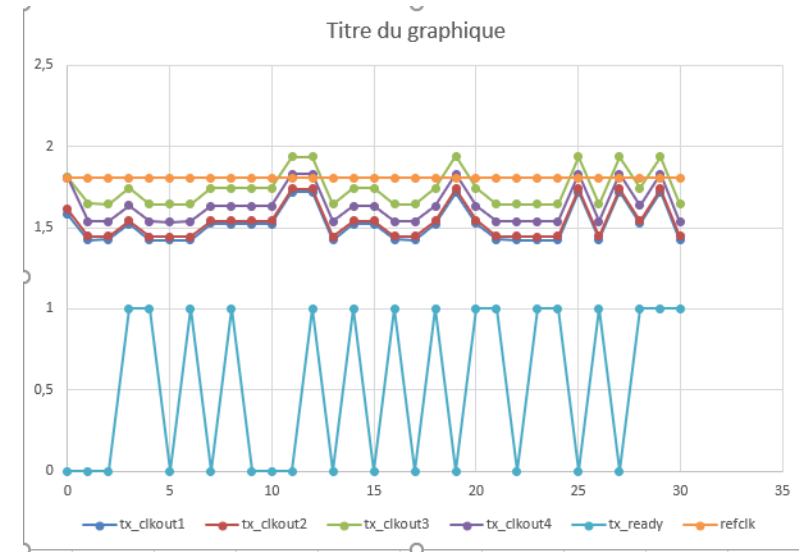
Phase fixed

Demonstrateur du feature phase fixed sur F-tile FGT

- Implémentation du mode « bonded »
- Test de comparaison de l'écart de phase entre l'horloge externe stable et les tx_clockout des 4 liens seriels entre reset successifs
 - ▶ Écart entre les tx_clock_out constant
 - ▶ Écart entre les un tx_clock_out et ref clock semble être un multiple d'une bit sériel
 - ▶ Problème d'instabilité tx_ready après un reset ?

Suite

- Implémentation sur devkit I Signal Integrity ?
- Implémentation du PCIe sur devkit I Pcie ?



JTAG

1-add-peripheral

- Testé avec le binaire C/C++ pcie40_aji (lhcb-daq-software)
 - Résolution du problème d'un problème d'allocation mémoire

```
1) Agilx I-Series SOC Dev Kit [1-1]
0) 0343B0DD AGFB027R24C(.|B|R2|R0)/..
0) 0x30006E00 Signal Tap #0
1) 0x30006E01 Signal Tap #1
2) 0x30006E02 Signal Tap #2
3) 0x30006E03 Signal Tap #3
4) 0x30006E04 Signal Tap #4
5) 0x30006E05 Signal Tap #5
6) 0x30006E06 Signal Tap #6
7) 0x08986E00 Nios V #0
8) 0x0C006E00 JTAG UART #0
9) 0x0C206E00 JTAG to Avalon-MM #0
10) 0x0C206E01 JTAG PHY #1
```

```
● marupgrade14:pcie40_aji languet (devel-aji *) $./pcie40_aji -c 1 -d 0
1) Agilx I-Series SOC Dev Kit [1-1]
0) 0343B0DD AGFB027R24C(.|B|R2|R0)/..
0) 0x00000000 (0:0) #0
1) 0x00000000 (0:0) #0
2) 0x00000000 (0:0) #0
3) 0x00000000 (0:0) #0
4) 0x00000000 (0:0) #0
5) 0x00000000 (0:0) #0
6) 0x00000000 (0:0) #0
7) 0x00000000 (0:0) #0
8) 0x00000000 (0:0) #0
9) 0x00000000 (0:0) #0
10) 0x00000000 (0:0) #0
```

- Doc des [périphériques accessibles](#)

Accessibilité à un setup de test

- Compilation lib_aji uniquement sur RHEL9 like
- Devkit I Signal Integrity → marupgrade14 (desktop/ Alma9 / pas ouvert aux externes)
- Devkit I PCIe → marupgrade15 (serveur / Centos7 / ouvert à l'extérieur)
 - Jtag server non accessible

Upgrade Marupgrade15 vers Alma 9 ?

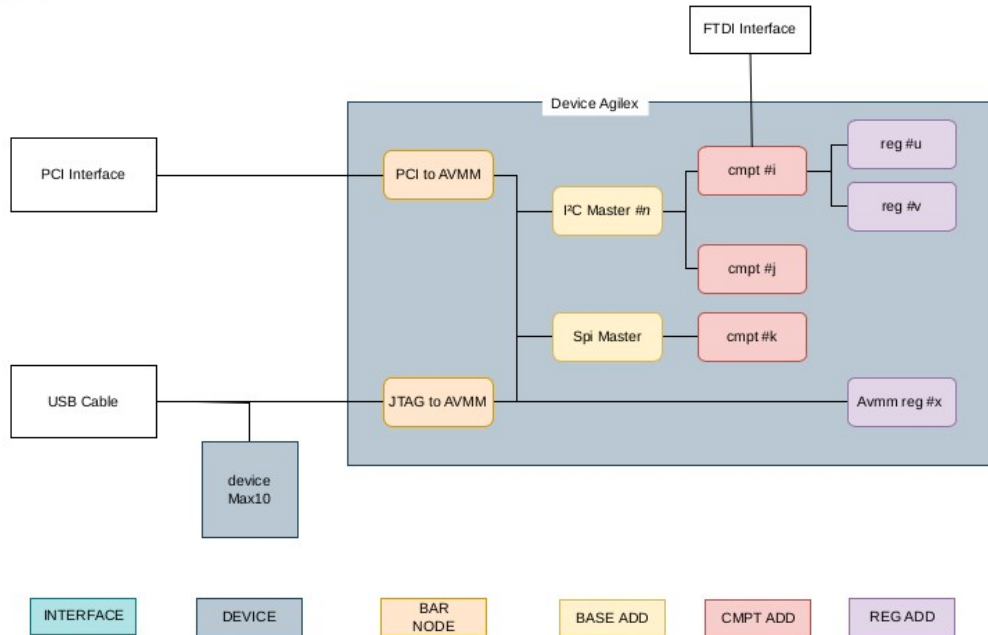
- Prévoir 2 jours d'interruption maximum lundi/mardi ou jeudi/vendredi

Software

Chemins d'accès – PCIe, JTAG, FTDI

Diagramme original sur boxIN2P3/PCIe400/software/Diagrams

Paths to registers



Path depend on the access and the underlying bus

connection	bus	interface	device	bar_node	base_add	cmpt_add	reg_add
PCIe	I²C	board number		bar fixed to 2			
	SPI						
	AVMM						
JTAG	I²C	cable number	fix value or fix name?	node fix value or fix name?			
	SPI						
	AVMM						
FTDI	I²C	URL					

Generic signature (independent of the connection)

```
read_i2c(
    interface=board_or_usb_cable_number_or_ftdi_url,
    base_add=i2c_master_controller_addres,
    cmpt_add=component_address_i2c_bus,
    reg_add=register_address_component,
    length=1
)
```

aji
ftdi
i2c

```
read_spi(
    interface=board_or_usb_cable_number,
    base_add=spi_master_controller,
    cmpt_add=component_address_spi_bus,
    reg_add=register_address_component,
    length=1
)
```

aji
i2c

```
read_avmm(
    interface=board_or_usb_cable_number,
    reg_add=register_adress,
    length=1
)
```

aji
avmm

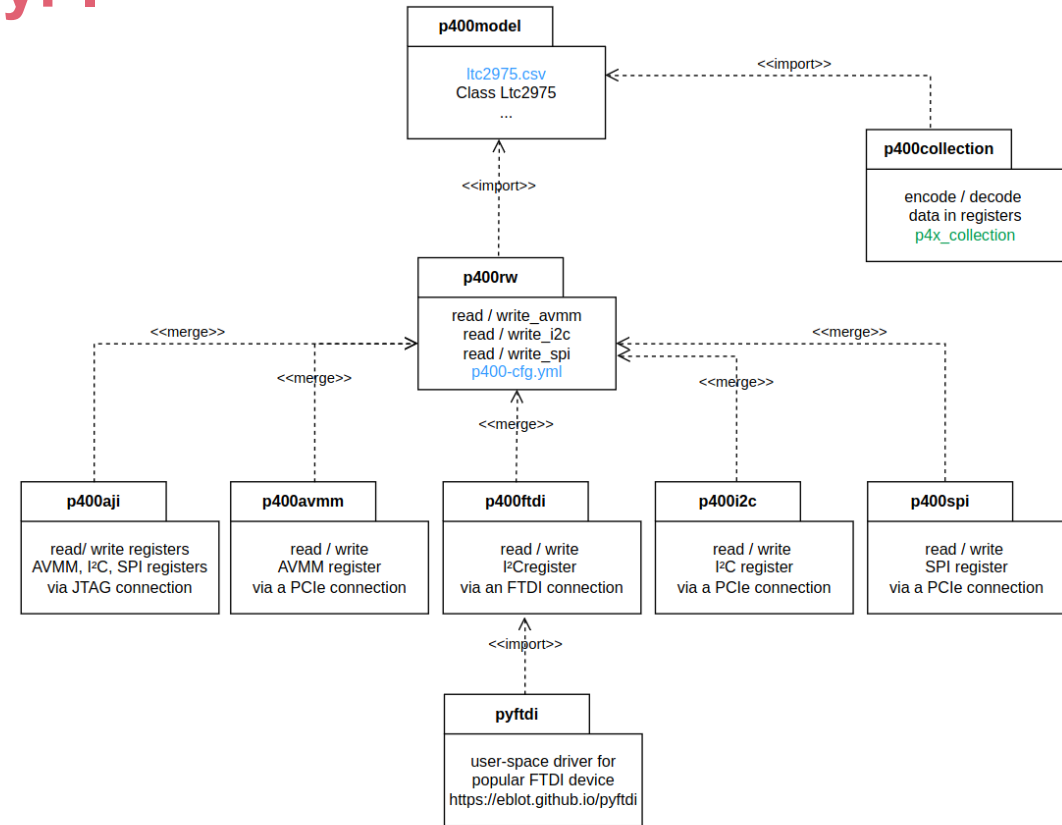
Organisation des packages PyPI

Diagramme original sur
[boxIN2P3/PCle400/software/Diagrams/UML-diagramm-packakges.pdf](#)

- Fonctions de lecture/écriture pour chaque bus d'accès et chaque bus de périphériques ventilés sur un ensemble de packages de base
 - p400-rw importe les fonctions des package de base en fonction d'une variable d'environnement « p400_CONNECT » pour créer des fonctions r/w par bus de périphérique
- [Lien vers source](#)

p400model /p400collection

- Un ou plusieurs packages, à définir



Legende
data file (csv, json, yaml, etc.)
Command Line Interface
function or class

Tests/debug software

p400aji

- Setup : marupgrade14 + devkit I SI + [lli-dev-si-board](#)
- Manque fonction C/C++ et quelques wrapper : à discuter vendredi

p400avmm / p400i2c / p400spi

- Setup : Marupgrade15 + devkit I PCIe + lli-pcie400:devkit_i

p400ftdi

- Setup : marupgrade14 + devkit Si5397 + Si5394 + LTM4681 + LTM4677

Software – register configuration

● [lien vers le follow up](#)

Priority	Component	Manufacturer	Description	Protoc	Test setup	Responsabilit	Status	Termin	Validé	testé
1	MAX31730	Analog Devices	Temperature Sensor	I2C	Agilex I series	LP21B	converti, à valider	X		
							tests ok PAGE_PLUS_WRITE, PAGE_PLUS_READ -> description du registre.. MFR_FAULT_LOG dedicated function instead of register function Add FORMAT 2SC Modifier le data format des registres en ASCII			
2	LTM4681	Analog Devices	DCDC	I2C	Devkit	LP21 B		X		
3	SI5395	Skyworks	PLL	I2C	Devkit	LP21 B	tests ok,			
4	SI5397	Skyworks	PLL	I2C	Devkit	LP21 B	tests ok, Remplacer dans la colonne access les R/O par R			
5	LTM4677	Analog Devices	DCDC	I2C	Devkit	LP21 B	converti, ajouter les champs manquants pour quelques registres			
	MAX10 Sequencer	Intel	Sequencer general monitoring	I2C	Devkit	CPPM	Manque la documentation			
	LTC2975	Analog Devices	LDO monitoring	I2C	-	LP21 B	CSV datasheet à convertir : sur branche 4			
	LTC2497	Analog Devices	ADC current and voltage	I2C	-	LP21 B	à faire			
	OBT	Amphenol	Opto-electronic XCVR	I2C	-	LP21 B	datasheet à fournir			
	24AA64	ST	Flash EEPROM	I2C	-	LP21 B	-			
	LMK04821	Texas Instrument	PLL	SPI	Idrogen	IJClab	converti, à compléter, IJClab model py + fichier CSV 3 erreurs à corriger			
	Core White Rabbit	CERN	white rabbit monitoring	UART	Idrogen	IJClab				
	PIO	Agilex	FPGA internal register	AVMM	Agilex I/F series	IJClab				
	Mailbox Client	Agilex	FPGA general monitoring	AVMM	Agilex I/F series	IJClab				
	XCVR PHY	Agilex	FPGA XCVR	AVMM	Agilex I series	CPPM				
	QSFP112	TBD	Opto-electronic XCVR	I2C						
	SFP+ 10G PON	TBD	Opto-electronic XCVR	I2C						
	SFP+ 1GbE	TBD	Opto-electronic XCVR	I2C						