

Statut conception PCIe400

Outline

- Avancement schématique
- R-tile PCIe
- F-tile
- Synthèse



J. Langouet, CPPM
P. Bibron, J.-P. Cachemiche, R. Le Gac, CPPM

Avancement schématique

Bloc	Justification Définition	Approvisionnement	Saisie schématique
Power supply	- Arbre d'alimentation validé par Intel - Revérification des courants disponibles Sur chaque rail vs courant consommés	- En Attente de livraison pour quelques composants (dernières livraisons prévues pour janvier 2022)	- En cours
Clock tree	- Arbre d'horloge visé et validé avec le CERN	- Composants livrés	- PLL, terminé - Interface avec FPGA, à faire
FPGA	- Terminé	- commandé, distribution prévue Q1 2023	- En cours (Symbole généré par Intel posé)
PCIe	- Intel design from devkit PCIe I series, Certifié PCI-SIG PCIe Gen5 (no redriver) - Choix de clock fanout compatible gen5 validé	- Clock fanout commandé	- Terminé
XCVR	- Quartus Golden Design en cours - Crossbar, à faire - SFP+, à faire	- Transceiver et socket OBT livrés - Cage et connecteur QSFP112 en cours de livraison - Manque composants SFP+	- Symboles en cours - Saisie schématique à faire
Translateurs de Niveau	- translateurs single ended, fait - translateurs I2C/Pmbus, fait	- Composants livrés	- symboles à générer
White rabbit	- Design validé sur Idrogen - Vérification compatibilité avec Agilex, à faire	- Composants livrés	- Saisie terminée sur projet Cadence ad hoc - Fusion avec schéma PCIe400, à faire - Remplacement des translateurs de Niveau pour compatibilité Agilex
I2C tree	- Choix nombre de bus I2C et Périphériques par bus I2C	- Translateurs de niveau livrés	- à faire
I/V/T° monitoring	- I/V validé avec l'arbre d'alimentation, Ajout LTC2975 pour mesure du courant en entrée par PMBus - Monitoring en courant des rails critiques, à faire - Monitoring température, à faire	- LTC2975 commandé - capteurs de température, à faire	- à faire
Configuration FPGA	- Flash sérielle, validée - USB blaster, reprise du design devkit I series	- Composant commandés ou déjà en stock	- Flash sérielle, terminé - USB blaster, en cours
Flash identification	- à faire	- à faire	- à faire

R-tile PCIe

[diverses informations des ingénieurs Intel cf [IPS case](#) de Jean-Pierre]

Compatibilité Agilex R-tile / CPU

- R-tile testé et certifié PCI-SIG pour PCIe Gen5, liste des root complex testé disponible sur [PCI-SIG](#)

Golden design (pour confirmer l'implémentation FPGA du schéma)

- Utilisation de l'exemple design pour PCIe devkit Agilex I-series
 - Nb : 2xDevkit Intel commandés -> version DK-DEV-AGI027R1BES (AGIB027R29A1E2VR3 Rev B0 F & R-Tile) prévus pour fin novembre



Disponibilité IP R-tile

- Quartus 22.3 inclu le mode Avalon-ST uniquement
- Quartus 22.4 (fin decembre 2022) devrait inclure l'IP MCDMA pour R-tile avec le mode DMA et le bus Avalon-MM. L'implémentation devrait être identique à celle disponible pour F-tile/P-tile/H-tile [MCDMA for PCIe UG](#)

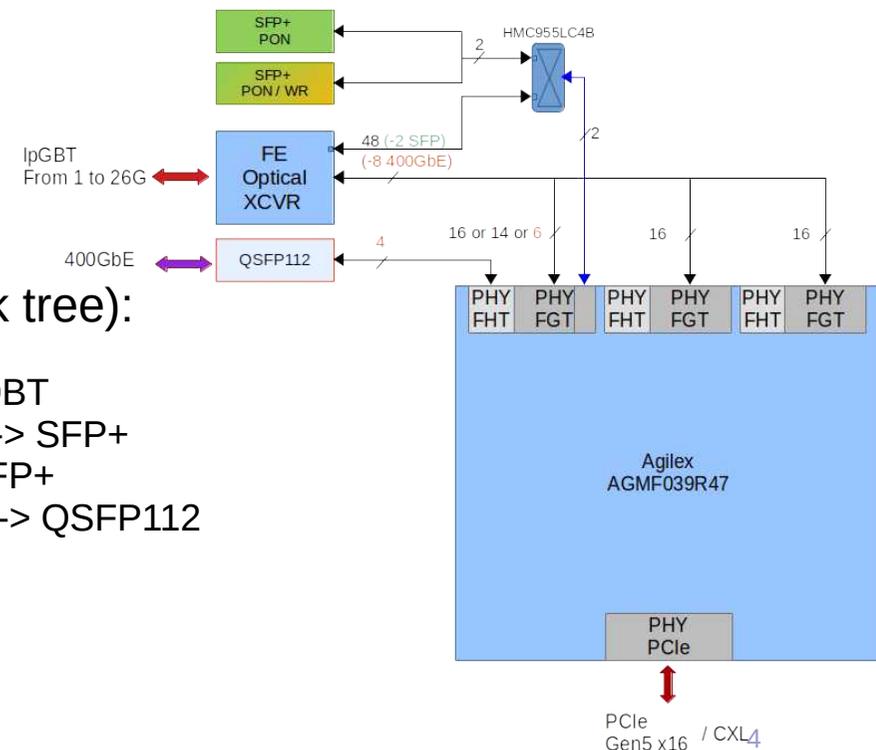
F-tile

Revue préliminaire Intel par Peter Schepers

- Chaque F-tile requiert une ref clock supplémentaire pour son fonctionnement interne (alimente un μc) -> ajout d'oscillateurs après confirmation sur golden design
- F-Tile FHT PMA (400GbE) requiert une ref clk 156.25MHz « ppm matched » avec l'horloge de référence des system PLL. Or les system PLL sont utilisés les ref clk FGT -> ajout d'un oscillateur avec fanout

Golden Design à partir d'un exemple design de Peter Schepers

- En cours d'adaptation



- Principe pour valider l'architecture (xcvr opto et clock tree):

Étape 1 cas nominal : PRBS 25Gbps sur 48 liens F-tile FGT <-> OBT

Étape 2a cas limite SFP+ : Ajout 10GPON sur 2 liens F-tile FGT <-> SFP+

Étape 2b cas limite SFP+ : Ajout 1GbE sur 1 lien F-tile FGT <-> SFP+

Étape 3 cas limite 400GbE : Ajout 400GbE sur 4 liens F-tile FHT <-> QSFP112

Synthèse

Schématique

- Retard global car difficile de converger avant la publication des documentations du FPGA
 - Récupération d'un symbole et empreinte fait par Intel pour l'agilex
 - Aide via IPS case de Intel très efficace + suivi hebdomadaire avec nos correspondants habituels
 - Accès au modèle depuis Quartus22.3 pour compiler un Golden Design
 - Travaux préparatifs pour faciliter le placement routage avec Kévin