

# Discussion Planning



**J. Langouet, CPPM**  
P. Bibrion, J.-P. Cachemiche, R. Le Gac, CPPM

## Outline

- Hardware
  - Avancement schématique
  - Préviation routage
- Software
  - Modélisation numériques des périphériques
- Firmware
- Thermiques
  - Maquette Thermique
  - Simulations CFD

## Hardware : Avancement schématique

- **Arbre d'alimentation**
  - Confirmation de l'étude de puissance dissipée (cf [Lien indico 7-Juil-22](#)) en attendant la doc Intel
  - Modification en cours pour l'ajout de LDO suite à l'étude des documentations des Agilex I-series
- **Arbre d'horloge**
  - Justification définition terminé et schéma terminé
- **Liens sériels**
  - Justification définition en cours (Ajout du crossbar)
  - Saisie schématique à faire
- **White Rabbit**
  - Justification définition en cours
  - Saisie schématique en cours (schéma à part puis intégration sur PCIe400)
- **Monitoring (courant/tension/température)**
  - Justification et saisie à faire
- **Configuration FPGA**
  - CvP (justification définition en cours et saisie schématique à faire)
  - JTAG (USB blaster) (reprise d'anciens design)
- **Agilex**
  - En attente de la doc Intel (fin septembre)

## Hardware : Pr evision routage

- Routage pr evu entre Novembre 2022 et F evrier 2023.
- En parrall e :
  - Choix stackup
  -  tude power integrity
  -  tude signal integrity

## Hardware : Vue du planning

Planning PCIe400	Responsabilit�	Ao�t	Septembre	Octobre	Novembre	D�cembre	Janvier	F�vrier
<b>Design carte prototype</b>								
Schematique	CPPM							
Alimentations	CPPM	█	█					
Clock tree	CPPM	█						
Optics	CPPM		█					
S�quenceur d'alimentation	CPPM		█			█		
JTAG interface	CPPM		█					
Configuration FPGA	CPPM		█					
FPGA	CPPM			█	█			
White Rabbit	IJCLab		?					
Monitoring I/V/T�	CPPM			█				
Revue sch�mas interne	CPPM				█			
Revue sch�mas Intel	CPPM				█			
Routage	CPPM					█	█	█
Revue de routage	CPPM					█	█	█

## Software :

- Modélisation des PLL : status ?
- Modélisation des autres composants
  - Prévoir une à deux semaines de hackathon pour spécifier et commencer à développer les classes python
- Slow control (JTAG, PCIe drivers) + Fast control (DMA) ?
  - Base existante sur Agilex F-series (CPPM) - Remise en forme et partage fin Octobre par le CPPM ?

## Firmware :

- Slow control (JTAG, PCIe drivers) + Fast control (DMA) ?
  - Base existante sur Agilex F-series (CPPM) - Remise en forme et partage fin Octobre par le CPPM ?

### Contribution CPPM ?

Planning PCIe400	Responsabilité	Août	Septembre	Octobre	Novembre	Décembre	Janvier	Février	Mars	Avril	Mai	Juin	Juillet	Août
<b>Software</b>														
JTAG, PCIe drivers	IJCLab/CERN						?	?	?	?	?	?	?	?
DMA management	IJCLab/CERN		?	?	?	?	?	?	?	?	?	?	?	?
Python object testing on evaluation card	CENBG					?	?	?	?	?	?	?	?	?
Python objects design for components	CENBG									?	?	?	?	?
<b>Firmware</b>														
Agilex : Interface JTAG, PCIe	IJCLab, CERN		?	?	?	?	?	?	?	?	?	?	?	?
Agilex : DMA	IJCLab, CERN		?	?	?	?	?	?	?	?	?	?	?	?
Agilex: Interfaces périphériques	CENBG					?	?	?	?					
Max10: USBBlaster	CPPM													
Max10: Power Sequencer	CPPM													
Max10: Interface Flash programmation	CPPM													
Debug partiel sur carte d'évaluation	All										?	?	?	?
Debug sur carte prototype	All										?	?	?	?

## Maquette Thermique :

- Schéma terminé
- Routage en cours
- Approvisionnement en cours

Planning PCIe400	Responsabilité	Août	Septembre	Octobre	Novembre	Décembre
<b>Carte d'émulation thermique</b>						
Schematique	CPPM	■				
Routage	CPPM		■			
PCB	CPPM			■		
Cablage	IJCLab			■		
Python object				■		
Test	CPPM				■	
Vérification simulations	LAPP					■
Définition heat sink type	CPPM/LAPP					■