



Projet LHCb-CALO2

Patrick Robbe pour le projet LHCb-CALO2 R&T, IJCLab Orsay, 19/10/2022

Le projet LHCb-CALO2

- Production d'un prototype d'ASIC pour mesurer le temps dans les futurs calorimètres de l'expérience LHCb au CERN avec une précision de l'ordre de 10 ps
- Responsable technique: Christophe Beigbeder, IJCLab Orsay
- Responsable scientifique: Patrick Robbe, IJCLab Orsay
- Pour organisation à plus long terme: Samuel Manen (LPC Clermont) – Philippe Vallerand (IJCLab Orsay) / Vincent Tisserand (LPC Clermont) – Patrick Robbe (IJCLab Orsay)
- Participants:
 - IJCLab: Dominique Breton, Manuel Guittièrre, Mariia Buchynska, Philippe Vallerand
 - LPC Clermont-Ferrand: Nicolas Arveuf, Guillaume Blanchard, Baptiste Joly, Samuel Manen, Vincent Tisserand, Richard Vandeale
 - IP2I Lyon: Edouard Bechetoille, Hervé Mathez
 - LPC Caen : L.Leterrier. L.Alvado
- Collaborations avec Barcelone, Valencia et le CERN
- Planning: début 2022 à fin 2023
 - Workshop Clermont-Ferrand, avril 2022
 - Workshop Orsay, septembre 2022
 - Soumission ASIC automne 2023

Upgrade Phase 2 de LHCb

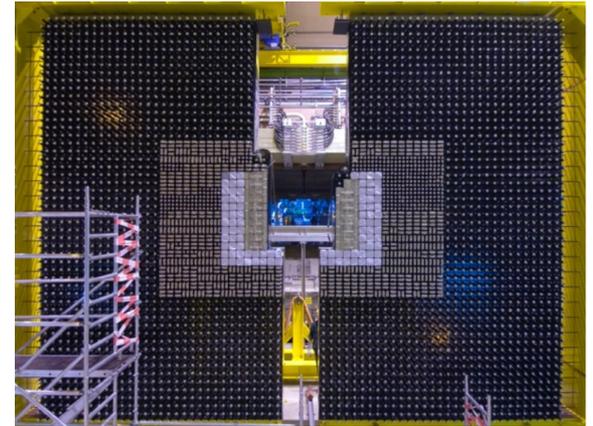
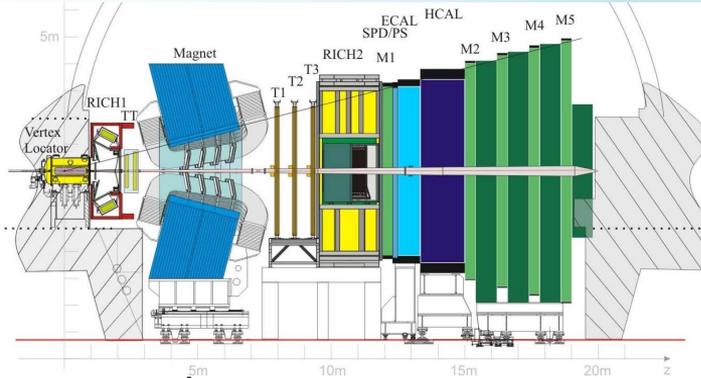


$L = 2 \times 10^{33} \text{ cm}^{-2} \cdot \text{s}^{-1}$
~5 interactions per bunch crossing
~50 fb^{-1} (Run 3 and 4)

$L = 2 \times 10^{34} \text{ cm}^{-2} \cdot \text{s}^{-1}$
~50 interactions per bunch crossing
~300 fb^{-1} (Run 5...)

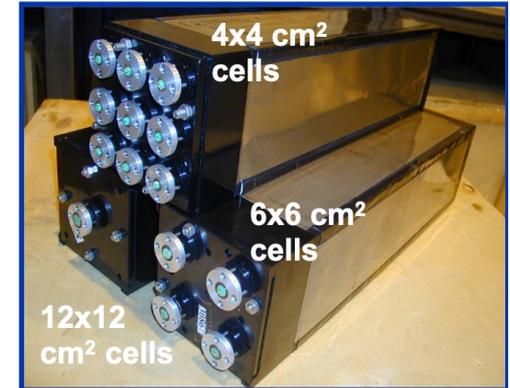
Upgrade du calorimètre de LHCb

~ 7.5m x 6m



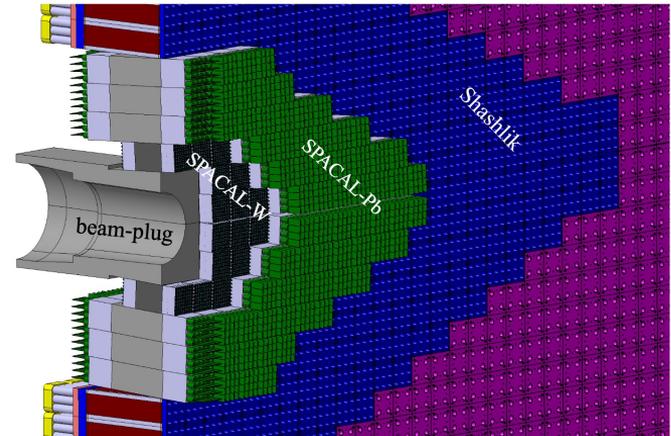
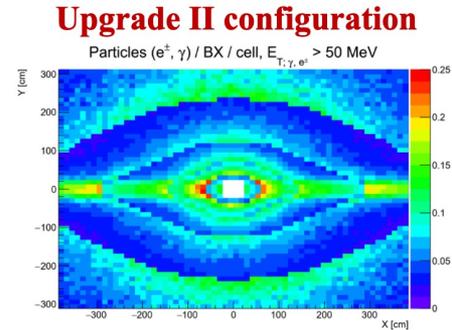
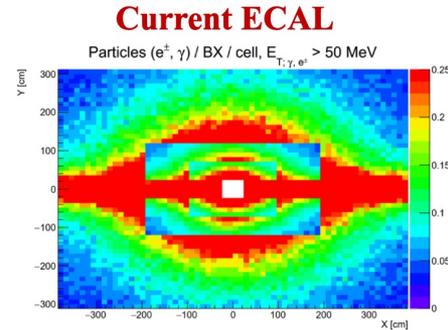
• Calorimètre actuel:

- Reconstruction des photons et π^0 entre 1 et 100 GeV (physique des saveurs lourdes) pour une luminosité de $2 \times 10^{32} \text{ cm}^{-2} \text{ s}^{-1} - 2 \times 10^{33} \text{ cm}^{-2} \text{ s}^{-1}$
- Technologie 'shashlik' (scintillateur + plomb) avec des cellules de taille 4x4/6x6/12x12 cm²
- Résistance aux radiations jusqu'à 40 kGy
- Résolution en énergie $\frac{\sigma(E)}{E} = \frac{10\%}{\sqrt{E}} \oplus 1\%$



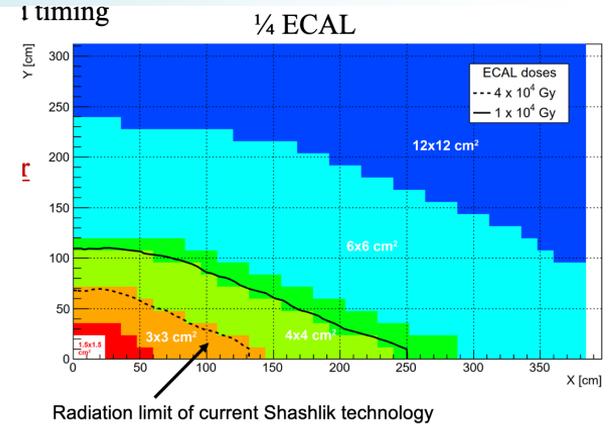
Cahier des charges pour ECAL2

- Fonctionnement à des luminosités jusqu'à $1.5 \times 10^{34} \text{ cm}^{-2} \cdot \text{s}^{-1}$, avec les mêmes performances que pour ECAL actuel (même résolution en énergie)
- Résistance aux radiations jusqu'à 1 MGy et $< 6 \times 10^{15} \text{ cm}^{-2}$ for 1 MeV neq/cm² à 300 fb⁻¹
- Réduire l'effet de l'empilement (pile-up) élevé et de l'augmentation de la multiplicité:
 - En augmentant la granularité (minimum 1.5x1.5 cm²) et en utilisant une géométrie en losanges
 - En ajoutant la possibilité de mesurer précisément le temps avec ECAL
- Conserver les dimensions des modules extérieurs (12x12 cm²)

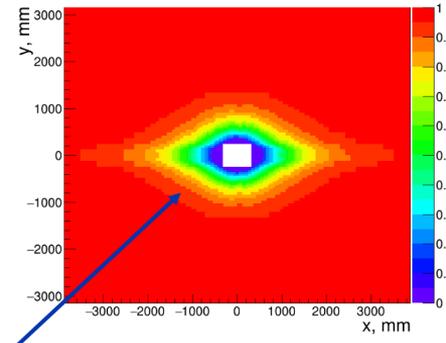


Technologies pour ECAL2

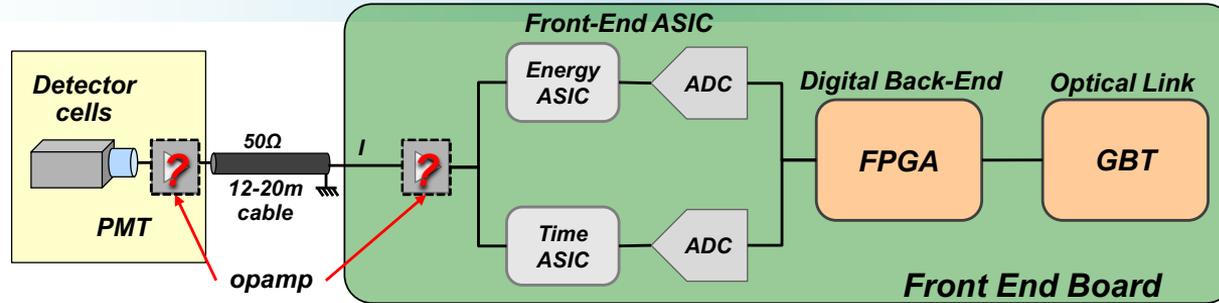
- Modules shashlik améliorés dans les régions externes (4, 8 et 12 cm):
 - Nouvelles fibres WLS et segmentation longitudinale (en 2), ajoute la possibilité de faire du timing
 - 2000 modules avec ce qui existe et 1300 nouveaux modules
- Nouvelle technologie SpaCal pour les modules internes, avec mesure de temps et segmentation longitudinale en 2 parties
 - Fibres en cristal et absorbeur tungstène pour la partie la plus centrale
 - Développement en cours de cristaux scintillants résistant aux radiations
 - Fibres plastiques et absorbeur plomb pour la partie intermédiaire
 - Utilisation de scintillateurs organiques résistant aux radiations
- Total: 30208 canaux
- Nécessité de changer les modules à la fin du Run 3:
 - Installation de 32 modules SpaCal-W et 144 modules SpaCal-Pb
 - Sans segmentation longitudinale, mais avec possibilité de la mesure du temps



ECAL cell efficiency after 2025 (48/fb)



Lecture et Electronique

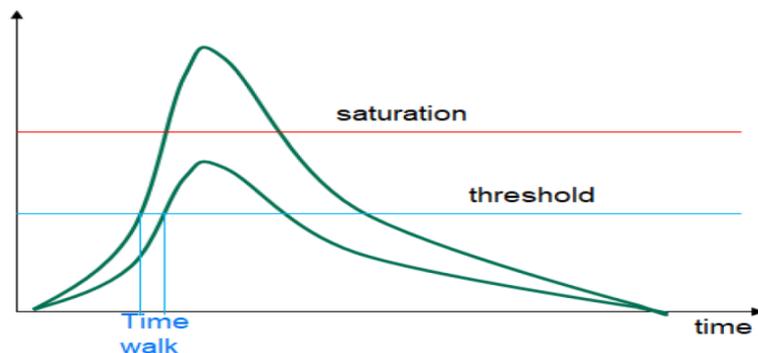


- Architecture envisagée:

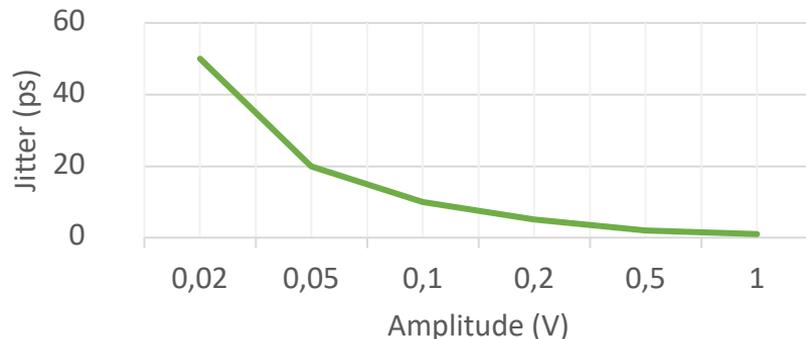
- Modules lus par des PMTs: intense R&D et test-faisceaux à DESY et au CERN
- Connectés à l'électronique Front-End avec cables analogiques coaxiaux de 12 à 20 m
- Cartes Front-End sur une plateforme au dessus du calorimètre, moins exposées aux radiations (40 Mrad), connectées par liens optiques aux cartes back-end pour l'acquisition de données (PCIe400)
 - ASIC mesure d'énergie: précision 12 bits @40 MHz
 - ASIC mesure de temps: précision 15 bits. Interest of the groups at IN2P3, with current R&T
- Taux de lecture pour readout à 40 MHz: >20 Tb/s, 10 fois plus que détecteur actuel. Comme on conserve l'infrastructure actuelle, nécessité d'appliquer une réduction des données d'un facteur 10 dans l'électronique Front-End.

Mesure du temps pour ECAL2: contraintes

- Résolution totale ~ 15 ps RMS (dépend de l'amplitude)
- Occupation maximale par cellule $\sim 10\%$ (à affiner avec des simulations plus précises)
- Capacité pour traiter des événements consécutifs à 40 MHz
- Gamme dynamique: E_T de 50 MeV à 5 GeV correspondant à V_{IN} de 10 mV à 1 V
 - Grande variété des signaux d'entrée: facteur 100 en amplitude et petits signaux proches du niveau de bruit
- Résolution totale autour de 15ps

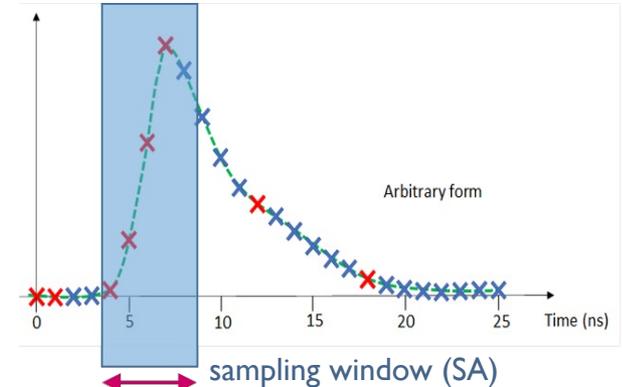


Jitter en fonction de l'amplitude (rise time =1ns, noise =1mV)



Mémoires analogiques circulaires

- Mémoire analogique avec plusieurs banques (8 avec 32 cellules de mémoire):
 - quand le signal est au dessus d'un seuil (auto-déclenchement ou déclenchement externe), la banque active est gardée jusqu'à la fin du processus de digitisation.
 - La banque suivante libre peut commencer à acquérir le signal suivant (25 ns)
 - La fenêtre d'échantillonnage est configurée pour lire uniquement les points intéressants dans les 25ns:
 - 128-delay cell DLL @40 MHz ~200 ps pour choisir le début de la fenêtre d'échantillonnage
- Les 32 (à définir) points d'échantillonnage sont ensuite traités dans un FPGA sur la carte pour extraire le temps et l'associer à la charge.



32 échantillons : différentes possibilités de pas d'échantillonnage pour plus de versatilité

@50ps → SA = 1.6ns

@200ps → SA = 6.4ns

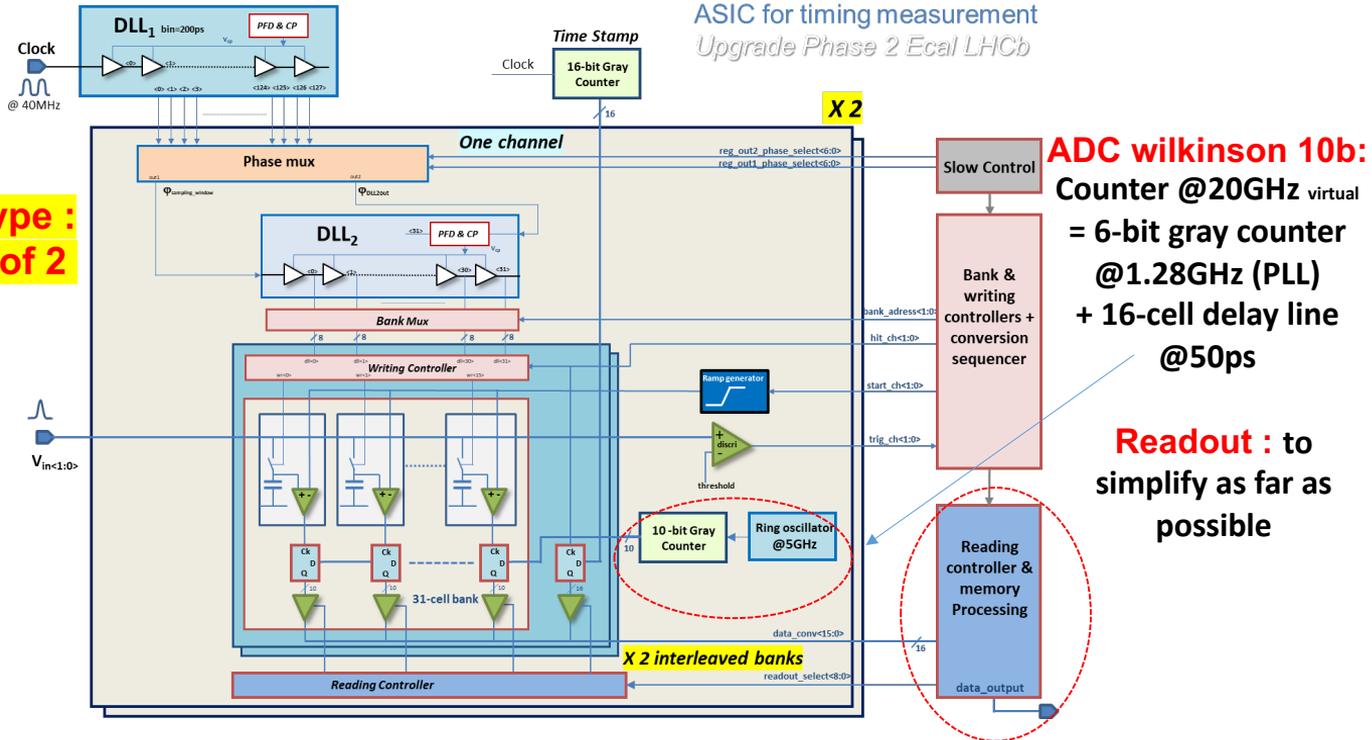
...

@500ps → SA = 16ns

Configuration optimale pour traiter des signaux avec temps de montée de 200ps à ~ 3ns

Schéma: premier prototype

**First Prototype :
2 channels of 2
banks**



ASIC pour timing: workpackages

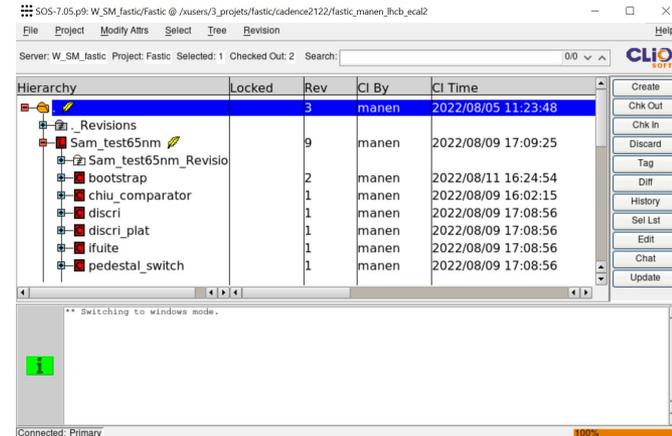
- 1) Delay Locked Loop: LPC Caen
- 2) Analog memory - memory cell: IJCLab Orsay/LPC Clermont-Ferrand
- 3) Trigger comparator: IJCLab Orsay/LPC Clermont-Ferrand
- 4) 10-bit timing ADC : ADC comparator, ramp generator, PLL: IJCLAB Orsay, LPC Clermont-Ferrand, IP2I Lyon
- 5) Memory management : bank & writing controller + conversion Sequencer: IJCLab Orsay, LPC Clermont-Ferrand, IP2I Lyon
- 6) Digital part : reading controller & memory processing: LPC Clermont-Ferrand, IP2I Lyon, Barcelone, Valencia
- 7) Slow control: LPC Clermont-Ferrand, IP2I Lyon, Barcelone, Valencia

Plateforme de travail commune

- Infrastructure informatique basée à Clermont-Ferrand: une machine dédiée, avec le flow Europratic 2022, où les participants au projet des différents laboratoires ont un compte

```
16-08-2022 15:34:07
MICRO: manen clirmecad02:/ztools/cadence/2021-22/scripts[48]>ls
ASSURA_04.16.111.618_RHELx86.csh  INTEGRAND_61.00.000_RHELx86.sh  README
ASSURA_04.16.111.618_RHELx86.sh  JLS_21.10.000_RHELx86.csh        SPECTRE_21.10.132_RHELx86.csh
CONFRML_21.10.300_RHELx86.csh      JLS_21.10.000_RHELx86.sh        SPECTRE_21.10.132_RHELx86.sh
CONFRML_21.10.300_RHELx86.csh      LIBERATE_21.11.316_RHELx86.csh  SSV_21.11.000_RHELx86.csh
CONFRML_21.10.000_RHELx86.csh      LIBERATE_21.11.316_RHELx86.sh  SSV_21.11.000_RHELx86.csh
GENUS_21.10.000_RHELx86.csh         MODUS_21.10.000_RHELx86.csh     VIPCAT_11.30.079_RHELx86.csh
GENUS_21.10.000_RHELx86.csh         MODUS_21.10.000_RHELx86.sh     VIPCAT_11.30.079_RHELx86.sh
IC_6.1.8.210_RHELx86.csh           MODUS_21.10.000_RHELx86.csh     VMANAGER_21.03.003_RHELx86.csh
IC_6.1.8.210_RHELx86.csh           MODUS_21.10.000_RHELx86.sh     VMANAGER_21.03.003_RHELx86.sh
INDAGO_21.03.002_RHELx86.csh       MVS_21.12.000_RHELx86.csh      XCELIUM_21.03.009_RHELx86.csh
INDAGO_21.03.002_RHELx86.csh       MVS_21.12.000_RHELx86.sh      XCELIUM_21.03.009_RHELx86.sh
INNOVUS_21.11.000_RHELx86.csh      PVS_21.10.000_RHELx86.csh      XCELIUM_21.03.009_RHELx86.csh
INNOVUS_21.11.000_RHELx86.csh      PVS_21.10.000_RHELx86.sh      XCELIUM_21.03.009_RHELx86.sh
INTEGRAND_61.00.000_RHELx86.csh     QUANTUS_21.11.000_RHELx86.csh
INTEGRAND_61.00.000_RHELx86.csh     QUANTUS_21.11.000_RHELx86.sh
```

- Design Kit TSMC 65nm, option 1p6
 - <https://asic-support-65.web.cern.ch/common-design-platform/>
- Serveur Cliosoft SOS



ASIC pour timing: planning

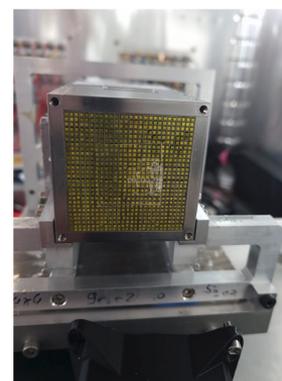
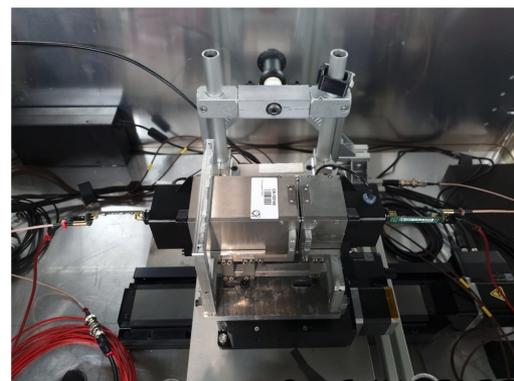
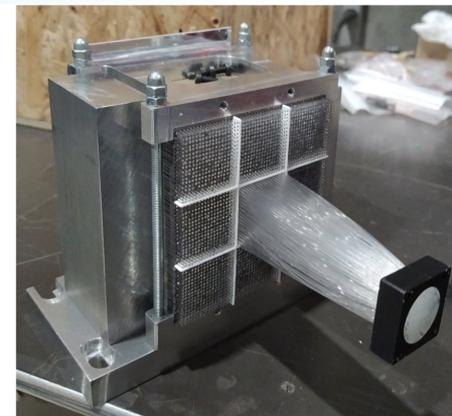
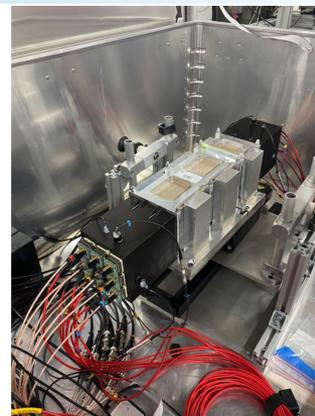
- Technologie TSMC 65nm: design flow déjà fonctionnel
- Premier prototype avec 2 voies et 2 banques en automne 2023, candidat pour être utilisé pour l'upgrade de LS3 sur la partie interne
- Micro-électronique: 4 FTE IN2P3
- Electronique: 0.5 FTE IN2P3
- L'intégration globale de l'ASIC utilisera la méthodologie Digital on Top, comme conseillé par le CERN:
 - Etape délicate qui demandera d'acquérir cette compétence importante

PLANNING ASIC and TESTS LHCB_ECAL2	R&T IN2P3												FTE
	2022				2023				2024				
	T1	T2	T3	T4	T1	T2	T3	T4	T1	T2	T3	T4	
ASIC modelling													2
Behavioral description													2
Analog and mixed design and layout													11,2
Channel time (IJLab et Micrhau)													5,5
Analog memory													0,5
Bank of analog memory													0,5
Discriminator													0,5
PLL													0,75
SLVS Emitter and Receiver													0,75
Bandgap													0,5
Ramp ADC													1
Calibration DAC													0,5
DLL													0,5
Channel Energy (Barcelone)													5,7
Preamp on PMT base with clipping / filtering													1,2
Input stage													1
Shaper													1
T/H													1
ADC 12 bits													1,5
Digital design and layout (Micrhau)													2,25
Slow control													0,5
Serialiser													0,75
Memory management													1
Top Design and layout top (IJLab, Barcelone, Micrhau)													7,5
Basic building blocks													1,25
One channel V1													1,25
One channel V2													1,25
Multi channel													1,25
Multi channel pre-production													1,25
Multi channel production													1,25
Verification													6
UVM Testbench													6
Asic tests													7,5
Basic building blocks													1,25
One channel V1													1,25

Tests en faisceau

- Participation aux tests faisceaux (organisé par le groupe CERN-LHCb) à DESY (Mai 2022) et au SPS (Juin 2022, Octobre 2022)
- Test des prototypes avec segmentation longitudinale:
 - SpaCal-Plomb-Polystyrène,
 - SpaCal-Tungstène-Polystyrène
 - SpaCal-Tungstène-Cristal (GAGG)
 - avec plusieurs types de PMTs, et des câbles longs (12 à 24 m)
- DESY: scan en énergie entre 1 et 5 GeV
- SPS: énergies de 20 à 100 GeV

SpaCal Pb Polystyrène

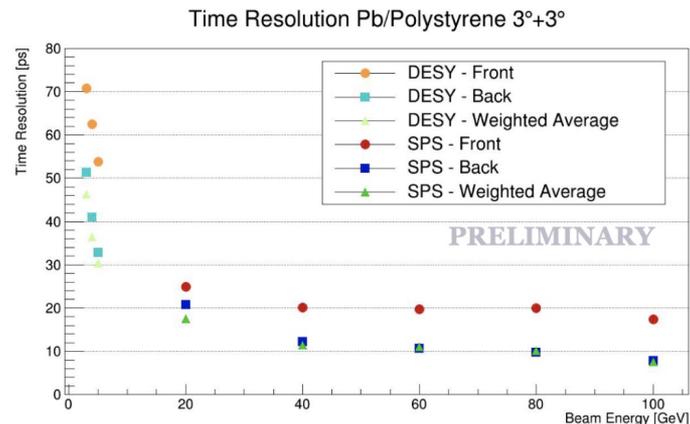
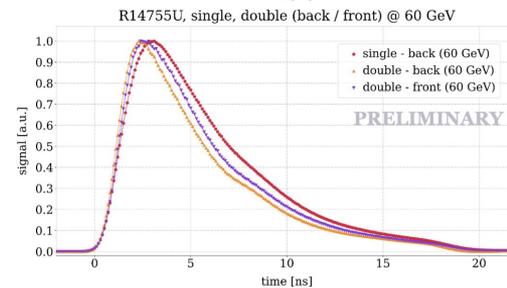
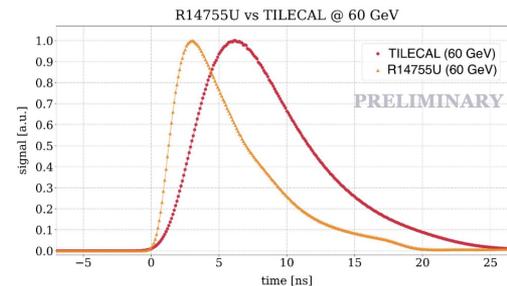
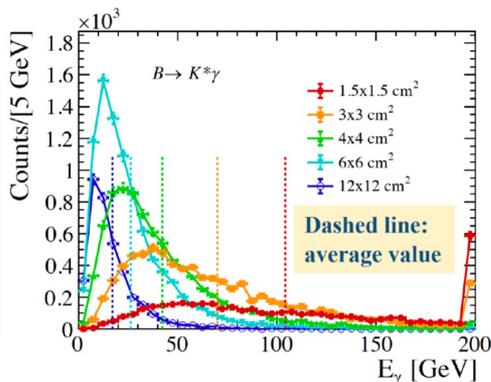


SpaCal W GAGG

Tests en faisceau

- Lecture faite par deux systèmes en parallèle, utilisant des mémoires analogiques et faisant un traitement similaire à celui envisagé dans l'ASIC:
 - WaveCatcher, développé à IJCLab/CEA IRFU (3.2 Gs/s)
 - V1742, de CAEN, utilisant des DRS4 (5 Gs/s)
- Mesure de la forme des signaux (temps de montée de 1.8 à 3.6 ns)
- Mesure de la résolution en temps: entre 10ps et 15ps à haute énergie

Spectre en énergie des photons utiles pour la physique: max autour de 40 GeV pour les 2 régions les plus centrales



Conclusions

- Premier prototype en cours d'un ASIC pour mesurer le temps dans le futur ECAL de LHCb pour la phase d'upgrade 2
- Principe validé dans des tests faisceaux, pour atteindre des précisions jusqu'à 10 ps à grande énergie: architecture à intégrer maintenant dans un ASIC
- ASIC pourrait également être utilisé pour d'autres applications que LHCb dans le futur
- Développements en cours pour améliorer les modules du détecteur, les PMTs, ...: résistance aux radiations, résolution en temps pour les basses énergies, intégration mécanique
- Pour la partie électronique, après la production du premier prototype d'ASIC, il faudra: le tester, l'intégrer dans une carte Front-End, intégrer cette carte Front-End dans l'architecture de l'expérience, et utiliser la consolidation du ECAL pendant LS3 pour tester en conditions réelles.