

Projet DICE

-Développement pixels pour les taux de Comptage et niveau de radiation Extrêmes-

Journee R&T, IJClab

17-20/10/2022

Marlon Barbero

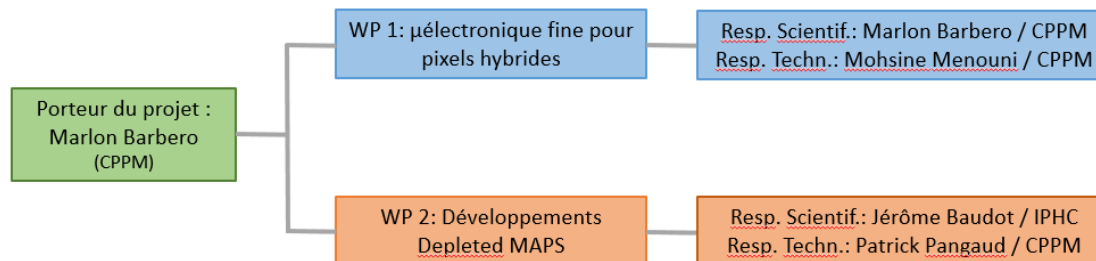
CPPM, Aix-Marseille Université, CNRS / IN2P3, France

Plan de la présentation

1. Introduction
2. WP - Pixels Hybrides : 28 nm
3. WP - Depleted MAPS :
 - a) TJ65
 - b) LF150
 - c) TJ180
4. Conclusion: TRL, calendrier

Le projet DICE

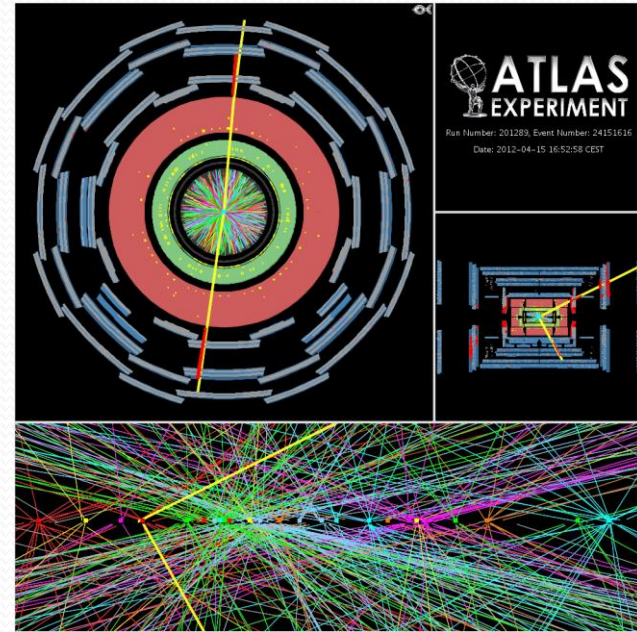
- Un projet porté par le CPPM et l'IPHC, porteur M. Barbero / CPPM (+ J. Baudot / IPHC)
- Une thématique générale:
 - Détecteurs pixels de traces et de vertex dans les technologies pertinentes pour de futurs projets qui se caractérisent en premier lieu par:
 - Taux de comptage / taux d'occupation importants.
 - Résistance aux radiations moyennes à élevées.
- 2 Work Packages:
 - **Les Pixels Hybrides:** Exploration de technologies mettant en œuvre des nœuds de process très avancés -e.g. 28 nm- (RS: Barbero / RT: Menouni)
 - **Les Pixels Monolithiques:** Exploration de la technologie Depleted MAPS dans deux directions principales, exploitation des développements et potentialité des nouvelles technologies (RS: Baudot / RT: Pangaud)



WP1: Pixels hybrides pour futurs trackers

- Future génération des circuits de lecture des pixels pour les détecteurs internes
 - Des conditions de **rayonnement** ultra-sévères
 - Un **taux de hits** sans précédent
 - Techniques complexes de **gestion de trigger**
 - **Transfert de données** à un débit de plusieurs dizaines de Gbit/s
 - **Petite taille de pixel** intégrant des **fonctions digitales très complexes** demandant une forte densité d'intégration
 - Résolution temporelle accrue → **tracking 4D**
 - **Faible consommation** et faible budget de matière

- **Process CMOS 28 nm standard**
 - Meilleur compromis **densité d'intégration et tolérance au rayonnement ionisant**
 - **Candidat potentiel pour succéder au nœud CMOS 65nm** utilisé pour le développement des pixels hybrides pour le HL-LHC



- Augmentation de la luminosité instantanée
 - augmentation du pile up

- Run2 : 40 interactions de pile up dans ATLAS (par bunch crossing)

- HL-LHC : 200 interactions pile up dans ATLAS

- L'exploitation de la mesure du temps permet de séparer les traces

Plan à court terme

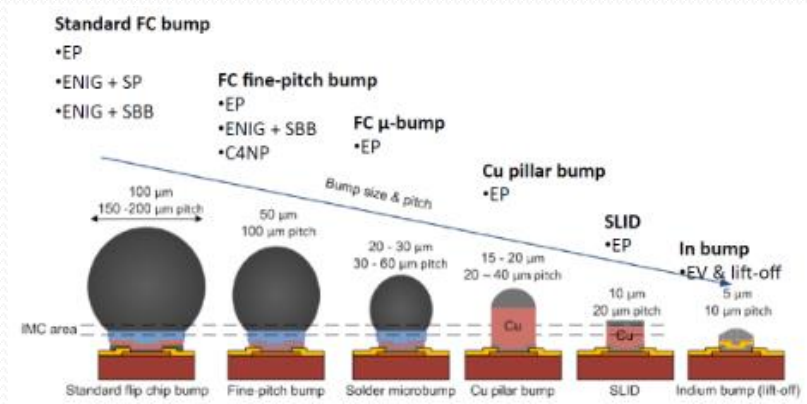
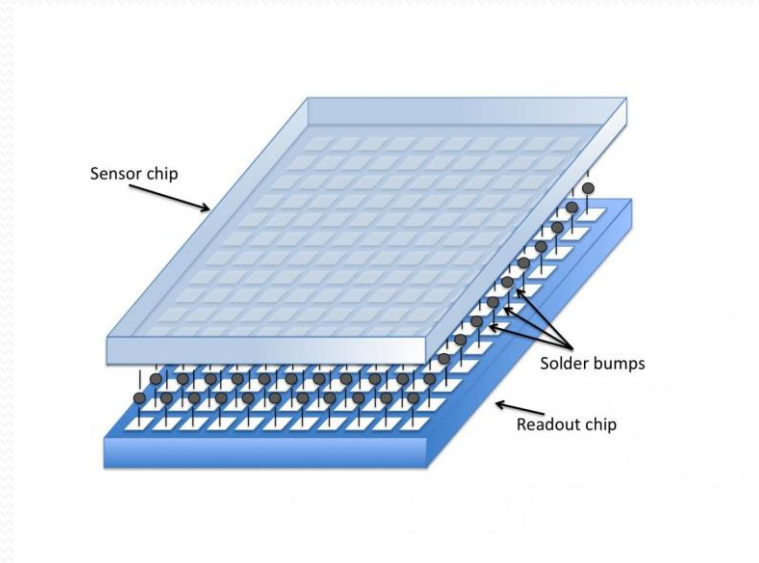
- Utilisation du process CMOS 28 nm
 - Process préconisé par le CERN
 - Process planaire standard → résistance à la dose ionisante
- Etude de la **compatibilité avec la conception des fonctions analogiques** nécessaires pour les circuits à pixels.
 - Simulations de circuits de base
 - Qualification du process en termes de performances pour les circuits de type analogique, basse consommation et bas bruit
- **Qualifications en TID** du process
 - Compatibilité avec les niveaux de dose prévus futurs projets à pixels
 - Modélisation de l'effet de TID
 - Simulations analogiques et numériques prenant en compte les effets de dose
- **Effets singuliers (SEE)**
 - Circuits prototypes pour l'étude des effets SEU/SET
 - Très faibles capacité des nœuds de stockage
 - Besoin de nouvelles architectures plus tolérantes ?.

Plan à moyen/long terme

- **Conception d'une petite matrice de pixels → 64x64 pixels de 25µm×25µm**
 - Utilisation de l'approche « digital on top »
 - La maîtrise des outils de conception numérique est indispensable pour aborder la conception de circuits à pixels
 - Fonctions analogiques avec de fortes contraintes comme les amplificateurs bas bruit, ADC de précision, PLL, ou sérialiseurs haute vitesse

- **Projet ambitieux en terme de RH et budget**
 - Les cycles de conception pour ce type de process sont plus longs et nécessitant plus de vérifications
 - Devrait se faire au sein de collaborations
 - **RD53 s'intéresse au design 28 nm pour le futur des expériences LHC (niveaux internes)**
 - **IN2P3 : Elargissement du projet DICE aux laboratoires intéressés par de tels développements**

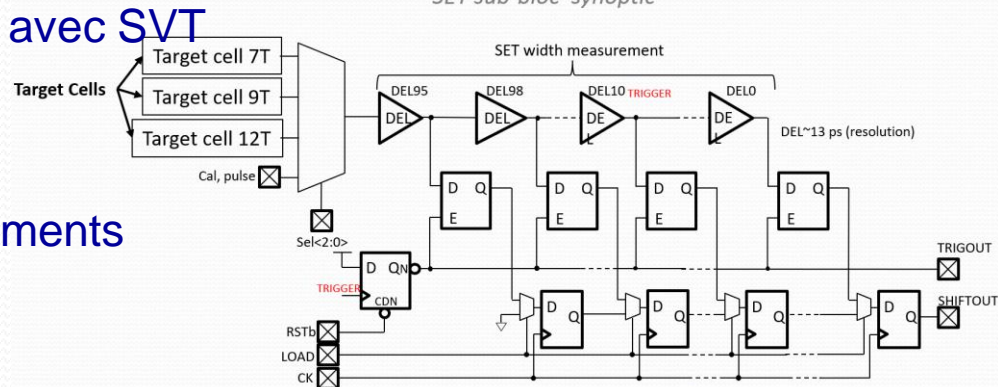
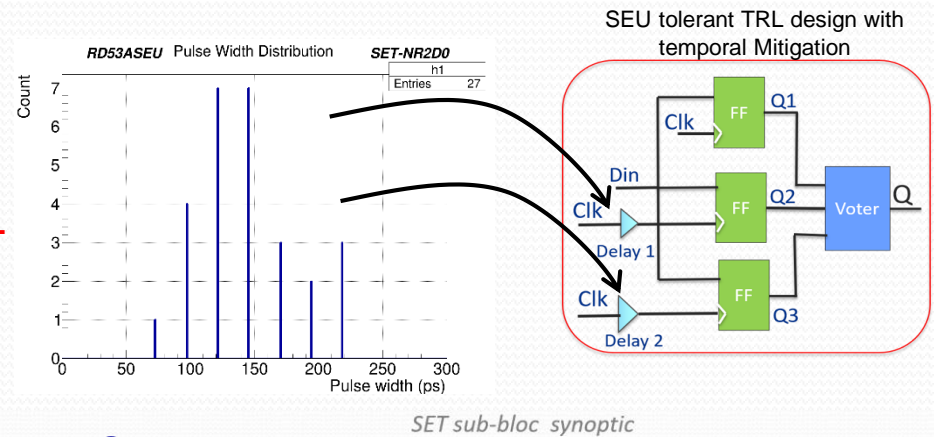
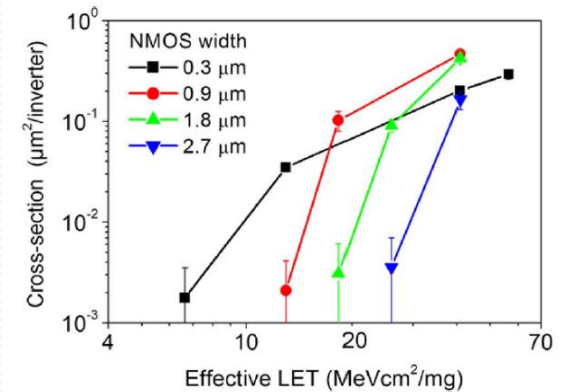
- **Travail de prospections sur les techniques d'hybridation évoluées**
 - Advacam propose des techniques d'hybridation 10-20 µm
 - IZM ?
 - Techniques 3D ?



Techniques d'interconnexions très haute densité (source Vahanen Advacam)

Soumission fin oct 22: SEE/SET Testing

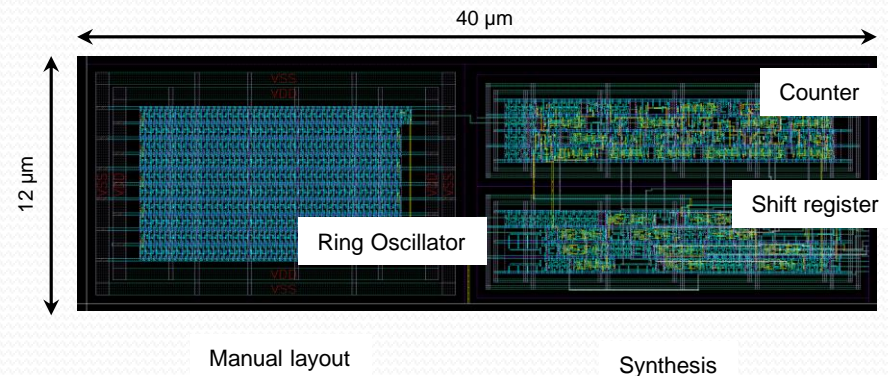
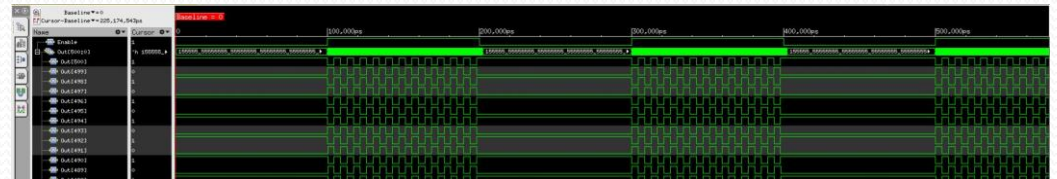
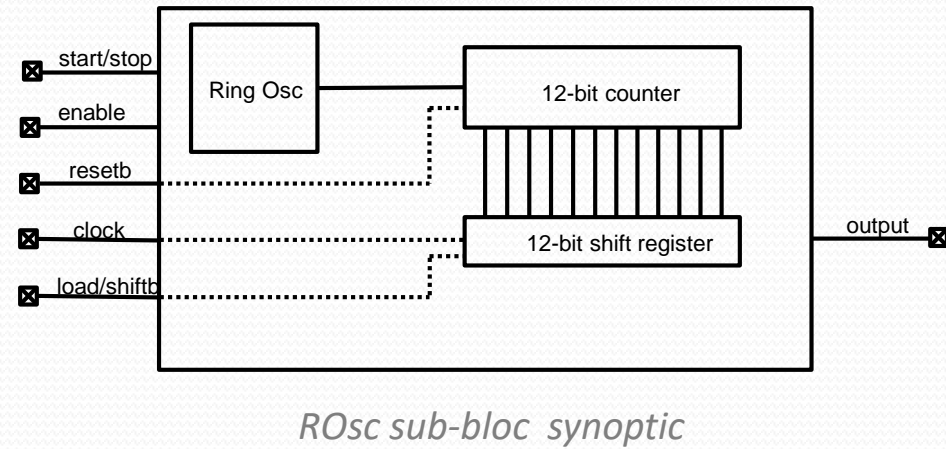
- **But:** Etude de la **sensibilité aux Single Event Transients (SET)** augmente aux process avancés:
 - **Petits nœuds et grande vitesse!**
 - Propagation par logique combinatoire
- Structure pour caractérisation SET:
 - Objectifs :
 - Mesure de la X-section SET
 - Grande résolution temporelle < 20 ps
- **Application: Définir délai des cellules TRL**
- 31 SET sub blocs
 - 24 target cells SVT (7T, 9T, 12T)
 - 7 target cells LVT, HVT -comparaison avec SVT
 - 1 MUX 4to1
 - 1 calibration input per sub bloc
 - 96 delay cells (13ps/cell) for measurements
- 6 inputs / 13 outputs



Soumission fin oct: Ring Oscillator Design

- **But:** Dégradation des performances des cellules digitales standard sous TID
- **Application:** Contrainte de timing dans les designs digitaux complexes (logique combinatoire, séquentielle...)
- Effet de la taille des cellules sur la tolérance TID, des courants de fuite...
- Design en digital flow.
- Implémentation: 96 R-O sub-bloc
 - Cell size (7T, 9T, 12T)
 - Driving (D0, D2, D4)
 - SVT, LVT, HVT

Basic cells	Frequency (MHz)
INVD0	154
INVD2	222
NAND0	118
NAND2	143
NOR0	111
NOR2	139



Simulation

Soumission fin oct 2022: Analog FE pixel

- **Résolution temporelle** du FE définie par le jitter du pixel

$$\sigma_{total}^2 = \sigma_{sensor}^2 + \sigma_{Landau}^2 + \sigma_{FE}^2$$

$$\sigma_{FE}^2 = \left(\frac{Noise}{dV/dt} \right)^2$$

- **Minimisation du jitter :**

- Bas bruit RMS noise pour l'ampli
- Grand $\frac{dV}{dt} \rightarrow$ Grande bande-passante

- **But de la matrice de pixel proto: Etude en résolution temporelle du process 28 nm**

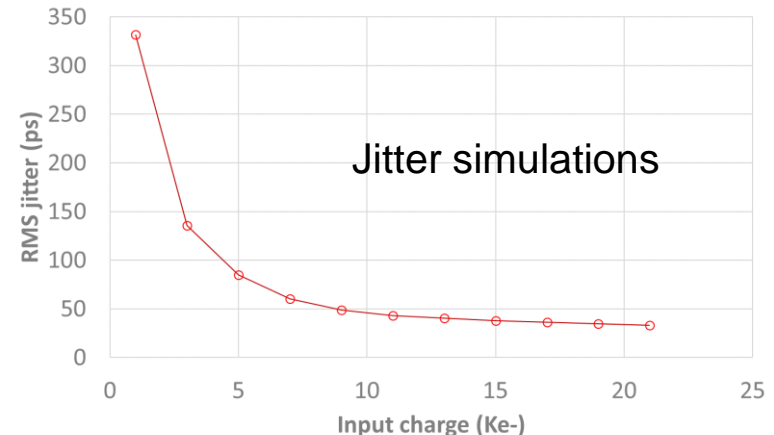
- BW, bruit, I_{bias}, power supply

- Design pour une capacité sensor de 100 fF (50µm × 50 µm)

- Matrice de **36×12 pixels analogiques.**

	High granularity	Ultra high granularity
Pixel size	50µm × 50 µm	25µm × 25 µm
Sensor capacitance	100 fF	< 50 fF ??
Time resolution	< 50 ps RMS	< 50 ps RMS
Consumption (pixel)	<20 µA	<5 µA
Threshold	< 600 e-	<600 e-
Hit rate	8 GHz/cm ²	8GHz/cm ²
Hit rate (pixel)	20 kHz	5 kHz
TID	2-4 Grad	2-4Grad

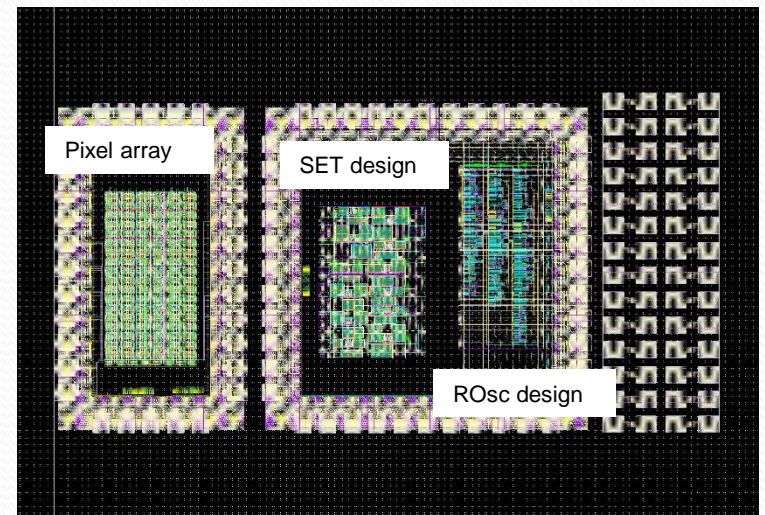
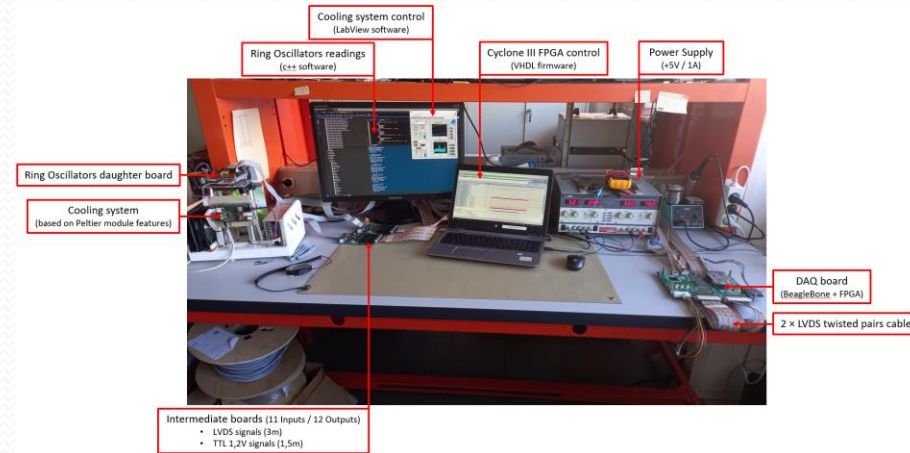
CSA RMS jitter versus the input charge



Perspectives aspects hybrides

- Design de
 - Structure de tests SET
 - R-O: caractérisation TID des bibliothèques digitales
 - Matrice de pixels analogiques
- Mini@sic 2 mm x 1 mm
- Soumission prévue le 26 octobre
- Utilisation du design kit de base d'IMEC
 - CPPM a signé NDA à travers IMEC
 - 28 nm HPC+
 - Analog design: pas de difficulté
 - Dvp de la méthodologie / design flow digital chronophage et complexe
- Importance d'établir le CERN 3-way 28nm NDA
- Collaborations pour la 28nm: primordial!
 - Discussions in2p3 (<https://indico.in2p3.fr/event/26030/>)
 - Discussions cadre RD53 (1/2 journée lors du dernier workshop <https://indico.cern.ch/event/1167749/>)

- Système de test RO et SET prêt!
 - Tests fonctionnels Q1-2023
 - Test d'irradiation (TID + SEE) Q2-2024

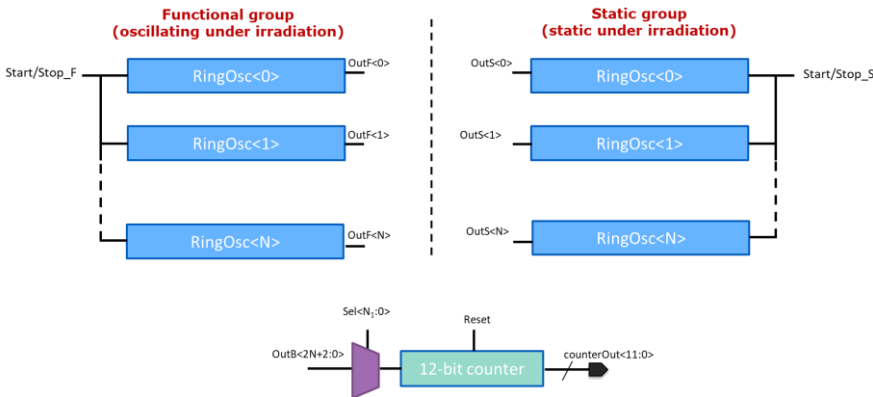
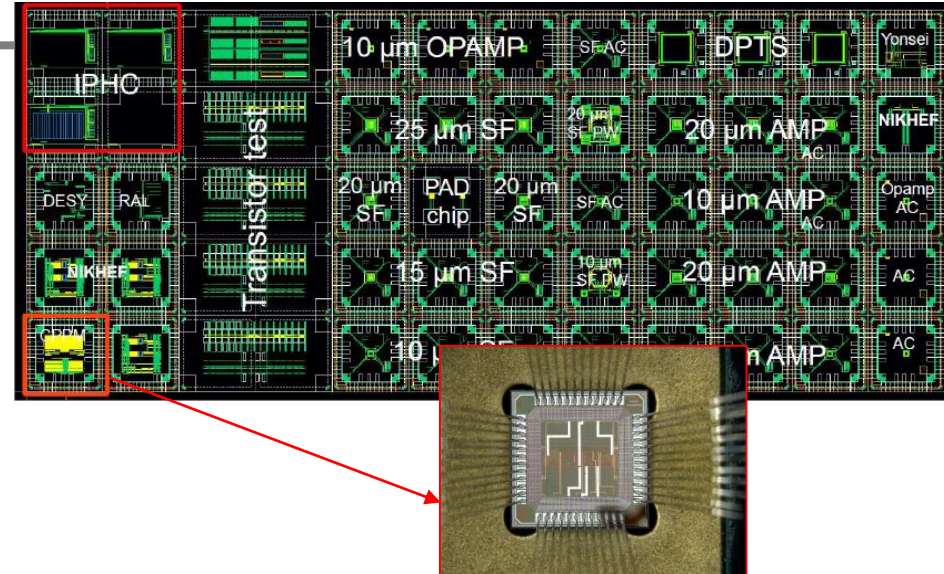


WP2: Pixels depMAPS

- **Nouvelle R&D**: Exploration **nouvelle technologie TJ-65 nm**
 - Court terme
 - vérifier les **performances de bases**
 - Évaluer l'**adéquation avec objectifs DICE**
 - Moyen terme
 - **Prototype(s) dédié(s) pour**
 - **Taux de comptage élevés** ($\gg 100$ MHz/cm²)
 - **Résolution temporelle vers 100 ps**
 - **Radiotolérance** $\gg 10^{15}$ n_{eq}/cm²
 - Evolution possible vers une **R&D “système de tracking”**
 - Gestion du flux important de données et/ou timing avec de l'intelligence proche (ASIC ou FPGA)
- **Applications de la R&D avancée**:
 - Court terme
 - **Validation des performances des LF-/TJ- Monopix2, travail sur les technologies LF150 et TJ180**
 - Moyen terme
 - **Adapter Monopix2 pour un démonstrateur Belle II: OBELIX-v1**

Description of the RO

MLR1 soumis en décembre 2020, retour à l'été 2021.
Cadre du WP1.2 EP R&D



- L'IPHC a contribué à cette soumission avec des FE analogiques CE65 (étude de collection de charge)
- Le CPPM a contribué avec une série de Ring Oscillators (étude de tenue aux radiations ionisantes des cellules standards des bibliothèques digitales de la technologie).
- La puce consiste en 48 ROs basés sur diverses cellules standards: variation sur le type des cellules, longueur des transistors, VT, entrées logiques.
- 2 banques de 24 lignes pour tester deux configs:
 - Fonctionnel: oscillation pendant l'irradiation
 - Statique: n'oscille pas pendant l'irradiation

Low V _t		Super Low V _t	
Size Min	Size+	Size Min	Size+
INV0_LVT	INV4_LVT	INV4_SLVT	INV8_SLVT
NOR1_LVT_A	NOR4_LVT_A	NOR4_SLVT_A	NOR8_SLVT_A
NOR1_LVT_B	NOR4_LVT_B	NOR4_SLVT_B	NOR8_SLVT_B
NAND0_LVT_A	NAND4_LVT_A	NAND4_SLVT_A	NAND4_SLVT_A
NAND0_LVT_B	NAND4_LVT_B	NAND4_SLVT_B	NAND4_SLVT_B
DFF1_LVT	DFF4_LVT	DFF1_SLVT	DFF4_SLVT

Test setup

Puce de test sur DUT board connectée à système Beaglebone DAQ.

Contrôle par FPGA (VHDL) et scripts C++. Données enregistrées et analysées par programme python.



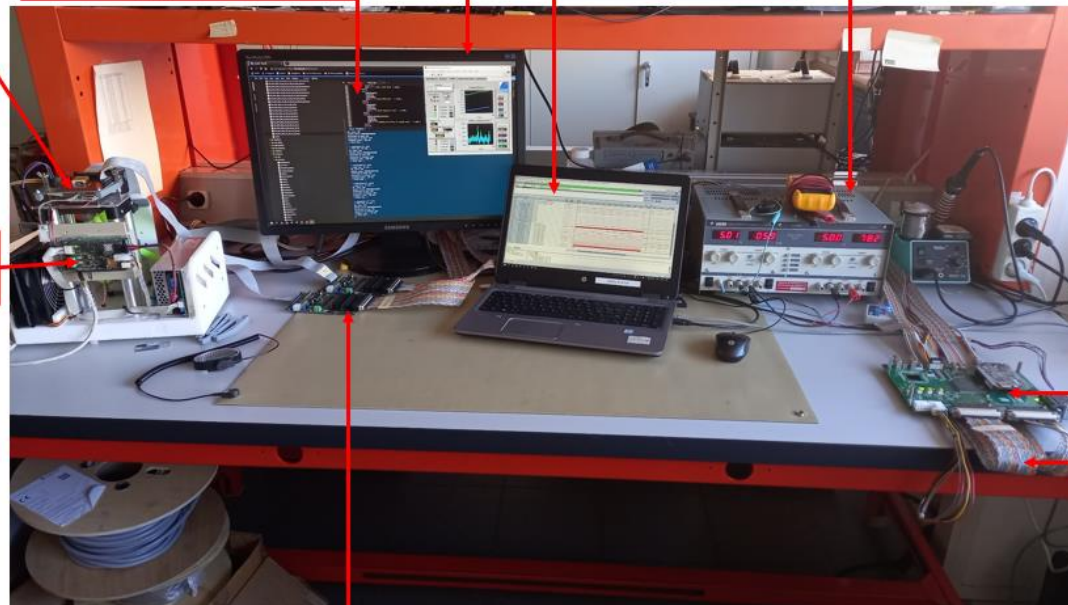
Ring Oscillators daughter board

Cooling system control
(LabView software)

Ring Oscillators readings
(c++ software)

Cyclone III FPGA control
(VHDL firmware)

Power Supply
(+5V / 1A)



Cooling system
(based on Peltier module features)

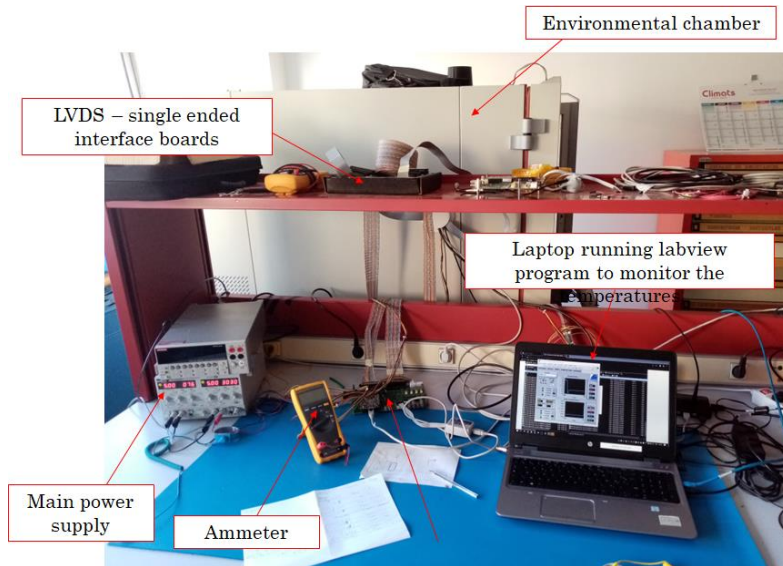
DAQ board
(BeagleBone +
FPGA)

2 × LVDS twisted
pairs cable

Intermediate boards (11 Inputs / 12 Outputs)

- LVDS signals (3m)
- TTL 1,2V signals (1,5m)

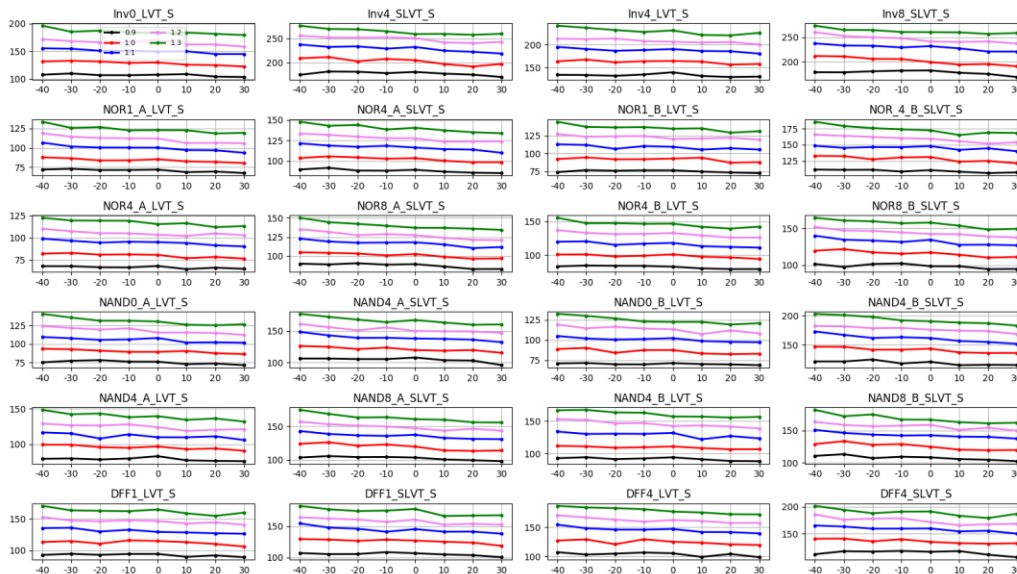
Calibration vs. température



- Utilisation d'une chambre régulée en température
- Températures de -40 à +80 °C
- V_{dd} 0.9 à 1.3 V

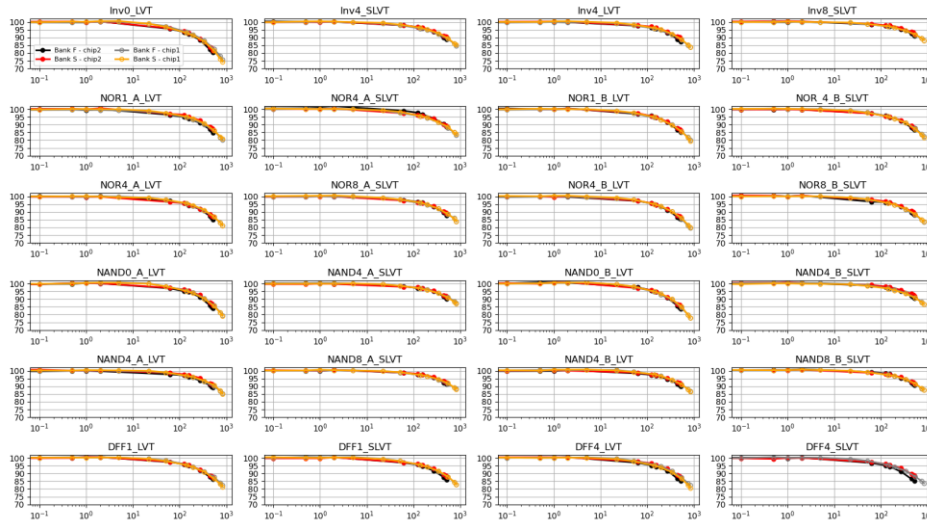
→ Fréquences des RO décroît de 5-10% (selon les cellules) pour 70 °C.

→ Table de facteurs de calibration, important en particulier pour la phase d'anéaling après irradiation.

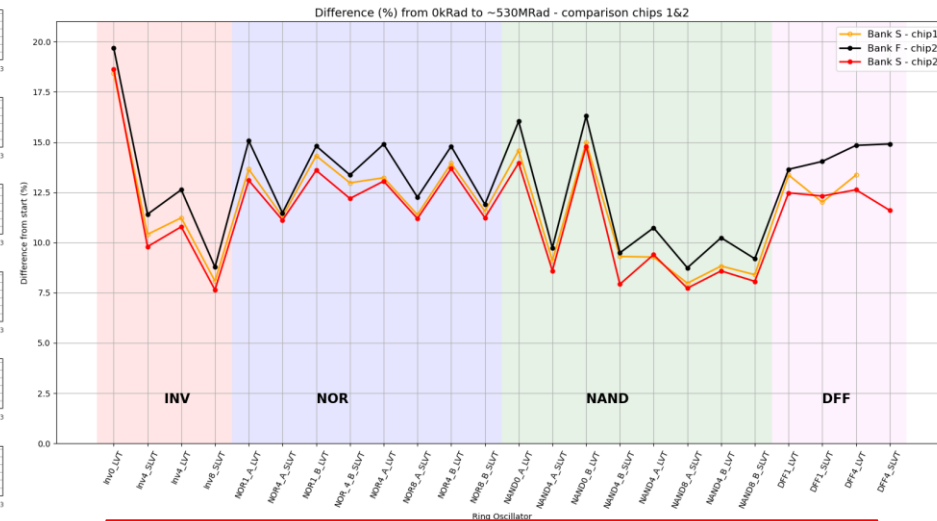


Test sous irradiation

- 2 puces irradiées (T ambiante), à **830 et 520 MRad respectivement** (dose rate 20 kRad/mn, banques fonctionnelles oscillantes...).
- **Des dégradations en fréquence similaires sont observées pour les 2 puces (25% à ~800 MRad pour les cellules les plus sensibles).**



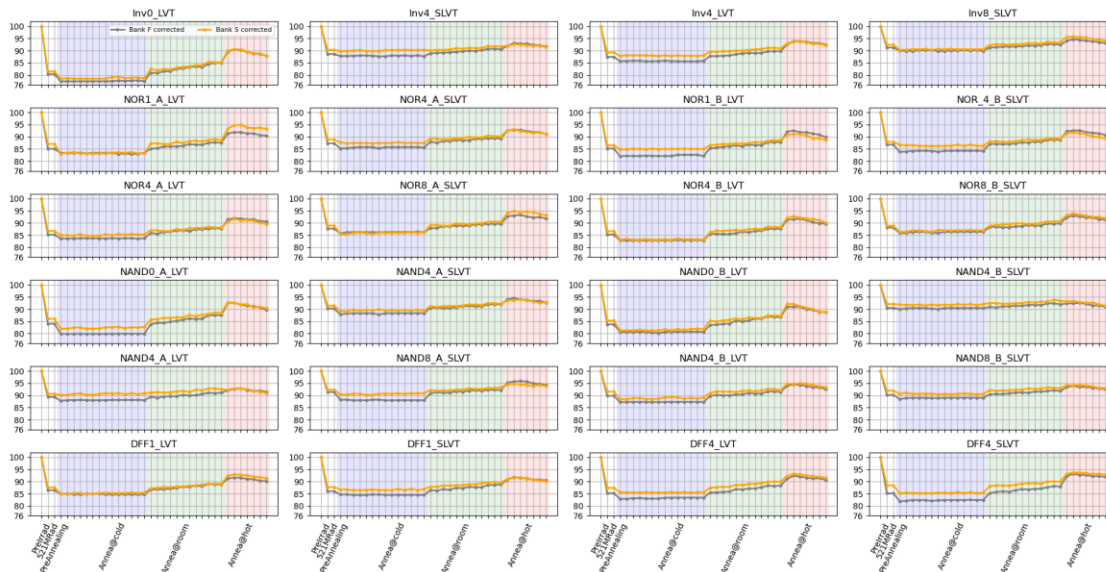
Relative frequency vs TID (log scale) for all ring oscillators, both chips and banks.



Relative frequency difference (before-after irradiation) for each ring oscillortype (chip1, bank S, chip2 banks F & S).

Annealing et conclusion

- Méthodologie d'annealing en 3 phase: -20 / 25 / 80 °C ... (semaine(s) selon phase)
- Corrections appliquées pour prendre en compte T. **Pas de récupération à froid (-20°C), légère récupération à T ambiante (25°C... qqes %) et reverse annealing à 80°C.**



Relative frequency vs TID and annealing time for all ring oscillators and both banks (chip 2).

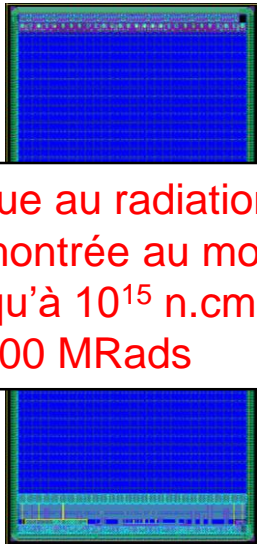
Conclusion:

- 1- Dégradation limitée de 12 à 25 % selon les librairies à 800 MRad
- 2- Petits transistors plus affectés (corrobores les caractérisations single transistors)
- 3- Similarité de résultats avec des mesures dans des technologies de nœud de process similaire (RD53)
- 4- Observation d'un reverse annealing à haute température.

→ Résultats plutôt positifs pour l'utilisation des librairies digitales de cette technologie dans des environnements hautement radiatifs.

Deux développements Monopix2

LF-Monopix2:

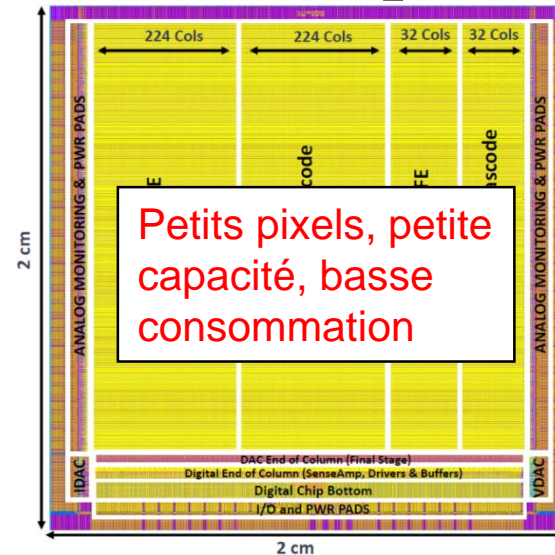


Tenue au radiations
 démontrée au moins
 jusqu'à 10^{15} n.cm⁻²
 et 100 MRads

2×1 cm², 340×56 pixels, 50×150 μm²

Amélioration de la FE Analogique /
Digitale, Taille pixels réduite,
meilleur layout

TJ-Monopix2:



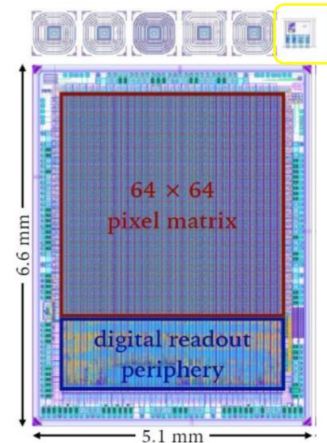
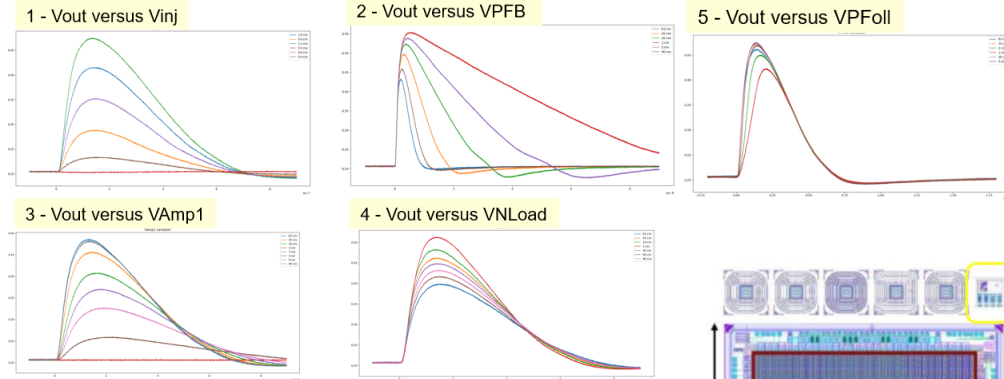
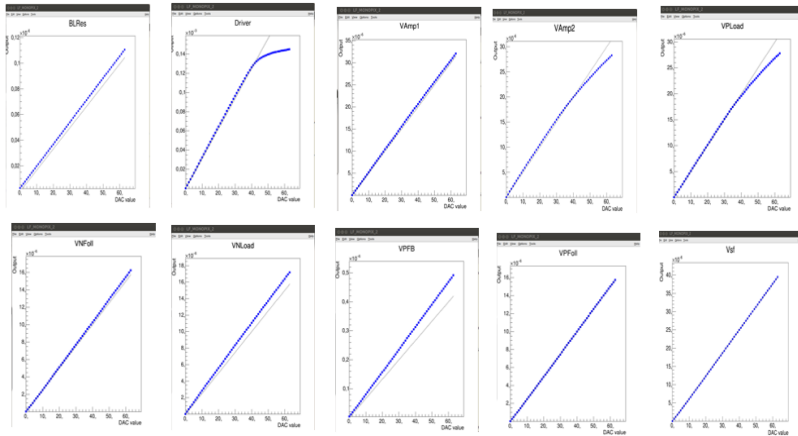
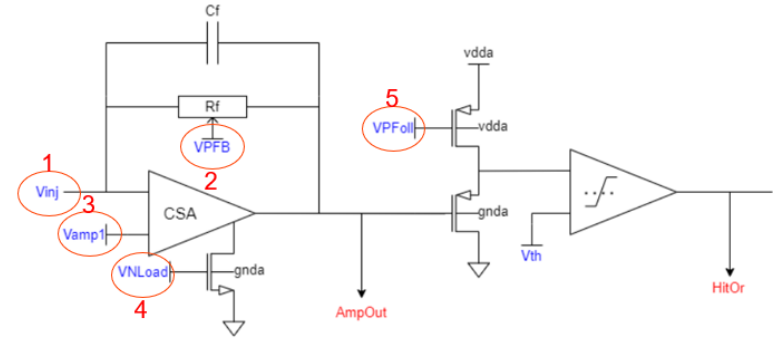
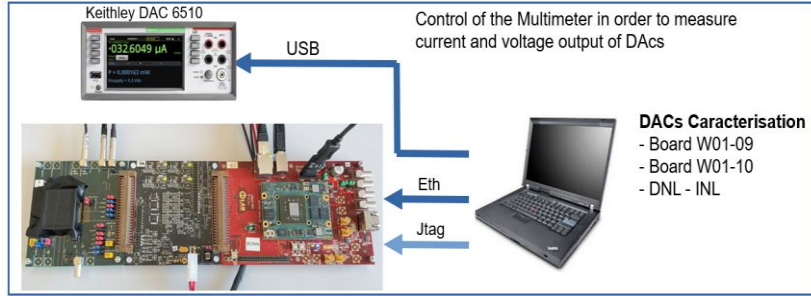
Petits pixels, petite
 capacité, basse
 consommation

2×2 cm², 512×512 pixels, 33×33 μm²

Nouveaux implants pour une
meilleure collection de charges après
irradiation, bas seuil

Etude de DACs et du FE

DAC Automated measurement



But à moyen terme: Compléter les études sous radiation de la techno LF150

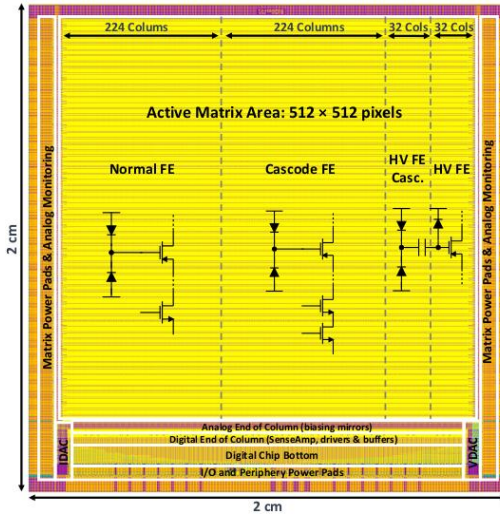
Connexe: **Activités RD50**

→ Resoumission bandgap dans MPW3

→ Au CPPM dans quelques jours

Lucas Drexler
Apprenti Ingénieur
en charge

TJ-Monopix2



Sensor Polarization

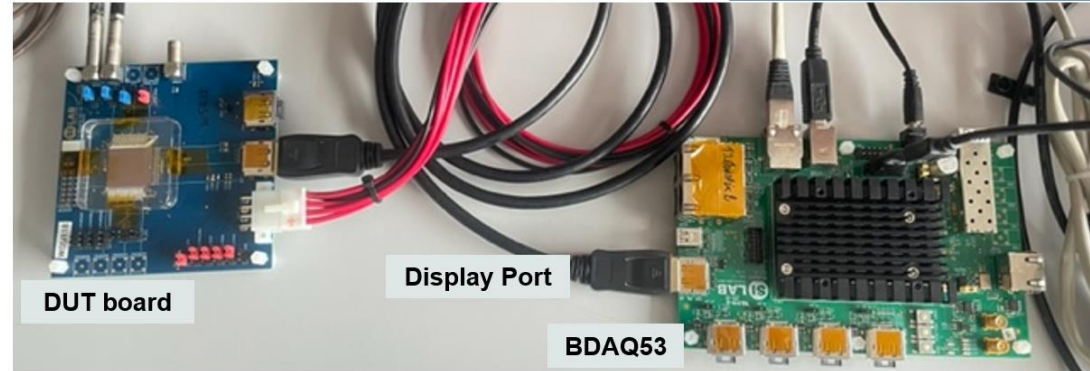
PSUB/PWELL = -4V
 HV = 0V

External Power Supplies

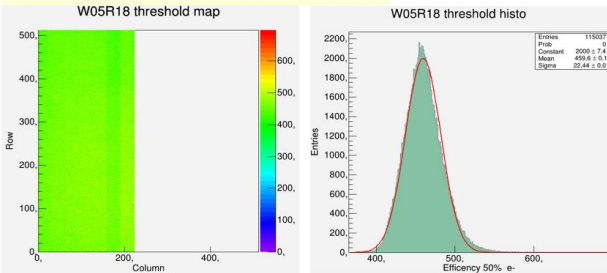
- VDDD, VDDP
- VDDA, VDDA_DAC

Interfaces DUT – Acquisition system

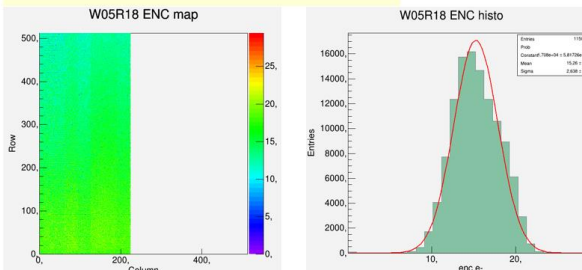
- Ethernet link with PC
- JTAG to load the firmware
- Display port between DUT-DAQ



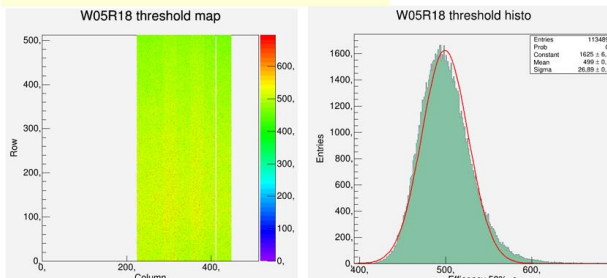
Normal FE



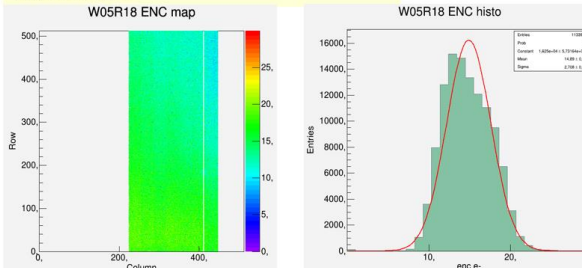
Normal FE



Cascode FE



Cascode FE



Threshold results

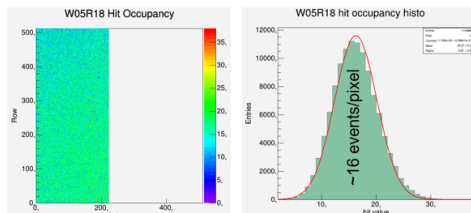
Flavor	Thres (e-)	Disp (e-)
Normal FE	459	22
Cascode FE	499	26

ENC results

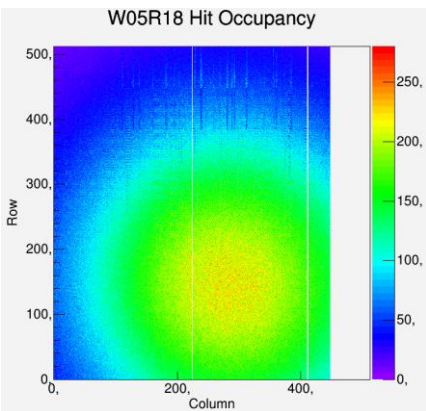
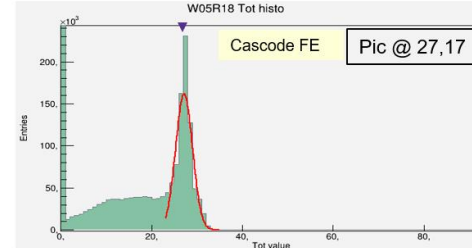
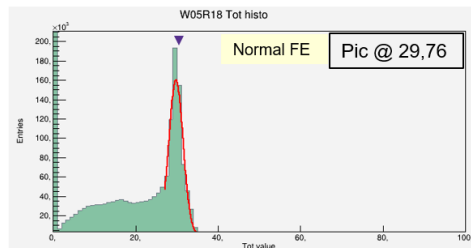
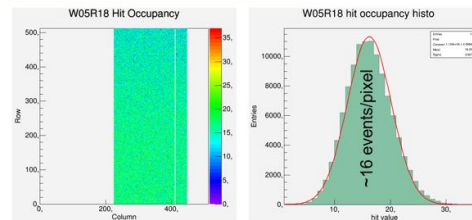
Flavor	ENC (e-)	Disp (e-)
Normal FE	15,26	2,63
Cascode FE	14,89	2,70



Normal FE - ITHR = 64



Cascade FE - ITHR = 64



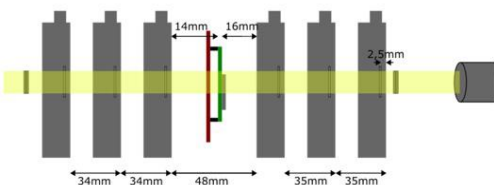
ToT pic versus ITHR (threshold level)

Flavor	Normal	Cascade
ITHR_50	38,15	35
ITHR_64	29,76	27,17

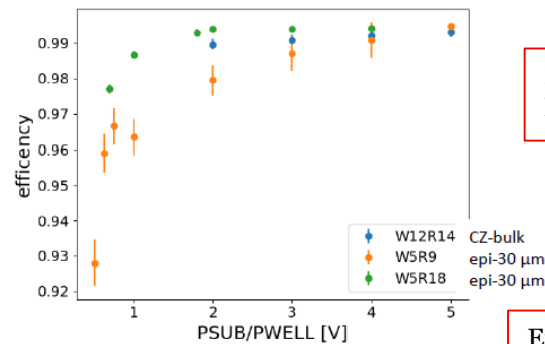
TJ-Monopix2
précurseur du capteur
OBELIX pour VTX
Belle-II upgrade...
pour lequel le travail a
démarré :

- FE analog bien développé (power optimisation en cours).
- Travail sur l'architecture digitale...

Bergamo, Bonn, CPPM, Dortmund,
IPHC, Pavia, Valencia, Vienna



Test beam a DESY 5 GeV electron beam line



Efficacité de détection ~99%
Résolution ~9 μm

- **WP 1:**

- Etudes en 28 nm: **Prise en main** du PDK
- **Soumission oct 22:**, RO (TID), Circuit test SET, matrice de pixels → Etudes focalisées tenue aux radiations technologie + prise en main de la techno.
- Passage à la vérification fonctionnelle en labo (**TRL4**)
- **2023: tests fonctionnels / test irradiations / étude en hybridation**
- Cadre: IN2P3 / AIDAInnova / RD53

- **WP 2: Avancées 2022**

- **Prise en main PDK** et soumissions TJ65: RO (TID), Matrices CE65; tests RO → cellules digitales pour environnement haut TID (**TRL4**). Soumission ER1 en cours.
- Test matrices représentatives LF/TJ-Monopix2 TJ180 et LF150, démarrage design en environnement réel (**Belle Upg**)... (**TRL5**)

- **2023:**

- TJ65 test sous irrad
- LF-Monopix2 caractérisation
- TJ180 finalisation Obelix v1

- Cadre: AIDAInnova / RD50/ CERN strategic R&D WP1.2 / transition Belle II upgrade

- **A venir: réorganisation des MPs DICE (pixels hybrides et CMOS hautes radiations) et CMOS (MAPS pour tracking et vertexing)**