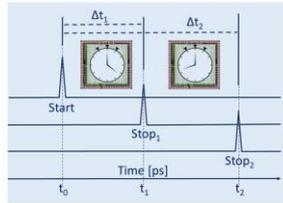


Projet de R&T IN2P3
FASTIME/Mokrane DAHOUMANE



FASTIME

Projet R&T/IN2P3 sur la mesure de temps rapide en TSMC 130nm

Membres de l'équipe :

- Ludovic Alvado, Nicolas Arveuf, Roméo Bonnefoy, Raphael Bouet, Luigi Caponetto, Xiushan Chen, Sébastien Drouet, Frédéric Druille, Imad Laktineh, Frédéric Jouve, Laurent Leterrier, Samuel Manen, Hervé Mathez, Allaoui Mhoudini, Ludovic Raux, Christophe Sylvia, Philippe Vallerand, Richard Vandaele, Mokrane Dahoumane.*

Journées R&T IN2P3 2022 – 17/19 octobre 2022 – IP2I Lyon

- ❑ Introduction
 - ❑ Contexte scientifique du projet
 - ❑ Objectif technologique
- ❑ Organisation du projet
 - ❑ Phases, Planning et Organigramme du projet
- ❑ Détecteurs et spécifications
- ❑ Design d'un prototype d'ASIC FASTIME 4 voies (Phase1 du projet) :
 - ❑ Description et résultats des simulations des blocs
- ❑ Fonderie et cartes de test
- ❑ Conclusions et perspectives

- FASTIME est un projet de R&T/IN2P3 qui porte sur le développement d'une **électronique intégrée** (ASIC) de **mesure de temps** très **rapide** avec une **précision** de l'ordre de la **picoseconde (rms)**.
- Une telle résolution devient de plus en plus nécessaire dans de nombreux domaines, par exemple :
 - dans les futures expériences de **physique des particules** pour réduire le pile-up de ~1000,
 - ou dans les futures générations **d'imagerie médicale (TEP)** pour réduire d'un facteur 20 la dose injectée dans les patients
 - ou enfin pour d'autres applications sociétales (future génération de **détecteurs à pixels précis** dans le temps) dont la résolution temporelle, qui approche la picoseconde, ne doit pas être dégradée par l'électronique de lecture.
- Cette proposition s'appuie sur l'**expertise** et sur la **synergie** de plusieurs laboratoires IN2P3 (IJCLab, IP2I-Lyon, LP2I-Bordeaux, LPC-Caen, LPC-Clermont et Omega)

Objectif technologique : développement d'un prototype

- FASTIME a pour objectif de **lever des verrous technologiques** actuels qui limitent la résolution temporelle et/ou le taux de comptage
- L'objectif final est de réaliser un **prototype d'ASIC multivoies** qui intégrera **une chaîne complète** de la mesure de temps.
- Les éléments principaux de la chaîne sont :
 - **Un étage d'entrée (Fast Front-End)** : qui est un Préamplificateur rapide, très critique car dépendant étroitement des caractéristiques du détecteur en amont,
 - **Un discriminateur rapide (Fast-Discrim)**
 - **Un TDC haute précision** (deux architectures étudiées associées à une **DLL**)
 - Et des blocs périphériques (DAC, Bias, PLL, SLVS-Tx, SLVS-Rx...)
- Technologie TSMC130nm choisie pour :
 - sa **maturité** et sa **pérennité**, ses **performances**...
 - une **grande expertise** de la communauté dans cette technologie.
 - le **transfert** vers des technologies plus **fin**es est réalisable :
 - exemple : TSMC 65nm ou la FD-SOI 28 nm...
- Le prototype sera partagé au sein de la communauté

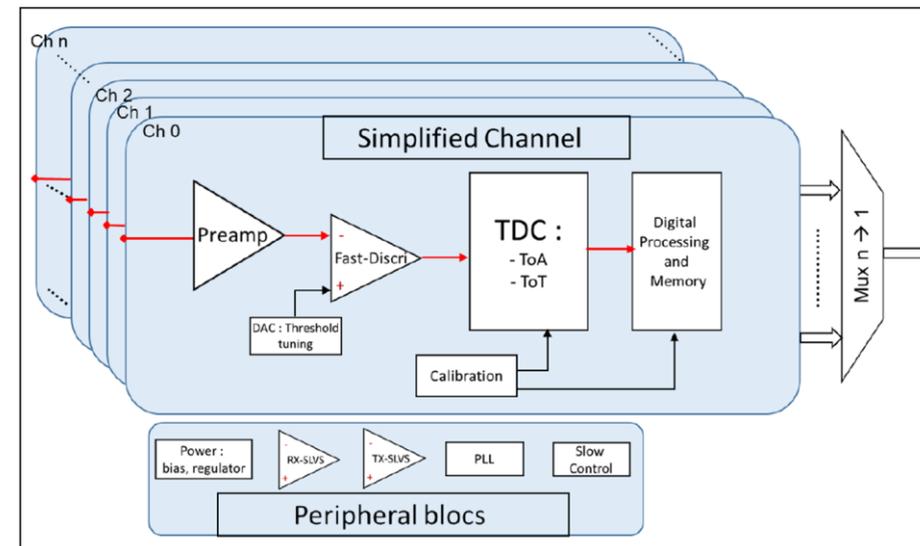
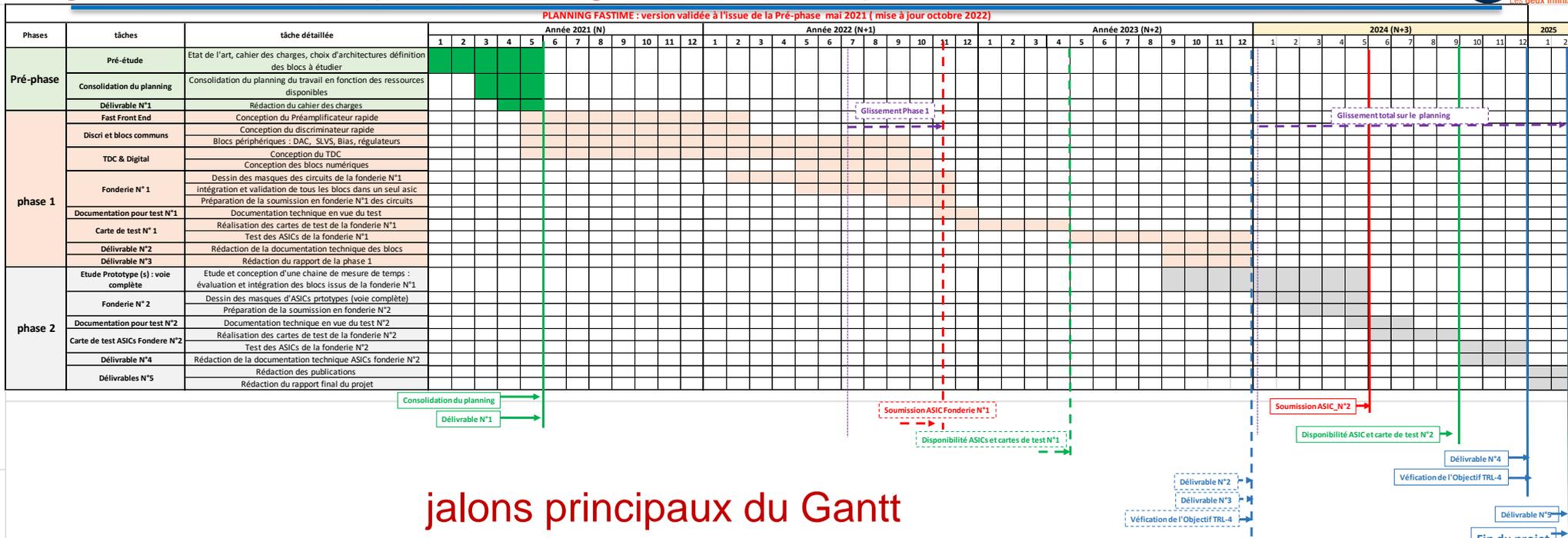


Diagramme simplifié du prototype d'ASIC intégrant une chaîne « complète » de mesure de temps

Organisation du projet : phases du projet

- FASTIME est une R&T sur 3 ans : de janvier 2021 à décembre 2023
- La réalisation de FASTIME se déroule sur **deux phases principales** précédées d'une **pré-étude** de ~5 mois.
 - **La pré-étude** (terminée) a permis :
 - revue de **l'état de l'art** dans les différentes communautés (IN2P3, CERN ou autres), en ASIC ou en mixte ASIC-FPGA :
 - évaluation des **réalisations** et **savoir-faire** dans le domaine du timing à l'IN2P3
 - définition du **cahier des charges** et des spécifications,
 - choix **architecturaux et techniques** adéquates
 - consolidation du **planning** et des **moyens** de réalisation.
- Après cette pré-phase, Suivront **deux phases** de réalisation :
 - **Phase 1 : design et caractérisation d'un ASIC multivoies pour caractériser évaluer différentes architectures :**
 - ASIC 4 voies d'une chaine complète : FFE + TDC+ Digital (readout et Slow control)
 - Intégration de deux architectures de TDC et deux architectures de FFE.
 - soumission en fonderie prévue pour le **09 novembre 2022**
 - **Phase 2 : réalisation d'un prototype d'ASIC multivoies fonctionnel :**
 - intégration des meilleures architectures et options évaluées en phase 1.
 - soumission en fonderie prévue au **deuxième trimestre de 2024**
 - rédaction de la documentation et des publications.

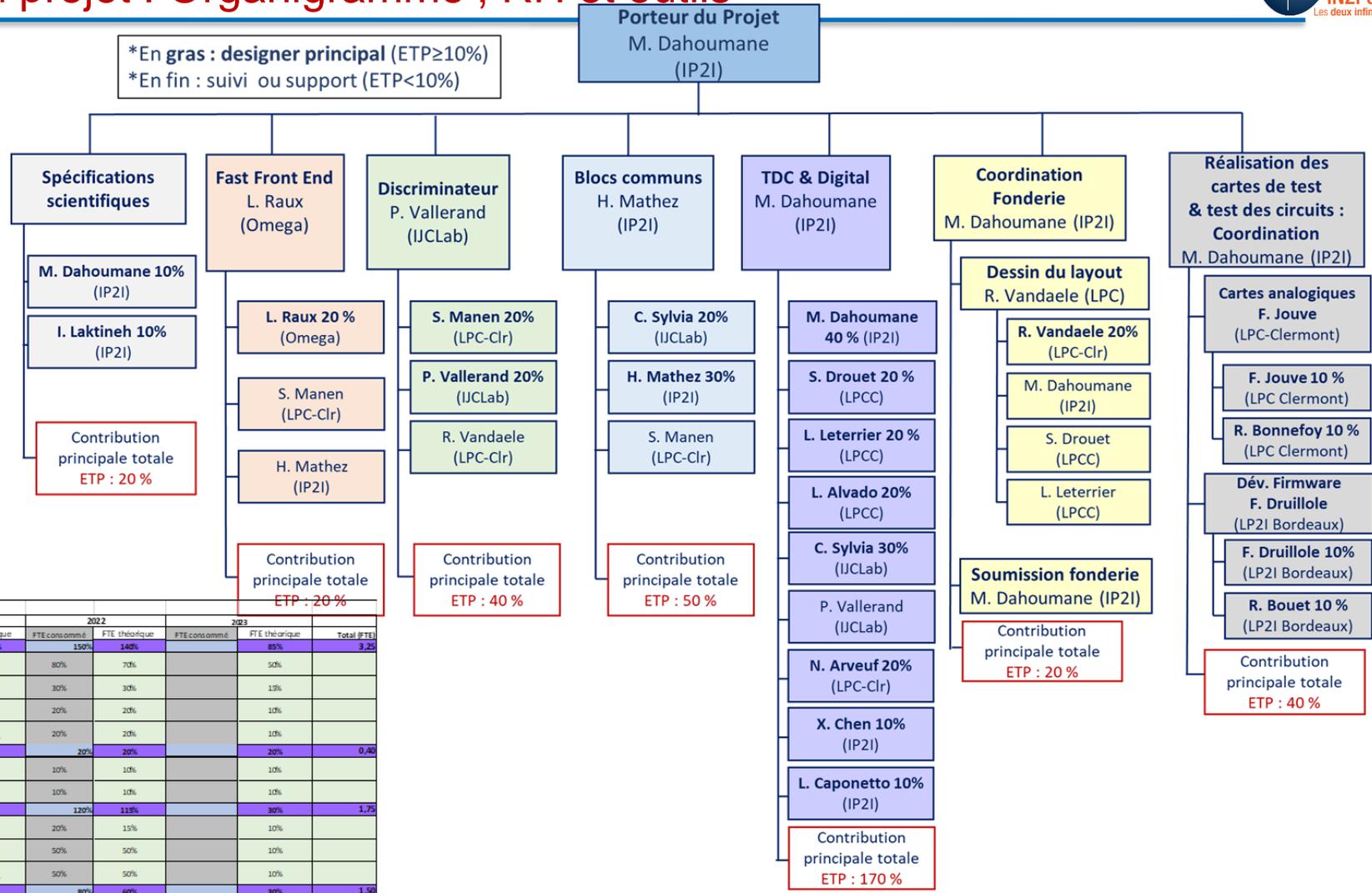
Organisation du projet : planning et principaux jalons



jalons principaux du Gantt

Date jalons	Type de jalons (revues ou dates livrables)	Objectifs
31/07/2020	Dépôt de demande de projet R&T FASTIME auprès de DAS (AT) et DAT IN2P3.	Demande de soutien pour une R&T sur la mesure de temps précise.
19/01/2021	Kick-off meeting de FASTIME	Réunion des membres de la collaboration de démarrage du projet
31/05/2021	Delivrable N°1	Rédaction du cahier des charges et consolidation du planning
9/11/2022	1ere soumission en Fonderie TSMC 130 nm	Soumission en fonderie d'un prototype d'ASIC 4 voies
Décembre 2023	Delivrable N°2	Rédaction de la documentation technique des circuits réalisés en fonderie N°1 avec les résultats des tests
Décembre 2023	Delivrable N°3	Rédaction du rapport de la phase 1 et définition de plan de développement (mise à jour) pour la phase 2 du projet
Mai 2024	2eme Fonderie TSMC 130 nm	Soumission d'un prototype fastime fonctionnel intégrant les meilleures options étudiées en Phase1
Décembre 2024	Delivrable N°4	Rédaction de la documentation technique du prototype complet (2eme soumission en fonderie)
Décembre 2024	Delivrable N°5 (fin du projet)	Rédaction du rapport final. Rédaction des publications associées.

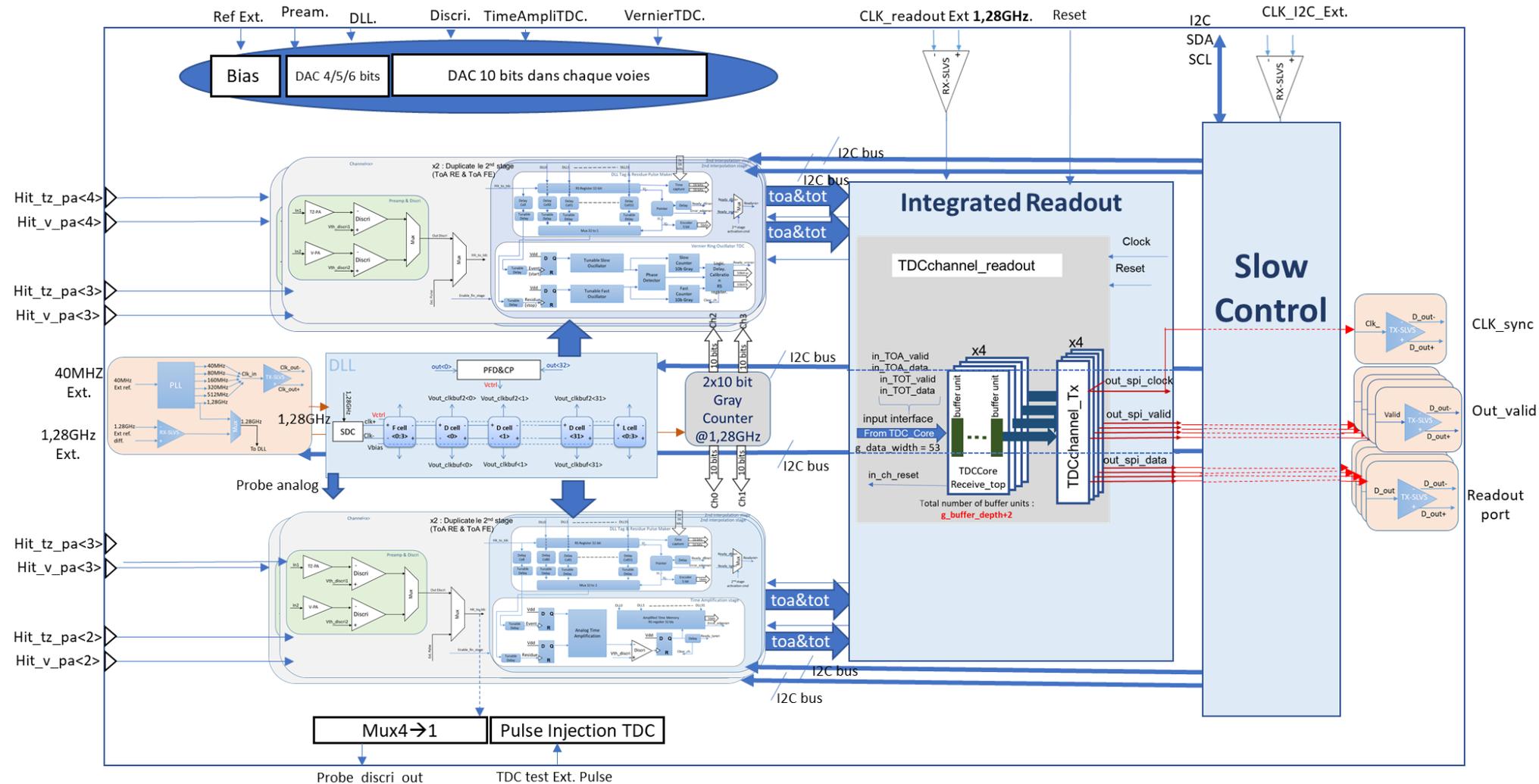
Organisation du projet : Organigramme , RH et outils



ITA IN2P3 Impliqués		2021		2022		2023		Total (FTE)
Nom des personnes	Statut	FTE consommé	FTE théorique	FTE consommé	FTE théorique	FTE consommé	FTE théorique	
IP21		96%	100%	150%	140%		85%	3,25
Mokrane DAHOUMANE	IR (Microélectronique)	75%	70%	80%	70%		50%	
Ho An Mathez	IR (Microélectronique)	20%	30%	30%	30%		15%	
Luigi Caponetto	IR (Microélectronique)	---	---	20%	20%		10%	
Xiushan Chen	IR (électronique)	---	---	20%	20%		10%	
LP21 Bordeaux (CENBG)		0%	0%	20%	20%		20%	0,40
Frédéric Druilleole	IR (Microélectronique)	---	---	10%	10%		10%	
Raphael Bouet	IE (Microélectronique)	---	---	10%	10%		10%	
IJCLab		40%	30%	120%	115%		30%	1,75
Philippe Vallerand	IR (Microélectronique)	25%	20%	20%	15%		10%	
Christophe Sylvia	IE (Microélectronique)	25%	30%	50%	50%		10%	
Allaoui Mhoudini	AI (Microélectronique)	---	---	50%	50%		10%	
LPC Caen		50%	60%	80%	60%		30%	1,50
Sébastien Drouet	IR (Microélectronique)	25%	20%	30%	20%		10%	
Laurent Leterrier	IR (Microélectronique)	20%	20%	30%	20%		10%	
Ludovic Alvaro	IR (Microélectronique)	15%	20%	20%	20%		10%	
Omega		0%	0%	20%	20%		10%	0,30
Ludovic Raux	IR (Microélectronique)	---	---	20%	20%		10%	
LPC Clermont		35%	40%	100%	80%		50%	1,70
Richard Vandaele	IE (Microélectronique)	25%	20%	40%	20%		10%	
Nicolas Arveuf	IR (Microélectronique)	---	---	20%	20%		10%	
Samuel Manen	IR (Microélectronique)	20%	20%	20%	20%		10%	
Frédéric Jouve	IR (Électronique)	---	---	10%	10%		10%	
Roméo Bonnefoy	IR (Électronique)	---	---	10%	10%		10%	
TOTAL (FTE)		220%	2,30	490%	4,35		2,25	8,90

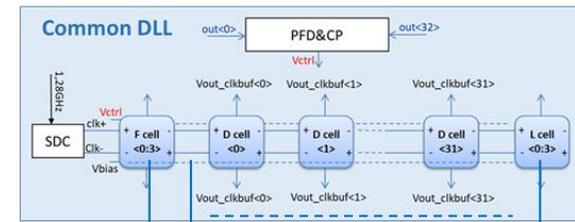
- 19 agents travaillant ensemble dans un espace de travail partagé
- 4,35 ETP cumulé en 2022
- Utilisation de l'infrastructure informatique @LPC : Cadence, DK 130nm et SOS.

Type de détecteur / Application	NCP/MCP /PICMIC	SiPM/ToF PET
Précision temporelle (rms)	1 ps rms	3 ps rms
Temps mort	100 ns	10 ns
Tension d'alimentation détecteur	~1k V à 2k V	20-80 V
Puissance dissipée	---	< 10 mW/canal
Fréquence de Readout (en Différentiel)	~ 100 MHz à ~1 GHz	---
Gamme dynamique	100 fC à 1 pC	5-2500 photoélectrons (coupage à des cristaux de CeBr3)
Nombre de voies (détecteur)	16	64
Capa det (totale vue par le FEE)	46 pF	60-1300 pF/SiPM (capacité d'une micro-cellule ~80-100 fF)
Couplage	AC : Détecteur sous haute tension	DC
Impédance de la ligne / détecteur	37 ohm/voie	50 Ohm
Temps de collection de charge/temps de déplacement	20ps/200ps	--
Temps de montée du signal	~1ns	~80-100 ps (temps de montée d'une micro-cellule)
Température	0 à 85 °C	0-20 °C (en général, les SiPM sont refroidis pour limiter le DCR)
Taux de comptage	1 MHz/CM2	~1.6-4 Mcps (pour une matrice de 64 SiPM couplée à des cristaux de CeBr3)

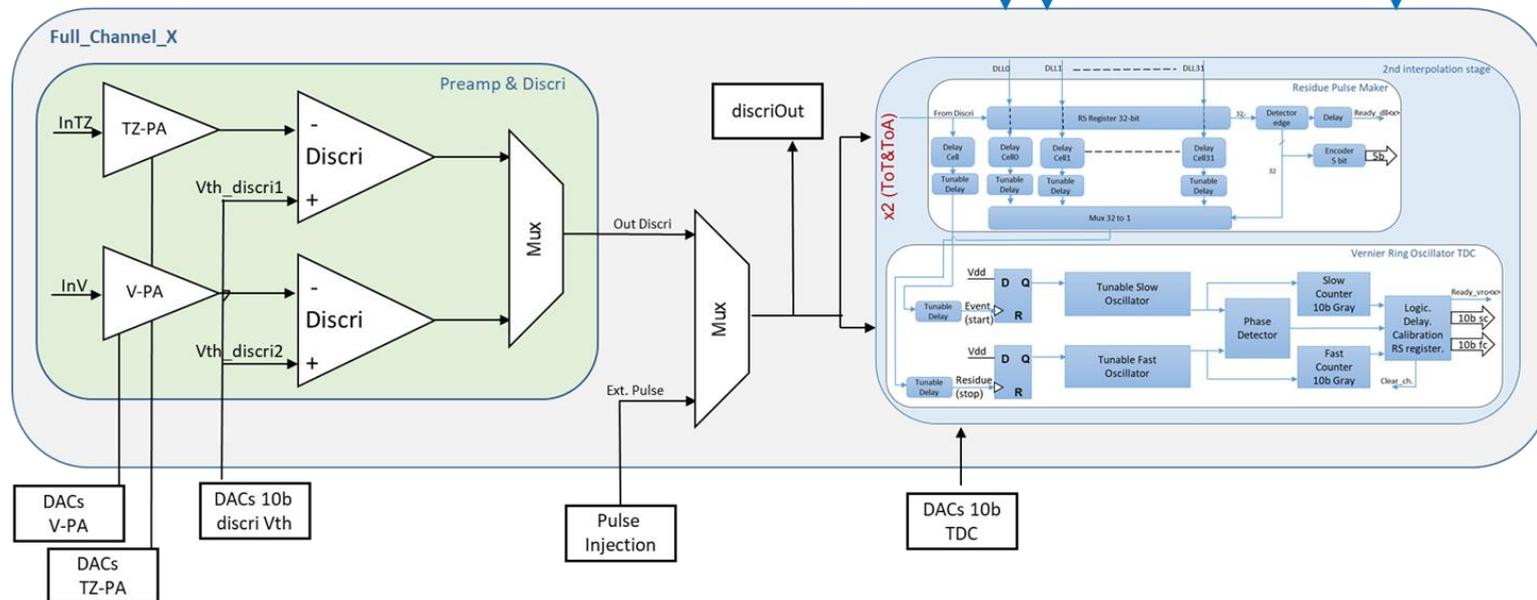


Principe de fonctionnement d'une voie complète :

- Une DLL commune (1^{er} niveau d'interpolation) distribue ses 32 signaux sur les 4 voies de l'asic
 - Sur un hit (InTZ, InV ou ExtPulse), l'état de la DLL est mémorisé avec une résolution de 24 ps (pas de la DLL)
 - Les signaux de la DLL sont envoyés sur un 2^{ème} étage d'interpolation pour affiner le résultat fourni par la DLL
 - Avec une précision de 1 ps rms.
 - Deux architectures FFE : TZ_Preamp et V_Preamp
 - Deux architectures du 2eme étage d'interpolation :
 - Vernier Ring Oscillator TDC et Time Amplification TDC Associés à un bloc Residue Pulse Maker.



- La conversion sur deux niveaux d'interpolation permet d'allier grande précision et faible temps mort



I2C Slow Control & Common readout .

➤ Deux architectures :

➤ FFE 1 : Trans-Impedance Preamplifier

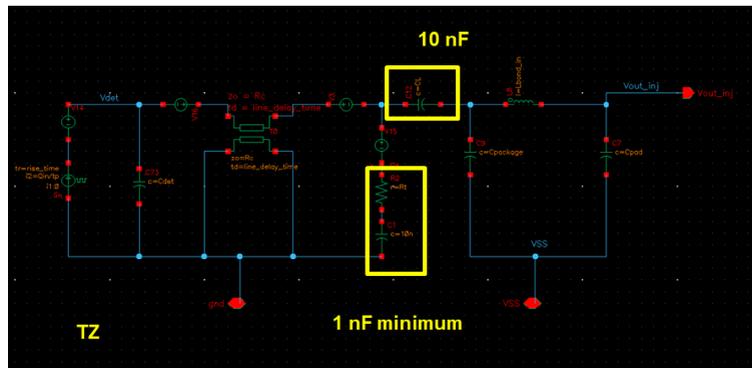
➤ FFE 2 : Voltage Preamplifier :

- expression du Jitter (Cf. cours de C. De La Taille @Omega) : $\sigma_t^J = \frac{\overline{e_n} \cdot Cd}{Q_{in}} \times \sqrt{\frac{tr_{PA}^2 + td^2}{2 \cdot tr_{PA}}}$
- Sensiblement la même pour les architectures.

$$\sigma_t^J = \frac{\overline{e_n} \cdot Cd}{Q_{in}} \times \sqrt{td}$$

- La performance est limitée par Cd, mais elle dépend aussi de la charge, du bruit du PA.
- Il existe un optimum entre la BW et le « drift time » du Détecteur.

➤ Modèle détecteur :



➤ Type de simulations du Jitter :

- Transient noise
- Transient + AC-noise

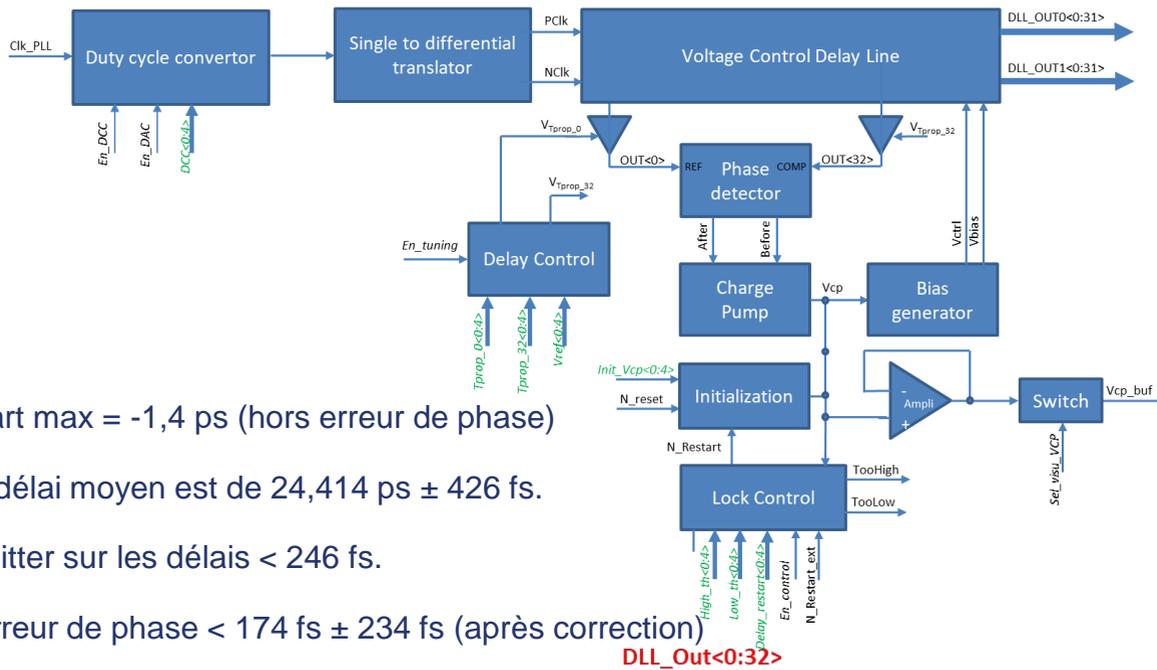
Jitter PA+Discr (Qin_min 100fC)	Trans-impedance Preamplifier (Seuil = -20 mV)		Voltage Preamplifier (Seuil = -10 mV)	
	ToA (ps rms)	ToT (ps rms)	ToA (ps rms)	ToT (ps rms)
Schéma	8,14	47	6,46	191,2
Layout	9,37	38	8,1	159,4

Pour un signal maximum
(1pC) ➔ Jitter ~1ps rms.

Le bruit RMS est ~1 mV rms
pour les architectures.

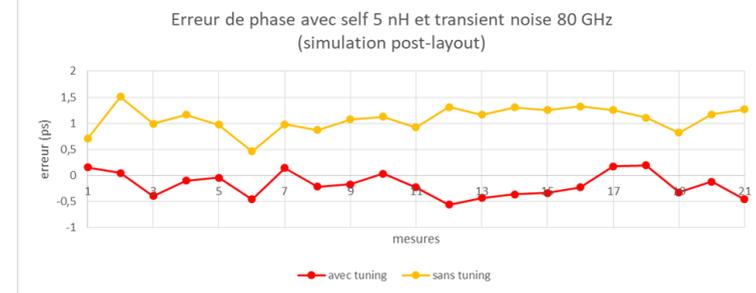
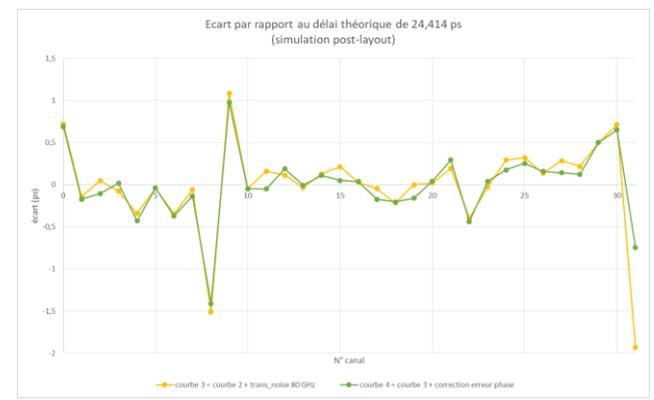
TDC : 1^{er} niveau d'interpolation à base de DLL

DLL à 32 éléments à retard au pas de 24 ps et CLK@1.28GHz



- Ecart max = -1,4 ps (hors erreur de phase)
- Le délai moyen est de 24,414 ps ± 426 fs.
- Le jitter sur les délais < 246 fs.
- L'erreur de phase < 174 fs ± 234 fs (après correction)

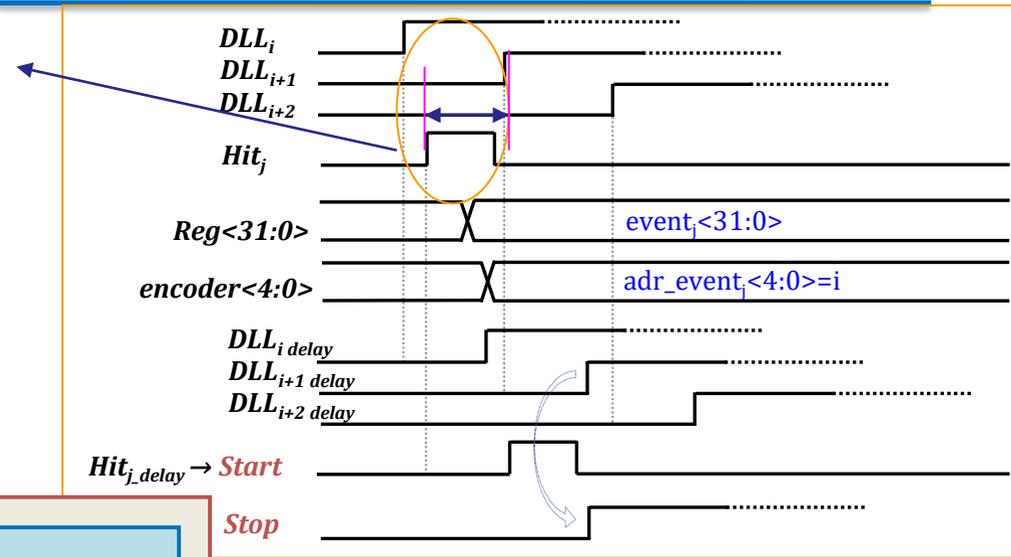
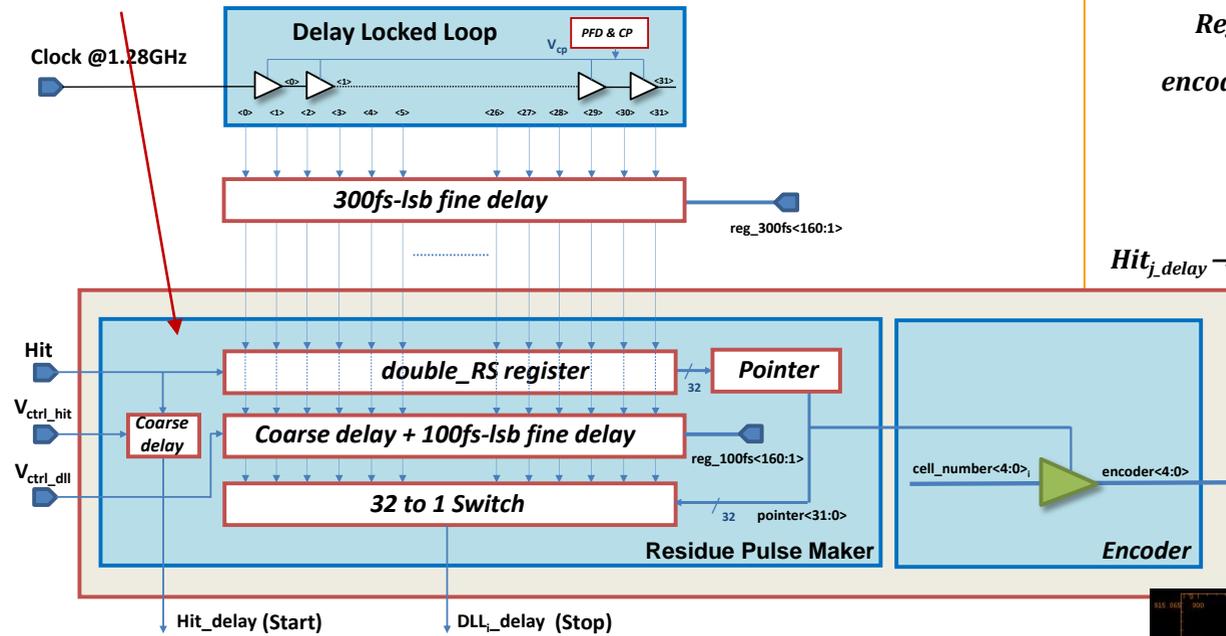
Résultats de simulation post-layout : self bonding 5 nH, transient noise 80 GHz



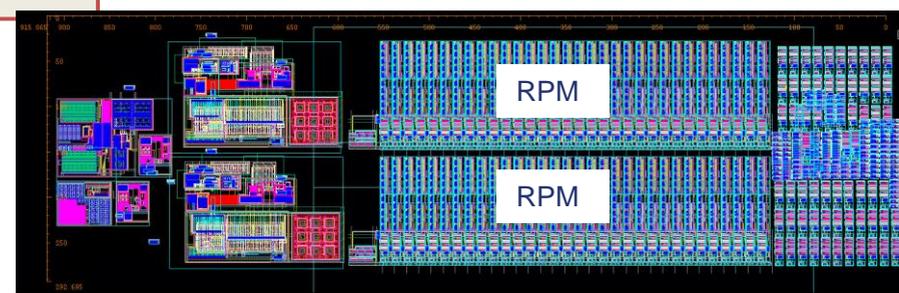
TDC 2nd étage d'interpolation : générateur du pulse du résidu de la DLL

Le 2nd étage d'interpolation a pour but de mesurer l'intervalle entre le hit et la prochaine sortie de la DLL (erreur de quantification de la DLL).

Pour ce faire, on a besoin d'un étage qui génère ce résidu : Residue Pulse Maker.



Layout 1 channel : TimeAmpliTDC+FFE.



Fonctionnement :

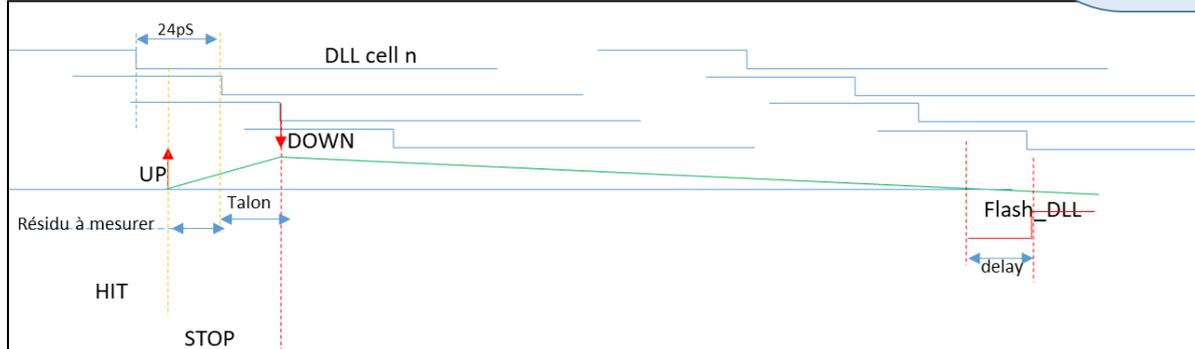
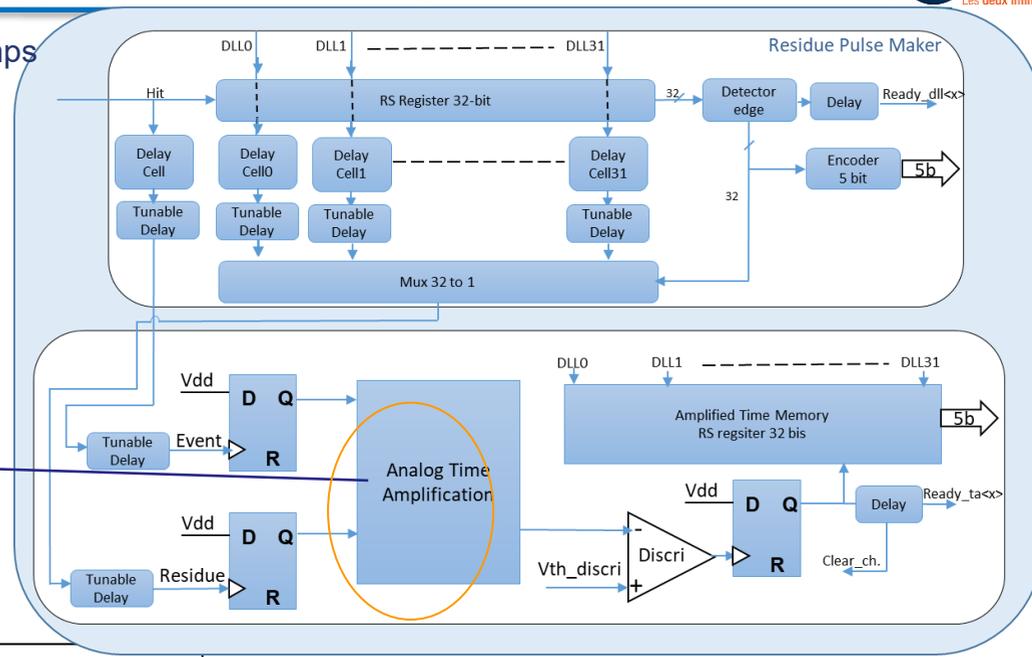
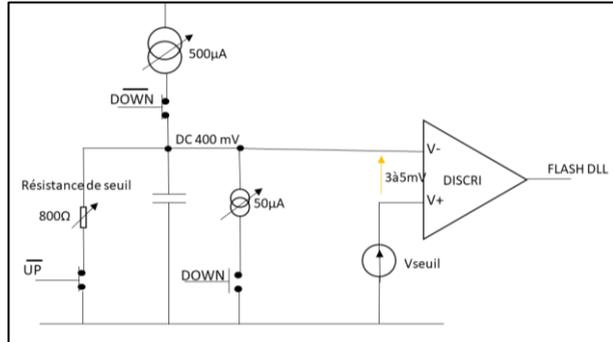
- Mémoriser l'état de la DLL → retarder les signaux de la DLL → commander un mux pour sélectionner la bonne sortie de la DLL.
- Insertion de délais de réglage FIN (100fs et 300fs sur 5 bits) :
 - Calibration et correction de la DNL de la DLL, s'assurer que le start arrive avant le stop du TDC du 2nd étage.

- **Très critique car le retard est supérieur à la durée du signal d'entrée (~390ps)**
- **Gamme de réglage : de 400ps à 680ps**

TDC 2nd étage d'interpolation : TDC à Amplification de Temps

- Principe de fonctionnement d'un TDC à Amplification de temps associé à une DLL

- L'amplificateur de temps se base sur un intégrateur à double rampe. Facteur d'amplification est de 10 réglable par I2C sur un DAC 10b



➤ Simulations temporelles RPM+TA :

- programme d'analyse en skill pour automatiser les simulations (résultats enregistrés dans un fichier)
- L'analyse des données se fait offline
- Une phase de calibration conséquente sera nécessaire

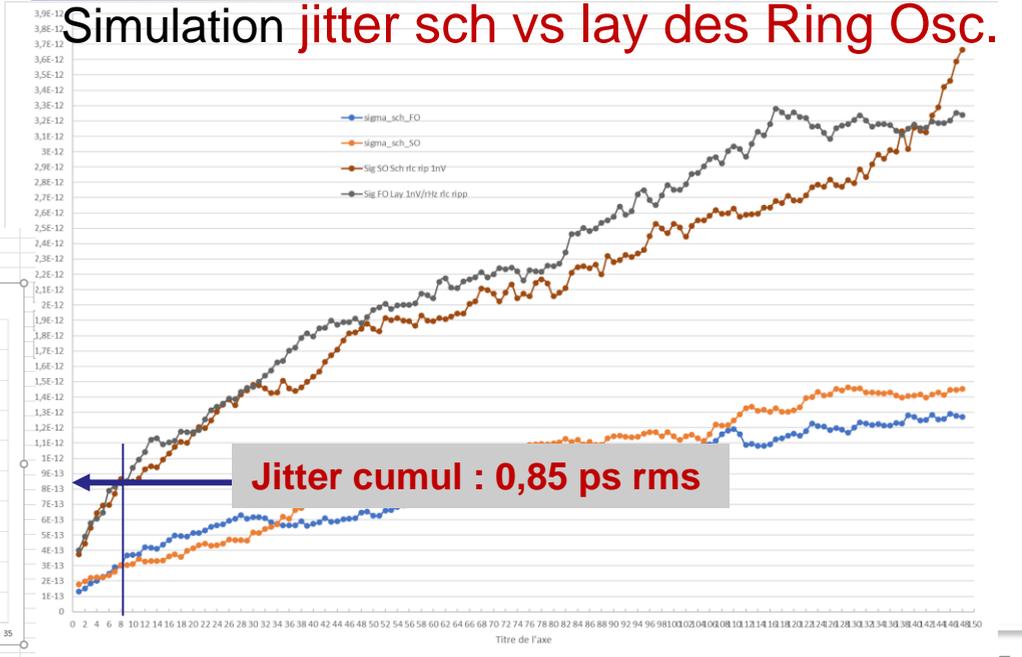
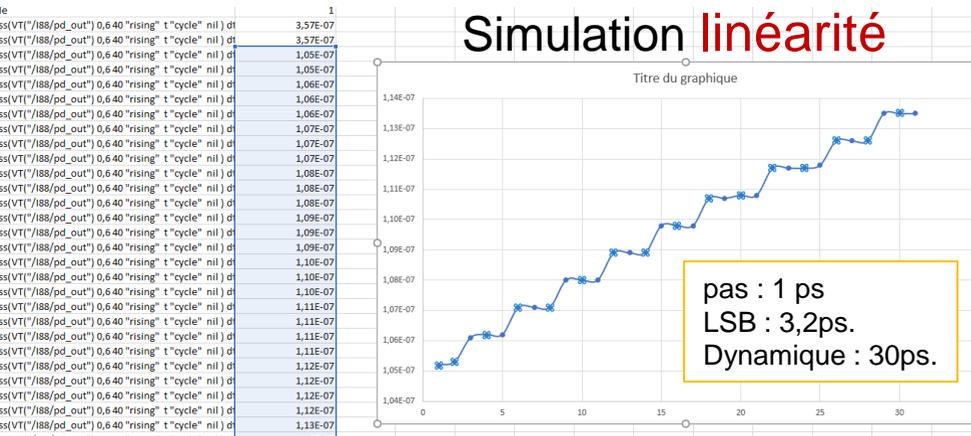
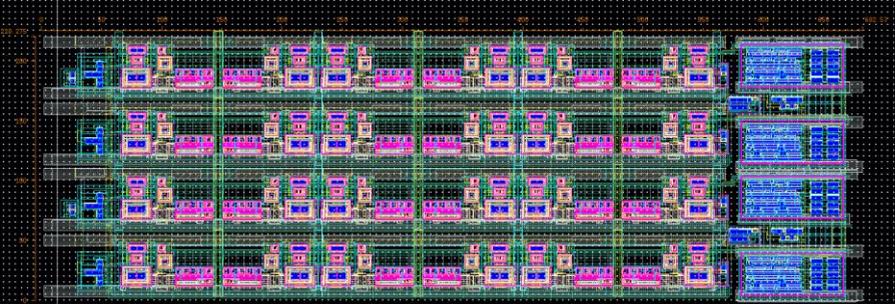
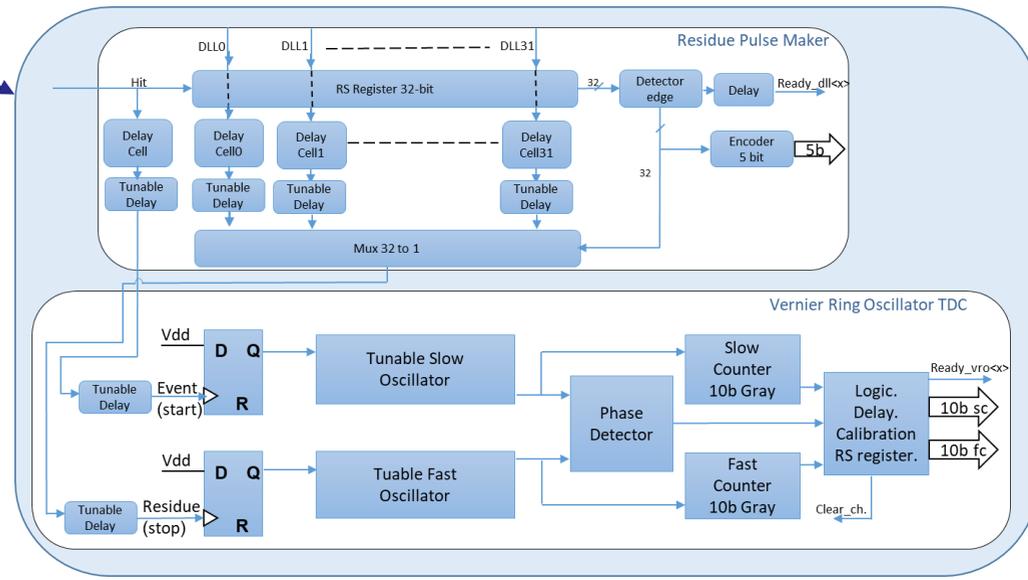
➤ Simulations temporelles du TA : transient noise

- Jitter sur le Signal de sortie de l'interpolateur (flash_DLL) pour un résidu de 48ps => 14ps de jitter ptp (correspond à **1,4ps** d'erreur de mesure car ramené en proportion par le facteur 10 d'amplification).

TDC 2nd étage d'interpolation : TDC Vernier Ring Oscillator

Principe de fonctionnement d'un TDC VRO associé à RPM

- La dynamique du signal en entrée du Vernier est de 24 ps maximum (le pas de la DLL)
- Le LSB du vernierTDC est fixé à 3 ps : s'assurer que le bruit de quantification (lsb/racine12) soit inférieur à 1ps rms
- Les oscillateurs slow et fast tournent à ~1ns avec une différence de 3 ps entre les deux (c'est le LSB).
- Le temps de conversion maximal est de $(24ps/3ps)*1ns = 8ns$
 - Contrainte temps mort <10ns (satisfaite).



Blocs communs : Optimisation et « Reuse »

□ PLL (lojic130)

- Optimisation de la PLL de Lojic130
- Modification du filtre de boucle
- Jitter amélioré : 746 fs rms

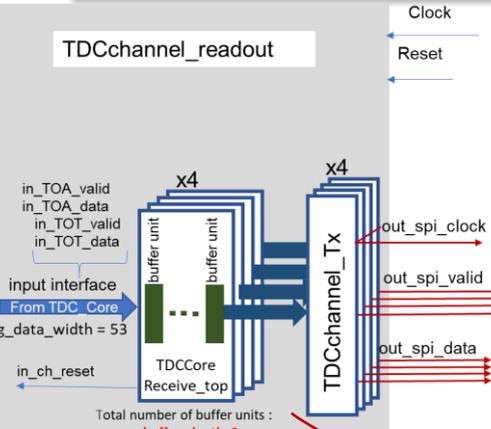
□ Rx et Tx SLVS

- Schéma du Tx et Rx SLVS développé à AGH (design fourni par Marek Idzik @ Cracovie)
- Les SLVS Tx et Rx assurent un très faible jitter (quelques dizaines de fs rms).

□ DAC 10 bits

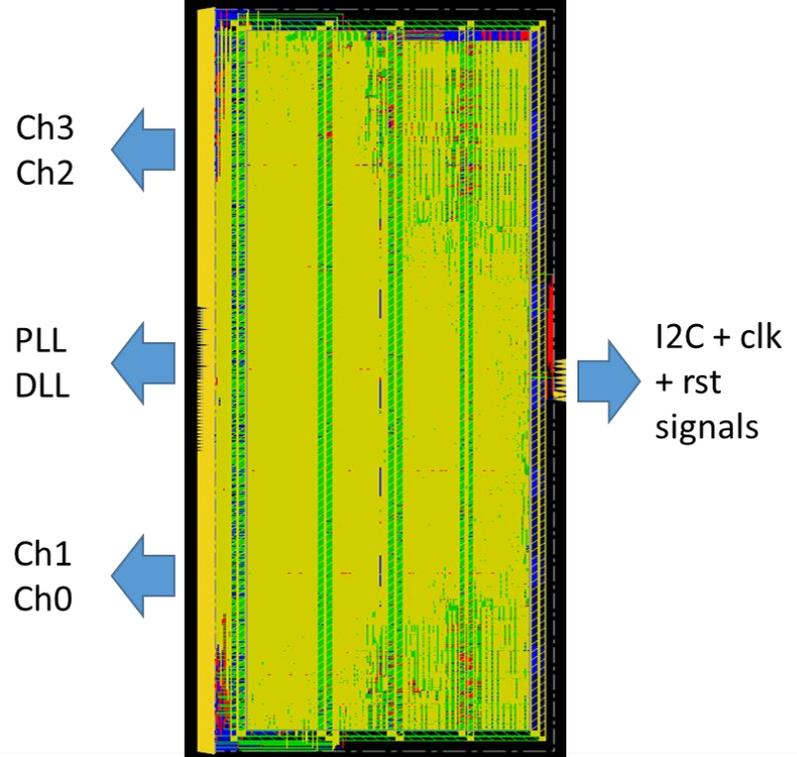
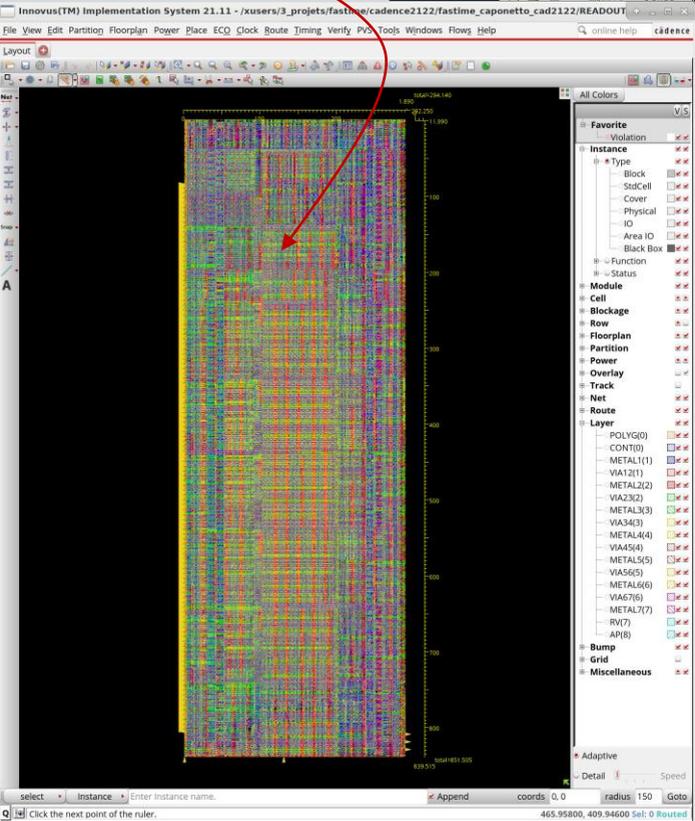
- Fournis par Omega
- Dynamique 10 bits, grande linéarité et faible bruit rms (100 μ V rms) : les DACs ne dégradent pas les performances des discri entre autres)

Blocs Digitaux : Readout et I2C



- RTL design is in VHDL
- implementation in TSMC130 V1.4C_3/1p7m4x1z1u
- timing closure checked under signoff conditions

- RTL design is in Verilog
- implementation in TSMC130 V1.4C_3/1p7m4x1z1u
- Layout : 1400 x 430 = 602 000 μm²
- Around 500 registers : 40 % of occupancy according to synthesis
- 60% of occupancy without fillers at final step



Fonderie et Cartes de test

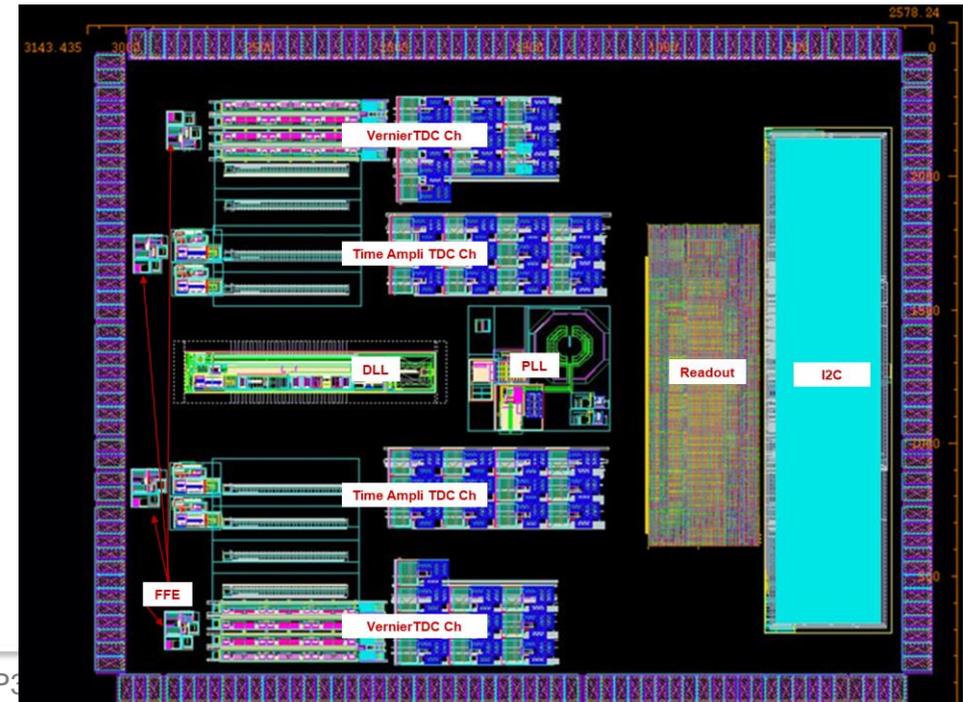
- La fonderie de ce circuit est prévue **le 9 novembre prochain**.
 - Technologie : TSMC 130nm.
 - Les soumissions des « tape out » se feront via le service fonderie du CERN.
- Carte de test et caractérisation :
 - Utilisation d'une carte de développement XILINX ZYNQ ULTRASCALE+ ZCU104 P
 - Firmware&software du banc de test développé au LP2I de Bordeaux
 - Des cartes analogiques (mezzanines) seront réalisées par l'équipe du service électronique du LPC Clermont.



➤ Layout de la vue top de l'asic en cours de réalisation :

➤ Dimensions : ~2500x3100 um².

- 4 voies
- Deux architectures de tdc
- Deux architecture de Front End.
- Une DLL, une PLL
- Readout et I2C



Conclusions et perspective

- FASTIME : une R&T démarrée en janvier 2021 pour une durée de 3 ans.
- FASTIME est une collaboration entre 6 laboratoires de l'IN2P3 :
 - IJCLab, IP2I Lyon, LP2I Bordeaux, LPC-Caen, LPC-Clermont et Omega
 - Synergie entre les différentes équipes impliquées sur la thématique du timing
 - Partage des designs et de l'expertise (Logiciel SOS, réunions périodiques, atrium, la box in2p3...)
- Une pré-phase a permis :
 - établissement du cahier des charges, revue de l'état de l'art et consolidation du planning de développement
- La phase 1 :
 - Design d'un ASIC de mesure de temps rapide et résolue à 4 voies : **en cours d'intégration finale**
 - Test et caractérisation à faire en 2023.
- Phase 2 (perspective proche) :
 - Design d'un prototype fonctionnel selon les résultats des tests de la phase1
 - Sélections des meilleures architectures et options évaluées en phase 1.
 - Calendrier dépassé : cette phase est envisagée sous réserve de disponibilité des ressources RH.

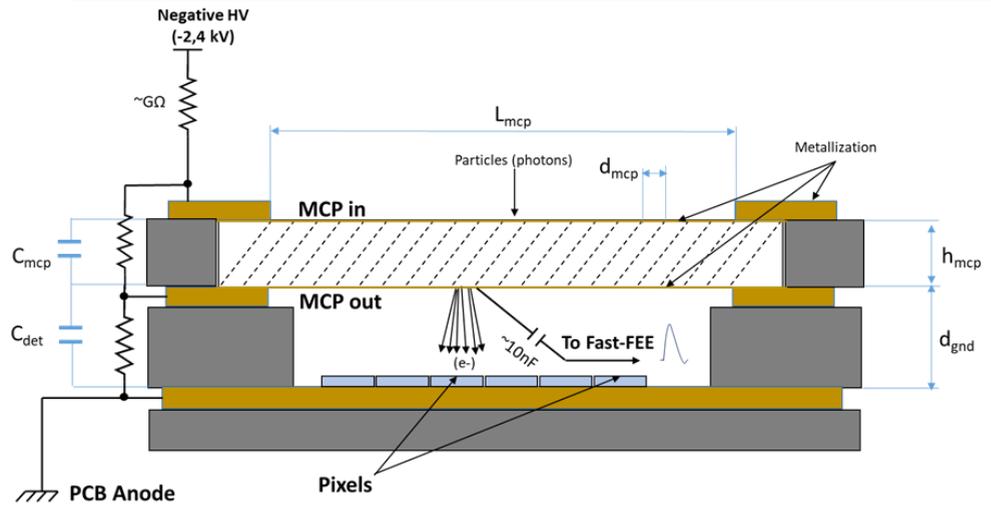
Perspectives :

Le transfert du design final vers la 65nm ou la 28 nm se fera dans nouveau projet.

Merci pour votre attention

Backup slides

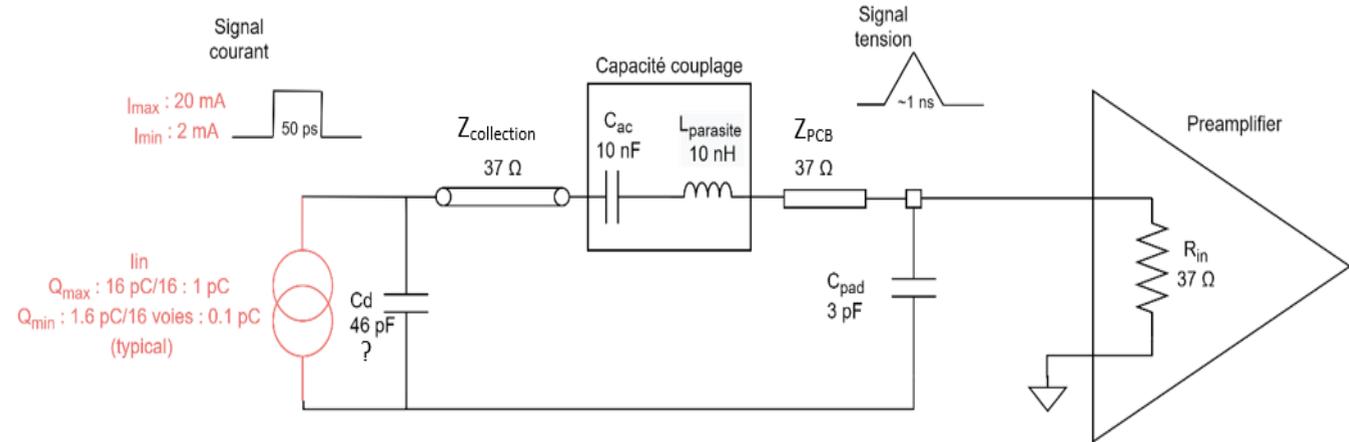
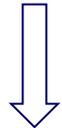
Détecteurs et spécifications : modèle électrique du senseur timing de PICMIC



L_{mcp}	2.5 cm
h_{mcp}	--
d_{gnd}	0.6 mm
d_{mcp}	2.5 μ m
C_{mcp}	35 pF
C_{det}	11 pF

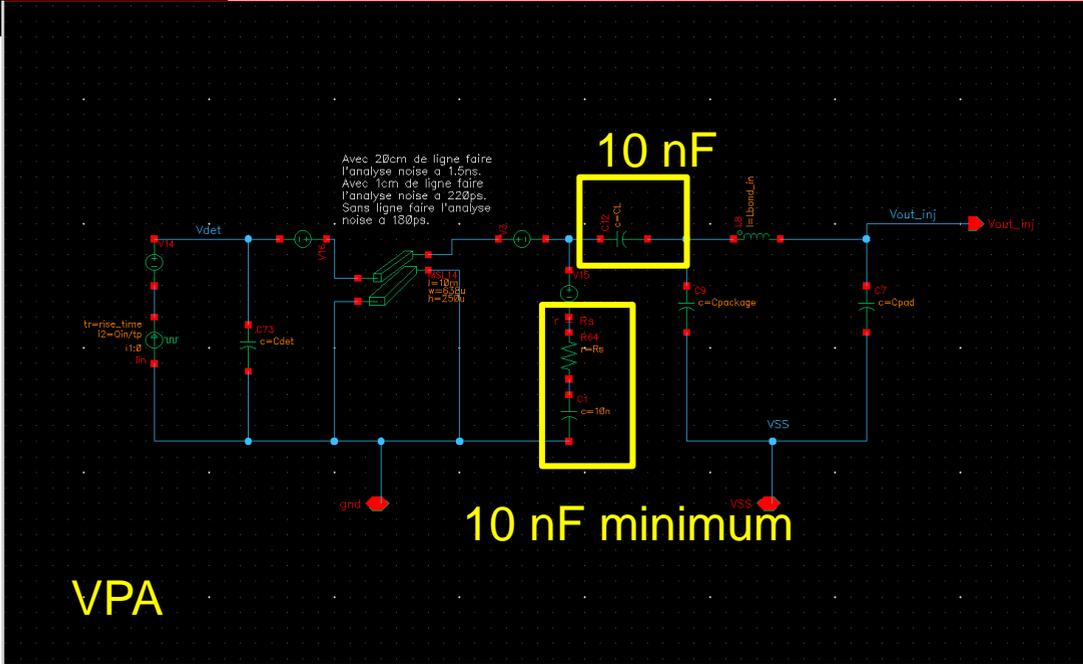
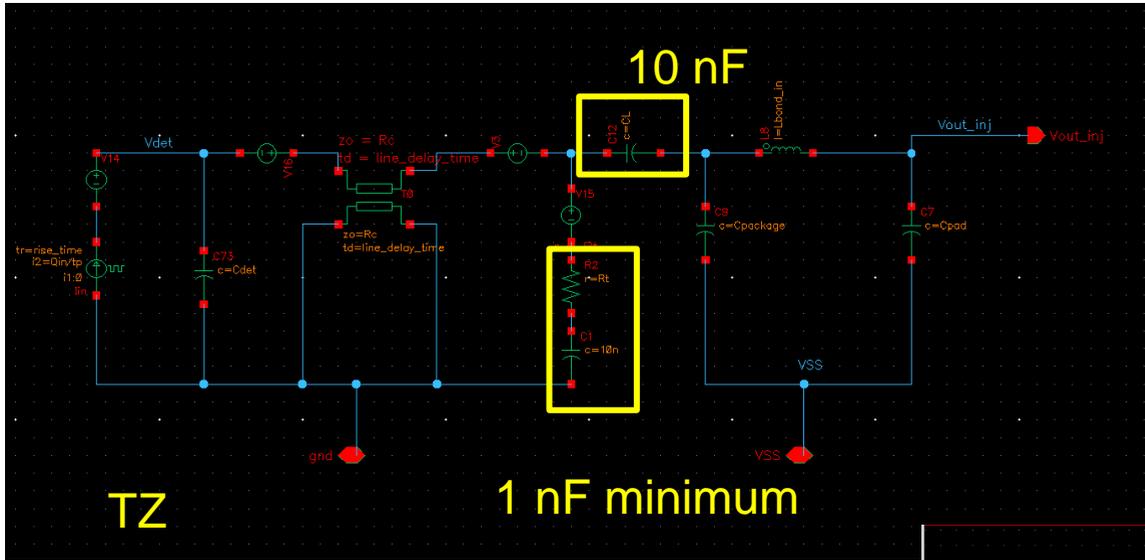
caractéristiques mesurées d'une voie du senseur timing de picmic

Schéma simplifié du setup de PICMIC montrant les dimensions et la disposition des différents éléments du détecteur

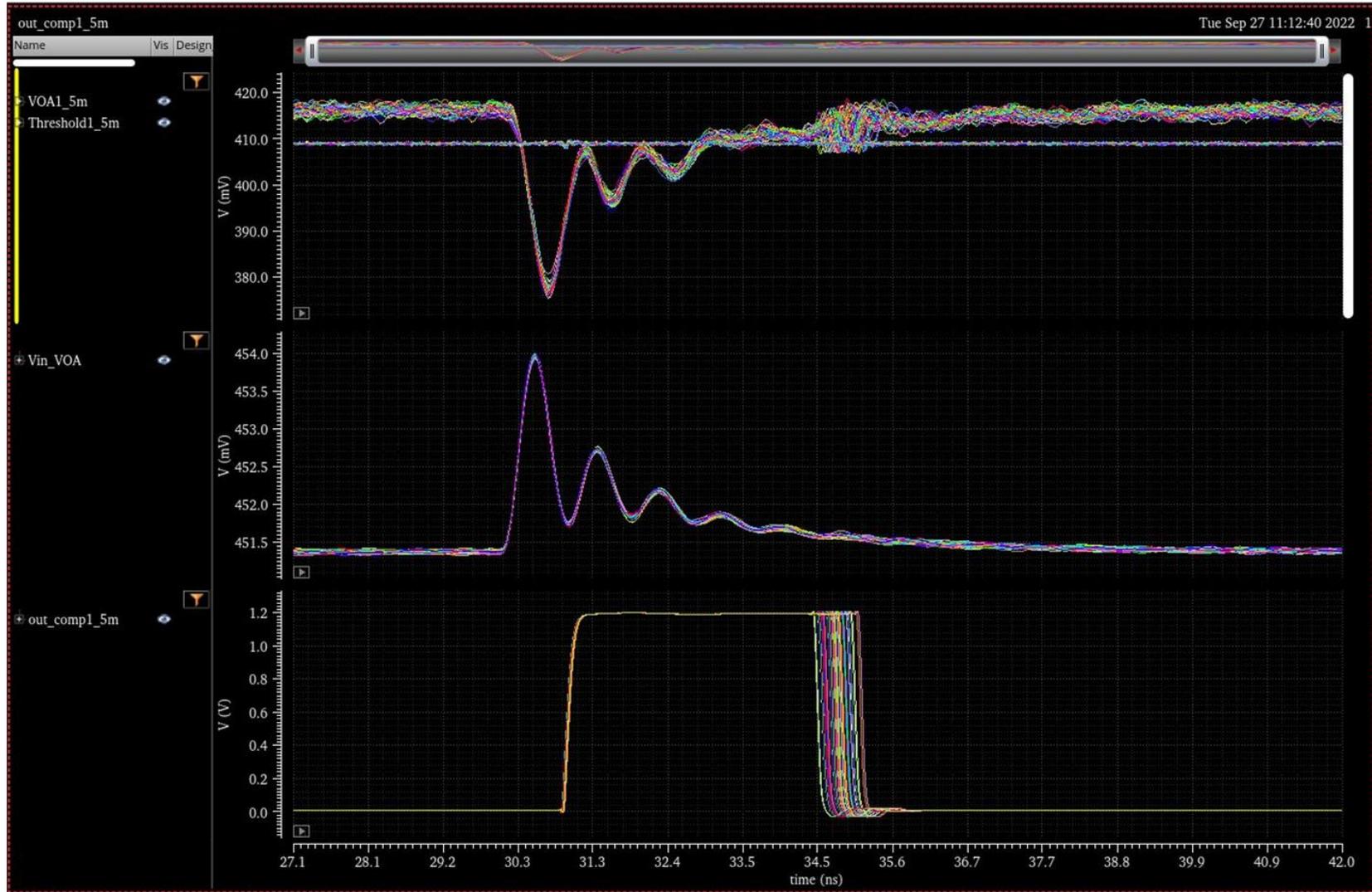


Modèle électrique du détecteur vu par le front end

Modèle du détecteur et injection normalisée VPA et TZPA



av_extracted TR noise (50 IT), $V_{th} = -10$ mV



av_extracted TR noise (50 IT), $V_{th} = -30$ mV

