

PCIe400 Work Packages



J.-P. Cachemiche (CPPM)
Paul Bibron, Julien Langouët, Renaud Le Gac, Frédéric Réthoré

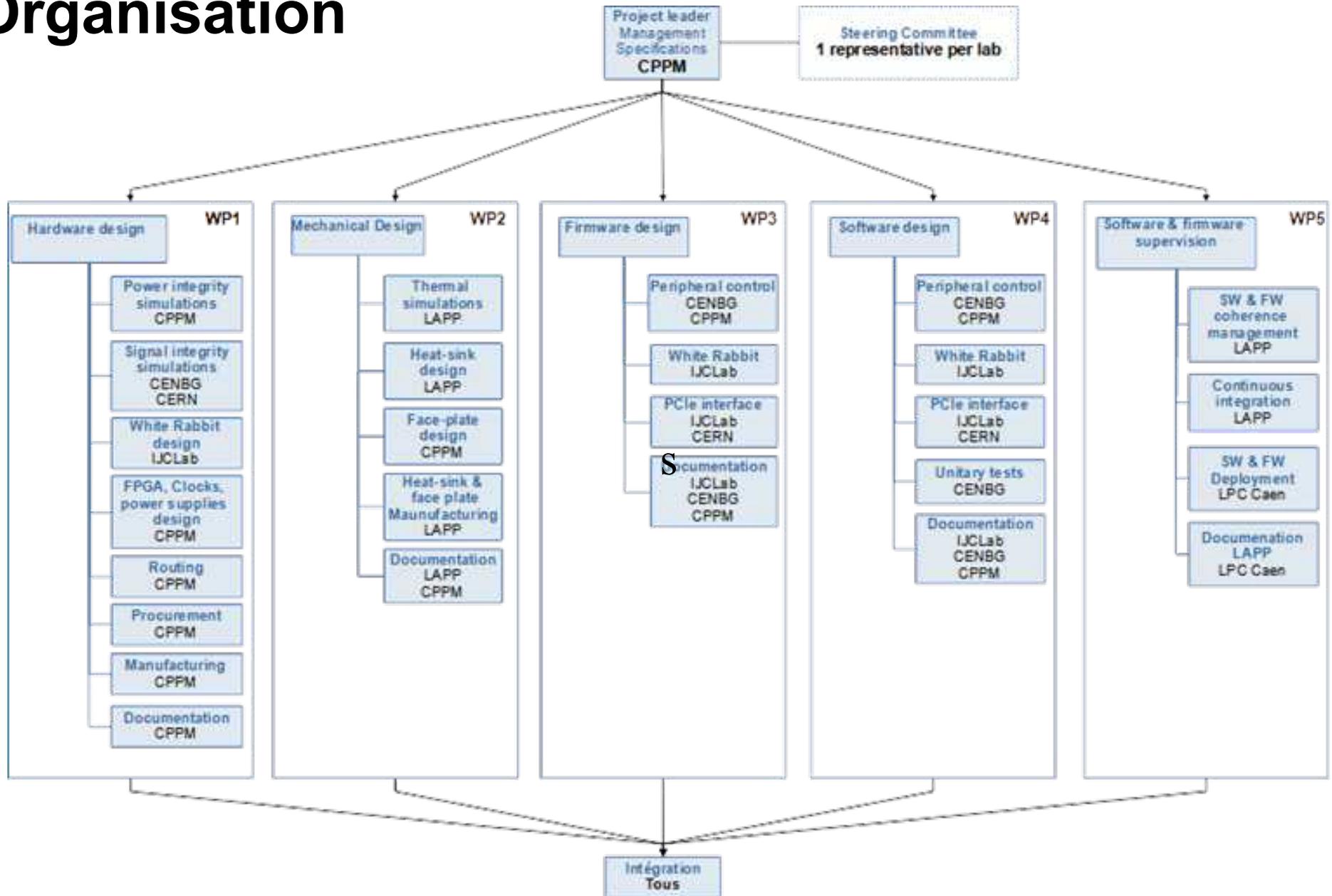
Sujets abordés

Organisation

Main d'oeuvre disponible

Work packages

Organisation



Ressources

5 laboratoires + CERN

- Groupe important mais ne représente qu'environ 4.5 FTE
 - ➔ Demande une organisation rigoureuse
- Fragilités :
 - Hardware
 - ▷ 2 départs à la retraite imminents pour le CPPM
 - ▷ 1 CDD à prolonger ou stabiliser
 - Passage de relais au niveau de l'IJCLab
- Mitigation du risque
 - Steering Committee qui prendra les décisions nécessaires s'il y a lieu
 - Demande de remplacement en cours au niveau labo

Nom des personnes	Statut	2022	2023	2024	Total (FTE)
CPPM		10%	10%	10%	0.30
Renaud LE GAC	DR1	10%	10%	10%	
TOTAL (FTE)		10%	10%	10%	30%

Chercheurs IN2P3

Nom des personnes	Statut	2022	2023	2024	Total (FTE)
CPPM		185%	100%	100%	3.85
Jean-Pierre CACHEMICHE	IRHC	60%	0%	0%	
Frédéric RETHORE	IR	25%	0%	0%	
Paul BIBRON	CDD IR	100%	100%	100%	
Kevin ARNAUD	IE	50%	30%	0%	
LAPP		30%	30%	15%	0.75
Guillaume VOUTERS	IR	15%	15%	15%	
Sebastien VILALTE	IR	5%	5%	0%	
Jean Marc NAPPA	IE	5%	5%	0%	
Pierre DELBECQUE	IR	5%	5%	0%	
CENBG		60%	95%	95%	2.50
Frédéric DRUILLOLE	IRHC	10%	10%	10%	
Patrick HELLMUTH	IR	10%	15%	15%	
Abdel REBII	IR	30%	50%	50%	
Thomas CHABAUD	AI	10%	20%	20%	
IJC lab		160%	270%	220%	6.50
Christophe BEIGBEDER	IRHC	10%	10%	10%	
Daniel CHARLET	IR	30%	30%	10%	
Chafik CHEIKALI	IE	10%	10%	10%	
Christelle SOULET	IR	10%	10%	10%	
Monique TAURIGNA	IE	50%	50%	10%	
Souhir ELLOUMI	IE	10%	50%	50%	
Eric PLAIGE	IE	10%	10%	10%	
Xavier LAFAY	IE	10%	20%	30%	
CDD	IE	20%	80%	80%	
LPC Caen		15%	15%	15%	0.45
David Etasse	IR	15%	15%	15%	
TOTAL (FTE)		4.35	4.95	4.30	13.60

Ingénieurs IN2P3

Nom des personnes	Statut	2020	2021	2022	Total (FTE)
CERN		45%	45%	30%	1.20
Antoine JUNIQUE	IR	15%	15%	0%	
Paolo DURANTE	IR	30%	30%	30%	
TOTAL (FTE)		0.45	0.45	0.30	1.20

Ingénieurs CERN

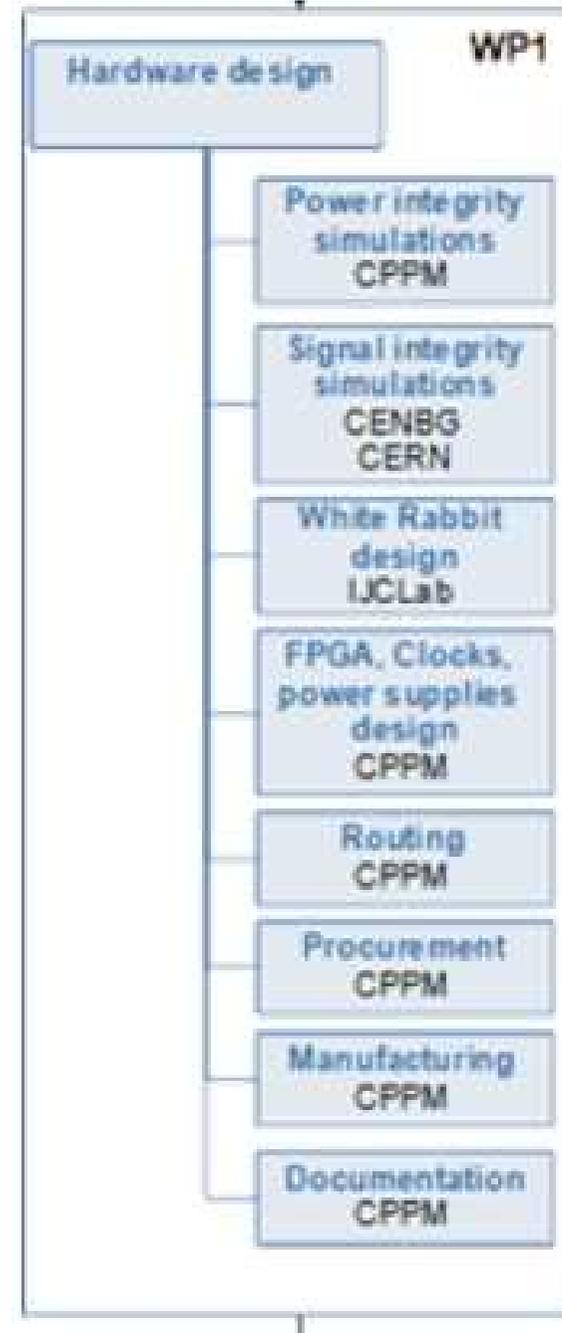
WP1 : Hardware

Responsabilités

- Maîtrise d'oeuvre : CPPM
- Contributions : CERN, CENBG

Tâches

- Dimensionnement alimentations
- Sélection composants
- Approvisionnements
- Simulations de power integrity
- Simulation de signal integrity
- Saisi de schémas
- Revue pré-routage
- Routage carte
- Revue post-routage
- Fabrication
- Debug
- Caractérisation
- Documentation



WP1 : Hardware

Difficulté

- Le design White Rabbit doit être intégré dans la schématique avant fin juin
 - ➔ Compatible avec un maquetage ?
 - ➔ Tâche critique : disponibilité IJCLab ?
- Pinout FPGA pas disponible avant fin juin
 - ➔ Design de cette partie en juillet seulement
 - ➔ Tout le reste doit être prêt

Milestones

- Revue de design : septembre 2022
- Revue avant lancement fab : avril 2023

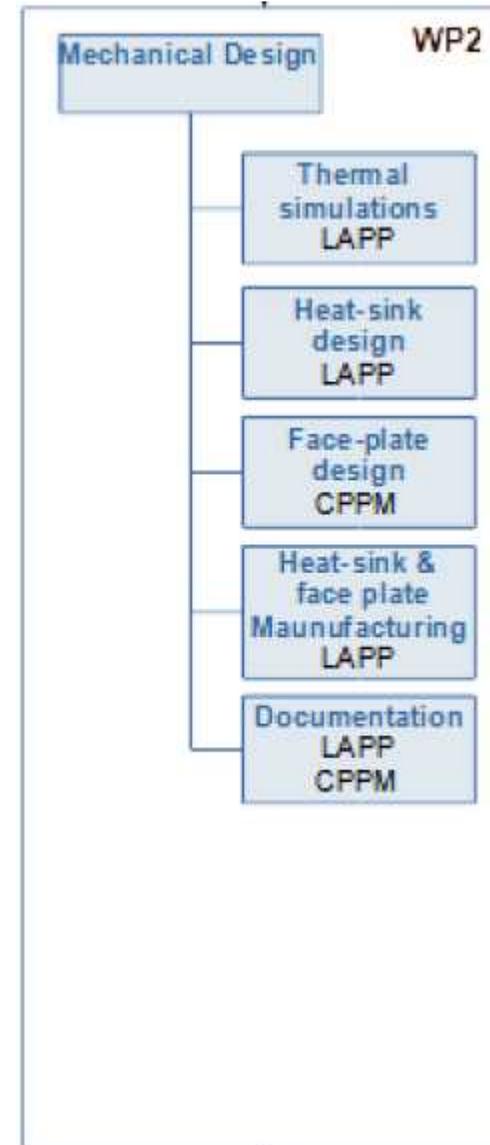
WP2 : Mécanique

Responsabilités

- Maîtrise d'oeuvre : LAPP
- Contributions : CPPM

Tâches

- Simulation thermique du refroidissement de la carte
- Conception du radiateur
- Conception de la face avant



WP2 : Mécanique

Contraintes

- Besoin d'être aussi indépendant que possible de la ventilation du serveur
 - ➔ Permet également de faire fonctionner la carte dans un PC standard
- Auto-ventilation intégrée ?
Ex. :



Milestones

- Disponibilité heat-sink : Avril 2023
- Disponibilité face-avant : Avril 2023

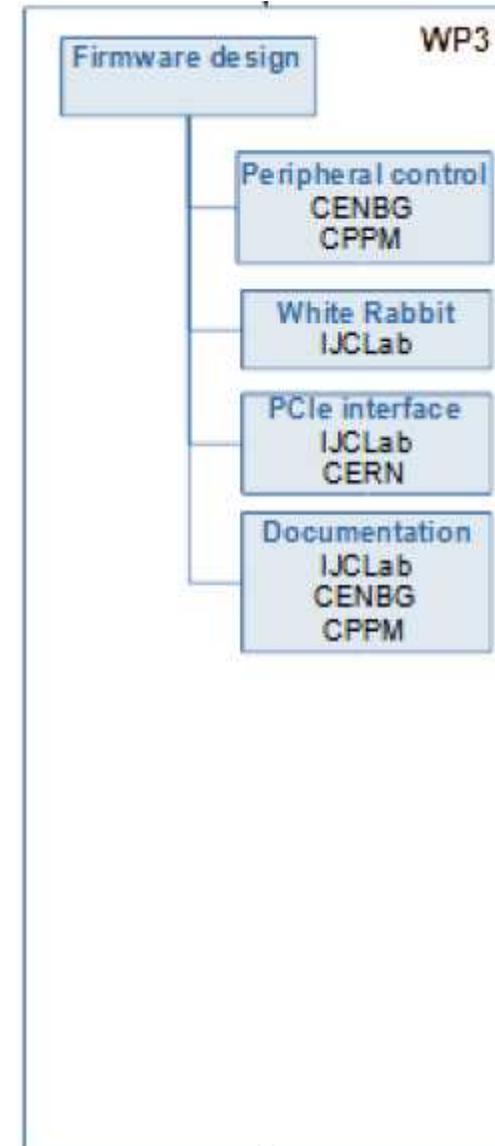
WP3 : Firmware

Responsabilités

- Maîtrise d'oeuvre : CENBG
- Contributions : CPPM, IJCLab, CERN

Tâches

- Agilix : Firmware de slow control incluant :
 - Interface JTAG
 - Interface PCIe
 - DMA (pas nécessaire dans un premier temps)
 - Interfaces I2C, SPI
 - Interfaces avec les liens sériels (calibration, monitoring)
 - Mesure température interne
 - Mesure fréquences injectées
 - Fonctions de monitoring diverses
- Max10 : Firmware utilitaires
 - White Rabbit
 - USBBlaster
 - Power sequencer
 - Interface flash de programmation
- Test de l'ensemble
- Documentation



WP3 : Firmware

Travaux préalables

- Une partie de ce travail déjà effectuée sur carte de développement
- Mais interface PCIe différent, donc à faire évoluer

Difficulté

- Difficilement testable avant d'avoir le prototype
 - ➔ Achat d'une carte d'évaluation ?
 - ▷ Une carte assez proche (avec les mêmes F-Tiles et R-Tiles) va probablement sortir
 - ▷ Date ?

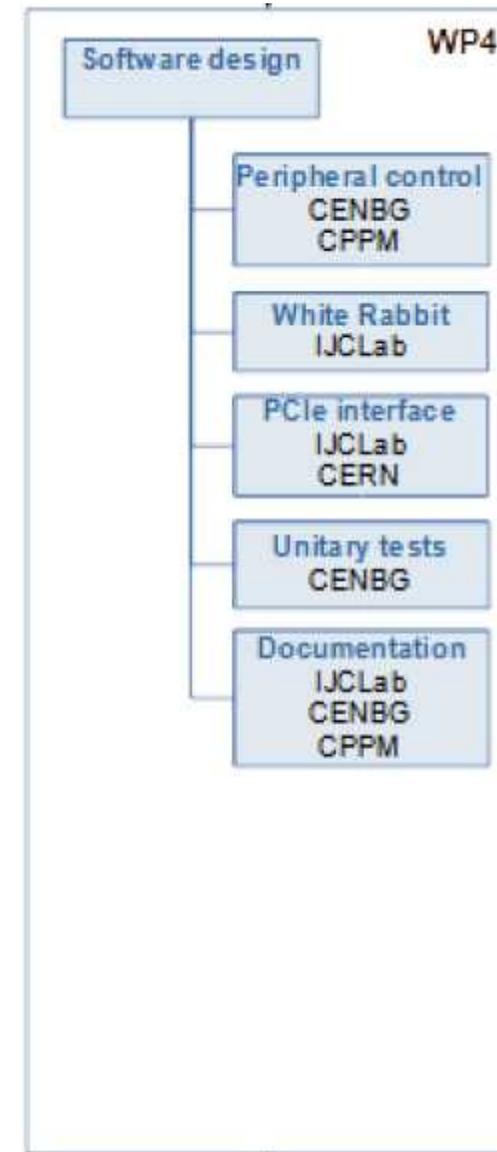
WP4 : Logiciel

Responsabilités

- Maîtrise d'oeuvre : CENBG
- Contributions : CPPM, IJCLab, CERN

Tâches

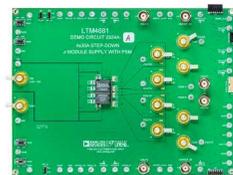
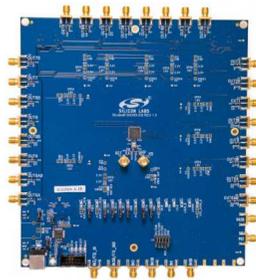
- Driver JTAG
- Driver PCIe
- Interfaces avec l'ensemble des périphériques de la carte
 - Circuits DC/DC
 - PLLs
 - Composants optiques
- Test unitaires
- Documentation



WP4 : Logiciel

Difficulté

- Nécessité de paralléliser la conception hardware et software pour bénéficier des tests unitaires lors du debug
 - ➔ Possibilité de maquetter la future carte avec un ensemble de cartes d'évaluations depuis un simple PC



Peripherals
evaluation boards



USB to I2C
patch cord



Python
scripts

WP4 : Logiciel

Méthodes utilisées pour la PCIe40

- Développement Python orienté objet
- 1 seul objet par périphérique (FPGA, PLL, DC/DC , etc ...)
- Certains interfaces inclus dans le FPGA peuvent être des objets à part entière quand ils sont complexes
 - ➔ Ex. : Sérialiseurs
- Méthodes incluent ce qui permet de le programmer ou de lire son status

Milestones

- Disponibilité ensemble des tests unitaires : Septembre 2023

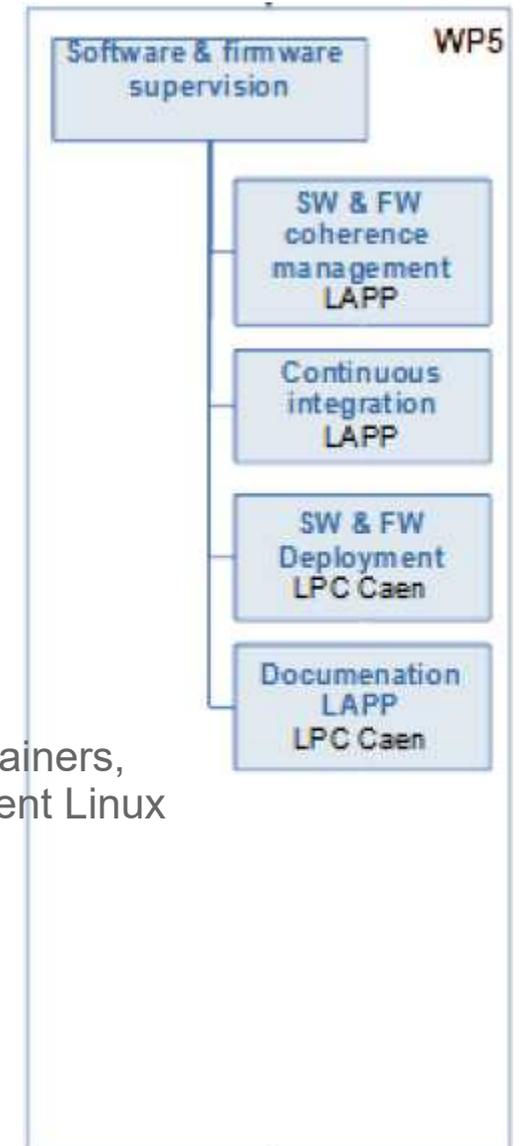
WP5 : Supervision

Responsabilités

- Maîtrise d'oeuvre : LAPP
- Contributions : LPC Caen
-

Tâches

- Mise en place environnement de développement commun sous GIT :
 - ➔ Firmwares
 - ➔ Softwares
- Automatisation des outils de distribution garantissant
 - ➔ La compatibilité entre version de carte, firmware et software
 - ➔ La mise à jour des outils de développement (noyau linux, containers, drivers, versions de Python, Pytest, etc ...) dans l'environnement Linux



WP6 : Training

Responsabilités

- Maîtrise d'oeuvre : CPPM
- Contributions : LAPP, LPC Caen

Tâches

- Diffusion des leçons tirées du développement de la PCIe40
- Training individuels sur les outils standards (Git, Gitlab, Python3, Pandas)
- Training collectif par CPPM sur sujets spécifiques (Pytest, structures objets, arborescences git firmware ou software, etc ...)
- Training collectif par CPPM, LAPP et LPC Caen sur les environnements

Conclusion

Les trainings doivent se faire dès le début du projet

Responsabilités et tâches non figées

- Peuvent varier en fonction :
 - Des disponibilités
 - Des envies,
 - Des savoir-faire
 - Des événements du projet
- N'exclut pas une certaine rigueur au niveau des plannings
 - Toute déviation doit être signalée le plus tôt possible au management du projet
 - Et traitée en concertation avec celui-ci

Un peu plus qu'un projet R&T ...