

Intégration continue et vérification de code VHDL en Python.

mardi 16 novembre 2021 09:00 (30 minutes)

Le langage VHDL permet de décrire une architecture matérielle très bas niveau. Il permet de cibler des architectures reconfigurables de type FPGA, au prix d'un temps de compilation qui dépasse souvent une journée de travail. Comme alternative, et dans l'idée de tester le bon fonctionnement du code, il est de plus en plus nécessaire d'avoir recours à des bibliothèques de vérification fonctionnelle poussés (OSVVM), mais pas seulement. Il devient impératif sur des designs complexes de faire appel à des langages haut niveau (Python), couplés à des techniques souvent utilisées dans des contextes de développement logiciel, comme c'est le cas de l'intégration continue disponible sur des plateformes comme GitLab. Ces techniques, peu connues dans un contexte de conception matérielle bas niveau, offrent un cadre de simulation et test permettant d'économiser du temps, sortant de la boucle habituelle codage, compilation, test sur cible.

Auteur principal: SANTOS, Cayetano (Laboratoire des 2 Infinis Toulouse (L2IT) - CNRS/In2p3)

Orateur: SANTOS, Cayetano (Laboratoire des 2 Infinis Toulouse (L2IT) - CNRS/In2p3)

Classification de Session: Session plénière