Warsaw University of Technology



Banc-test des FEC rapport d'octobre 2020

Andrzej Rychter Warsaw University of Technology

Banc-test de production des FEC

Qu'est-ce qui doit être testé ?



- Relire le numéro de série ID, le voltage, le courant et la température fournis par le chip DS2438 de la FEC
- 2. Ecrire et relire au moins un registre de « slow control » de chaque chip AFTER
- Faire un run de piédestaux et vérifier la valeur RMS de chaque canal par rapport à une fourchette d'acceptance
- 4. Tester les commandes de l'ADC, configurer un pattern de test, acquérir des données et les vérifier
- 5. Programmer le générateur d'impulsions de la carte à une amplitude donnée et enregistrer au moins un événement d'un canal pulsé sur chaque chip AFTER.

Schéma de base du testeur de FEC



Mécanique du testeur de FEC

Partie inférieure :

- Alim électrique AC 230: CiT
 300 W Micro Atx Power Supply
 - 5V 16A
 - 12V 14A
- 2. Prototype TDCM

Partie supérieure :

- 1. Interrupteurs de mise sous tension :
 - 5V FEM
 - 12V TDCM
- 2. FEM N°P02 avec radiateur et ventillateur





Testeur de FEC – vue du dessus

- Les 2 emplacements sur la FEM peuvent être utilisés pour le test
- Avant tout test, faire un cycle de mise en tension TDCM + FEM
- Chaque emplacement est équipé de 4 espaceurs métalliques pour l'alignement des FEC
- Orientation des FEC -> vérifier le logo LPNHE sur la carte FEC



Testeur de FEC – branchement de la FEC

- **Eteindre () OFF)** l'alimentation électrique TDCM et FEM
- Positionner la carte FEC avec les 8 connecteurs Hirose latéraux orientés vers le haut 2
- Aligner les 4 trous aux coins de la FEC avec les 4 plots métalliques 3.
- Le logo LPNHE doit être en bas 4.
- 5. Presser délicatement sur le milieu de la carte FEC pour assurer une bonne connexion du connecteur Hirose central avec la carte FEM



de la FEC ici

4 plots en métal

Testeur de FEC – connexion au PC

- 1. L'adresse IP du PC doit être celle du réseau privé 192.168.0.XXX
- 2. L'adresse IP de la TDCM est statique : 192.168.0.44
- 3. Connecter la TDCM à l'ordinateur avec le câble Ethernet



Le connecteur éthernet de la TDCM est situé près de la prise USB – s'aider de l'étiquette « Ethernet »

- 4. Vérifier que les 2 interrupteurs de mise sous tension soient bien en position OFF
- 5. Brancher le câble d'alimention secteur AC 230V



Vue de côté du testeur de FEC Alimentation électrique CiT

- 6. Mettre sous tension la TDCM \rightarrow interrupteur sur **ON**
- 7. Vérifier la connexion Ethernet → commande : ping 192.168.0.44

Testeur de FEC – mise en place de l'environnement

- 1. Créer un dossier pour les tests
 - Son adresse doit être assez courte, par ex. D:\tmp\test2
- 2. Télécharger ces 3 fichiers:
 - bootstrap.cmd
 - source.zip
 - startenv.cmd
- 3. Lancer la commande bootstrap.cmd
- 4. Le script va
 - Décompresser l'archive zip
 - Télécharger python et toutes ses dépendances
 - Créer un environnement virtuel
- 5. Quand c'est fini, appuyer sur n'importe quelle touche
- 6. Le logiciel est prêt !
- 7. Cliquer sur startenv.cmd pour ouvrir *python venv*
- 8. Lancer la commande python fem_connection.py pour vérifier le testeur
- 9. Windows peut demander des permissions... : cliquer yes
- 10. Lancer la commande python fec_test.py pour effectuer le test de la FEC





Press any key to continue . . .

(venv) D:\tmp\test2\source>python fem_connection.py
Reset TDCM/FEM power and press Enter to start...
Waiting 10 seconds to start...
Connected succesfuly!
Sending command: be 0 dcbal_enc 1
Response: 0 Tdcm(1) Reg(3) <- 0x80000
Sending command: be 0 inv_tdcm_mosi 0
Response: 0 Tdcm(1) Reg(3) <- 0x0</pre>

Testeur de FEC – vérifier la connexion à la FEM

Mettre sur ON les interrupteurs d'alimentation des TDCM et FEM



- Lancer la commande startenv.cmd -> la fenêtre de ligne de commande venv va s'ouvrir
- 3. Lancer le script python fem_connection.py
- 4. Si la connexion est établie, on doit obtenir la sortie suivante
- 5. S'il n'y a pas de connexion Ethernet (ex : TDCM n'est pas sous tension ...)

6. Si la FEM n'est pas sous tension ou s'il y a un problème de communication (fibre optique)

Les 2 interrupteurs doivent être dans la position ON Vérifier que les LEDs sont allumées

Testeur de FEC – lancer le test FEC

- 1. Mettre OFF les alimentations électriques des TDCM et FEM
- 2. Lancer le script startenv.cmd
- 3. Python venv , dans le dossier source, va démarrer
- 4. Taper: python fec_test.py
- 5. Entrer les informations suivantes:
 - Numéro du slot FEM (0 ou 1) utilisé
 - Nom de l'opérateur-testeur
 - Numéro de série de la FEC
- 6. Mettre ON les alimentations électriques des TDCM et FEM
- Le test prend environ 3 minutes et produit de multiples lignes...
- 8. Quand le test est fini, on doit obtenir le message suivant:



- 1. Mettre OFF les alimentations électriques des TDCM et FEM
- 2. Vérifier le rapport de test dans le dossier out

Les 2 interrupteurs doivent être dans la position OFF Vérifier que les LEDs sont éteintes

(venv) D:\tmp\test2\source>python fec_test.py Loaded settings from settings\json_fectest_settings.txt Enter fem slot (0 or 1): 0 Enter tester name: Andrzej Enter fec label: 003 Reset TDCM/FEM power and press Enter to start...

Les 2 interrupteurs doivent être dans la position ON Vérifier que les LEDs sont allumées

Testeur de FEC – liste des tests

- Le script de contrôle vérifie la communication de base FEM-FEC avec le chip DS2438 : No de série (ID) du chip électronique, tensions, courant, température.
- Registres de Slow control le script vérifie les opérations de lecture et d'écriture dans les registres de configuration des chips AFTER
- 3. Run de piédestaux le script charge le paramètrage des chips AFTER et lit les piédestaux avant et après égalisation
 - Paramètrage des chips AFTER : gain 120, shaping 100ns
- 4. Patterns de test de l'ADC (AD9637) :
 - le script effectue les opérations d'écriture dans les registres de configuration de l'ADC de chaque FEC,
 - Différents patterns de test sont chargés vers les 8 canaux de l'ADC. Une prise de données est lancée,
 - Les waveforms sont collectées pour vérifier les patterns pour chaque canal.
- 5. Test du générateur d'impulsion
 - Le script fixe l'amplitude de l'impulsion à une valeur donnée (DAC 483),
 - Le test est effectué sur un canal de chaque chip AFTER (DAQ channel 12),
 - 5 waveforms sont collectées pour chaque chip AFTER
 - Le script vérifie si l'amplitude du signal enregistré est correcte

# Progra	am cr	eated: 2020_10_21-15-08-47	
Command	s sen	t: 9	
0	cmd:	fe fec_enable 1	Reg(1) <- 0x40000
1	cmd:	fe 0 moni T 0	FEC_T: 28.344 degC
2	cmd:	fe 0 moni V 0	FEC_Vdd: 3.270 V
3	cmd:	fe 0 pulser 0 model T2K2	pulser_DAC <- 3 (T2K2)
4	cmd:	fe 0 pulser 0 base 0x3FFF	Pulser_Base <- 0x3fff
5	cmd:	fe 0 pulser 0 load	Reg(1) <- 0x0 GEN_GO pulsed
6	cmd:	fe 0 moni A 0	FEC_Vad: 1.940 V
7	cmd:	fe 0 moni I 0	FEC I: 1.418 A
8	cmd:	fe 0 moni 5 0	FEC Serial: 3c0000024da1b926





Testeur de FEC – sortie du script

1. Tous les résultats sont sauvegardés dans le dossier *out*

fectest_report_fec_003_2020_10_21_15_08_16.pdf

- Fectest_report_fec_003_2020_10_21_15_02_53.pdf
- fectest_report_fec_003_2020_10_21_15_08_16 fectest_report_fec_003_2020_10_21_15_02_53
- Fichier de rapport PDF au nom suivant fectest_report_fec_XXX_YYY où :
 - XXX est le N° de série de la FEC
 - YYY est la date+heure du test
- 3. Dossier avec le même nom contenant :
 - Fichiers txt avec les commandes envoyées et reçues pour les 5 runs de tests
 - Fichiers d'images dans le sous-dossier data
 - Graphiques des piédestaux pour chaque AFTER (moyenne + RMS)
 - Graphiques des tests de patterns pour l'ADC
 - Graphiques des tests du générateur d'impulsion calibrée

Graphiques des impulsions calibrées





Graphiques des patterns de test

72 canaux d'entrée









Testeur de FEC – rapport pdf

Le rapport PDF se compose des pages suivantes

- 1. Page de résumé avec les résultats de 5 tests
 - 1. Valeurs de monitoring
 - 2. Registres de slow control
 - 3. Run de piédestaux
 - 4. Patterns de test de l'ADC
 - 5. Test du générateur d'impulsion
- 2. Pages 2-5 : tableaux avec les commandes envoyées et reçues pour chaque test:

Monitorin	Monitoring test										
NO	Command	Error	Response								
0	fe fec_enable 1	0	0 Tdcm(1) Fem(00) Reg(1) <- 0x40000								
1	fe 0 moni T 0	0	0 Tdcm(1) Fem(00) FEC_T: 24.312 degC								
2	fe 0 moni V 0	0	0 Tdcm(1) Fem(00) FEC_Vdd: 3.270 V								
3	fe 0 pulser 0 model T2K2	0	0 Tdcm(1) Fem(00) pulser_DAC <- 3 (T2K2)								
4	fe 0 pulser 0 base 0x3FFF	0	0 Tdcm(1) Fem(00) Pulser_Base <- 0x3fff								
5	fe 0 pulser 0 load	0	0 Tdcm(1) Fem(00) Reg(1) <- 0x0 GEN_GO pulsed								
6	fe 0 moni A 0	0	0 Tdcm(1) Fem(00) FEC_Vad: 1.950 V								
7	fe 0 moni I 0	0	0 Tdcm(1) Fem(00) FEC_I: 1.426 A								
8	fe 0 moni S 0	0	0 Tdcm(1) Fem(00) FEC_Serial: 3c0000024da1b926								

- 3. Page 6 : tableau des piédestaux avant égalisation des piédestaux
- 4. Page 7 : tableau des piédestaux après égalisation des piédestaux

Fec test repor	t:
----------------	----

Date: 2020-10-29 12:11:16

Tester name: Andrzej

Test#	#1 Monitoring values		Passe	l i i i i i i i i i i i i i i i i i i i						
0	FEC label	(002	OK						
1	FEC DC2438 ID	t	bb0000024db31626							
2	FEC_T (to 35°C)	3	31.031		OK					
3	FEC_Vdd (3.2V to 3.4V)	3	3.290		OK					
4	FEC_I (1.1A to 1.5A)	1	1.177		OK					
5	FEC_Vad (1.9V to 2.0V)	1	1.950		OK					
Test#	#2 Slow control registe	rs:	Passe	d						
Test#	#3 Pedestal run:		Passe	d						
Mean	in range (245.0:255.0), rm	s < 8.0 (fpn 4.0)								
0	After chip #0	Mean OK		STDDEV OK	OK					
1	After chip #1	Mean OK		STDDEV OK	ОК					
2	After chip #2	Mean OK		STDDEV OK	ОК					
3	After chip #3	Mean OK		STDDEV OK	OK					
4	After chip #4	Mean OK		STDDEV OK	ОК					
5	After chip #5	Mean OK		STDDEV OK	OK					
6	After chip #6	Mean OK		STDDEV OK	OK					
7	After chip #7	Mean OK		STDDEV OK	ОК					
Test#	#4 AD9637 test patterr	IS	Passe	d						
0	ADC channel #0	P#1 (Midscale short 2048))	MAX 2048 MIN 2048	OK					
1	ADC channel #1	P#2 (+Full-scale short 409	95)	MAX 4095 MIN 4095	OK					
2	ADC channel #2	P#4 (Checkerboard 1365	to 2730 toggle)	MAX 2730 MIN 1365	OK					
3	ADC channel #3	P#7 (One/zero-word toggl	e)	MAX 4095 MIN 0	OK					
4	ADC channel #4	P#1 (Midscale short 2048))	MAX 2048 MIN 2048	ОК					
5	ADC channel #5	P#2 (+Full-scale short 409	95)	MAX 4095 MIN 4095	OK					
6	ADC channel #6	P#4 (Checkerboard 1365	to 2730 toggle)	MAX 2730 MIN 1365	OK					
7	ADC channel #7	P#7 (One/zero-word toggl	e)	MAX 4095 MIN 0	OK					
Test#	#5 Pulser run		Passe	d						
0	After chip #0	DAC: 483 G(120) ADC(29	80 to 3200)	ADC AMPL: 3006	OK					
1	After chip #1	DAC: 483 G(120) ADC(29	980 to 3200)	ADC AMPL: 3095	ОК					
2	After chip #2	DAC: 483 G(120) ADC(29	80 to 3200)	ADC AMPL: 2994	ОК					
3	After chip #3	DAC: 483 G(120) ADC(29	980 to 3200)	ADC AMPL: 3066	ОК					
4	After chip #4	DAC: 483 G(120) ADC(29	980 to 3200)	ADC AMPL: 3004	ОК					
5	After chip #5	DAC: 483 G(120) ADC(29	980 to 3200)	ADC AMPL: 3025	OK					
5 6	After chip #5 After chip #6	DAC: 483 G(120) ADC(29 DAC: 483 G(120) ADC(29	980 to 3200) 980 to 3200)	ADC AMPL: 3025 ADC AMPL: 3148	OK OK					

FEC test final result:

Passed

Testeur de FEC - rapport pdf - piédestaux

Pedes	stal data	befo	re centerm	ean													Pedestal after centermean.
CHIP 0		CHIF	1	CHIF	2	CHIP	3	CHIP	4	CHIF	25	CHIP	6		CHIP 7		CHIP 0 CHIP 1 CHIP 2 CHIP 3 CHIP 3 CHIP 3 CHIP 3
CH N	1 STD	CH	M STD	CH	M STD	CH	M STD	CH	M STD	CH	M STD	CH	M ST	민	CH N	M STD	0 r 250.0 0.0 0 r 250.0 0 r
1r 4	70 2 11 1	1 r	511 0 0 0	1 r	511 0 0 0	1 r	499275	1 r	511000	1 r	511 0 0 2	1 r	397 0 12	6	1r 5	511 0 0 0	1 r 250.5 10.7 1 r 402.9 9.0 1 r 438.8 9.0 1 r 25
2r 2	68.4 0.7	2 r	315.3 0.7	2 r	325.6 0.7	2 r	306.3 0.7	2 r	331.6 0.7	2 r	355.1 0.7	2 r	283.7 0.7	7	2 r 2	299.2 0.7	2 r 250.6 0.7 2 r 250.4 0.7 2 r 249.9 0.7 2 r 250.4 0.7
3 1	87.2 4.5	3	300.3 4.4	3	302.1 4.2	3	163.1 4.4	3	261.8 5.0	3	316.6 4.6	3	186.9 4.8		3 3	388.6 4.8	
4 2	19.0 4.5	4	243.3 4.2	4	261.6 4.4	4	165.7 4.7	4	258.7 4.5	4	336.8 4.3	4	246.6 4.		4 2	245.7 4.5	5 250.7 4.4 5 250.3 4.4 5 251.4 4.2 5 25
6 2	31245	6	281939	6	204.3 4.2	6	202943	6	213 3 4 6	6	376 2 4 6	6	187 3 4		6 3	312646	6 249.5 4.3 6 250.5 4.1 6 250.7 4.3 6 25
7 3	05.5 4.3	7	315.0 4.1	7	187.5 4.5	7	287.1 4.6	7	241.2 4.5	7	267.0 4.4	7	166.4 4.4		7 3	322.6 4.8	7 250.4 4.2 7 249.0 4.1 7 248.1 4.2 7 25
8 2	93.3 4.3	8	217.1 4.0	8	150.8 4.1	8	231.2 4.4	8	272.8 4.4	8	267.7 4.3	8	250.3 4.3	3	8 2	232.6 4.4	
9 2	91.6 4.2	9	262.3 4.1	9	201.3 4.5	9	219.6 4.4	9	267.9 4.6	9	314.0 4.4	9	208.7 4.4		9 2	297.8 4.6	
11 1	94744	11	248.8 4.1	11	188 2 4 1	11	194245	11	168 4 4 7	11	295643	11	269.8 4 3		11 3	339.0 4.7	11 250.8 4.3 11 249.6 4.0 11 250.0 4.2 11 24
12 1	58.4 4.3	12	239.9 4.1	12	253.2 4.1	12	236.9 4.4	12	269.4 4.5	12	312.5 4.3	12	246.6 4.3	3	12 2	282.5 4.6	
13 2	45.2 4.3	13	214.7 4.1	13	195.7 4.1	13	279.3 4.4	13	304.9 4.5	13	289.5 4.2	13	127.8 4.6		13 1	171.8 4.6	
14 2 15 f 2	60.6 4.4	14	256.3 4.4	14	249.0 4.2	14	218.7 4.6	14	367.1 4.4	14	337.8 4.3	14	161.2 4.3	3	14 2	259.7 4.7	15 f 250.3 1.6 15 f 250.3 1.5 15 f 250.2 1.5 15 f 250.2
16 2	53 2 4 1	16	228740	16	231 2 4 0	16	166 1 4 2	16	268 1 4 7	16	240.4 1.7	16	188 1 4		16 3	336.4.4.5	16 251.5 4.3 16 251.6 4.3 16 249.2 4.2 16 24
17 1	91.5 4.4	17	272.0 4.0	17	231.4 4.3	17	269.4 4.2	17	267.1 4.5	17	271.0 4.5	17	132.1 4.5	5	17 2	222.2 4.5	17 249.3 4.1 17 250.7 4.4 17 249.8 4.2 17 25
18 2	88.4 4.4	18	276.9 4.2	18	284.6 4.2	18	183.3 4.3	18	235.9 4.5	18	320.2 4.2	18	233.4 4.4	F	18 3	307.2 4.5	
19 2	22.1 4.5	19	212.7 4.1	19	231.4 4.1	19	230.3 4.4	19	296.6 4.2	19	352.4 4.4	19	190.6 4.	2	19 2	212.8 4.6	
20 1	04643	20	238 4 3 9	20	1627 4.0	20	268540	20	255 9 4 4	20	320 4 4 1	20	143.2 4 6	÷	20 3	306.8 4.4	21 250.3 4.0 21 250.8 4.0 21 251.1 4.2 21 25
22 2	13.6 4.4	22	249.2 4.0	22	255.8 4.0	22	237.1 4.2	22	253.0 4.3	22	294.9 4.4	22	188.9 4.4	í ll	22 2	285.6 4.7	
23 2	62.9 4.3	23	247.8 4.5	23	326.9 4.0	23	133.6 4.2	23	199.4 4.4	23	282.7 4.3	23	224.7 4.5	5	23 2	232.4 5.0	
24 2	04.1 4.7	24	298.0 4.2	24	222.6 4.2	24	198.8 4.2	24	311.5 4.5	24	298.6 4.3	24	194.1 4.5		24 2	227.7 4.3	25 250.5 4.2 25 249.9 4.1 25 250.9 4.1 25 250.9 4.1
26 1	97.9 4.0	26	222.2 4.0	26	242.5 4.0	26	211.5 4.2	26	283.0 4.4	26	378.5 4.1	26	270.0 4 5	5	26 3	315.9 4.6	26 249.5 4.3 26 251.1 4.1 26 249.6 4.2 26 24
27 2	36.5 4.2	27	271.7 4.2	27	272.7 3.9	27	258.0 3.9	27	362.4 4.4	27	246.1 4.3	27	212.3 4.5		27 2	285.9 4.7	
28 f 1	98.7 1.6	28 f	253.3 1.8	28 f	238.9 1.6	28 f	217.4 1.9	28 f	242.8 1.6	28 f	251.9 1.8	28 f	136.0 1.8	3	28 f 2	278.7 1.6	
29 2	13.9 4.5	29	250.0 3.9	29	280.8 4.0	29	268.9 4.4	29	263.0 4.6	29	251.3 4.2	29	217.4 4.6		29 2	269.1 4.5	30 251.8 4.3 30 249.7 4.2 30 249.7 4.0 30 24
31 1	22643	31	300 1 4 1	31	306.0 3.9	31	290 4 4 3	31	243 0 4 5	31	2927 4 2	31	192 4 4 5	5	31 3	324 0 4 2	31 250.4 4.5 31 250.0 4.1 31 252.3 4.1 31 25
32 2	75.8 4.1	32	225.8 3.9	32	248.4 4.4	32	213.5 4.3	32	308.4 4.5	32	323.1 4.4	32	191.4 4.4	Í	32 2	293.7 4.4	
33 1	45.0 4.3	33	298.5 4.1	33	269.4 4.0	33	190.9 4.3	33	257.7 4.6	33	298.2 4.3	33	177.3 4.3		33 2	249.7 4.5	
34 2	36.8 4.1	34	278.0 4.0	34	337.0 4.1	34	260.4 4.1	34	290.2 4.6	34	286.6 4.3	34	159.7 4.5	귀	34 2	257.1 4.4	35 249.9 4.2 35 251.2 4.0 35 251.9 4.3 35 25
36 3	10.7 4.2	36	229.7 4.2	36	195.8 4.0	36	287.0 4.1	36	291.5 4.3	36	305.7 4.2	36	316.9 4.4	í l	36 2	271.1 4.6	36 249.3 4.0 36 250.1 3.9 36 249.2 4.3 36 25
37 2	42.4 4.2	37	223.1 4.2	37	254.7 4.3	37	158.9 4.3	37	304.3 4.3	37	316.4 4.2	37	225.6 4.4	1	37 2	296.6 4.2	
38 1	85.8 4.1	38	301.2 4.1	38	230.1 4.1	38	166.6 4.1	38	242.7 4.8	38	239.7 4.3	38	261.8 4.4	<u>+</u>	38 2	299.9 4.5	38 252.2 4.1 38 249.0 4.1 38 250.0 4.1 38 250.0 4.1 38 24 39 251 3 4 2 39 250 2 4 5 39 249 2 4 3 39 25
39 2	61.6 4.3	39	267.2 4.1	39	252.9 4.3	39	205.7 4.6	39	257.6 4.7	39	354.1 4.6	39	237.5 4.6		39 3	350.6 4.7	40 247.8 4.1 40 250.1 4.0 40 251.3 4.2 40 25
41 1	92.6 4.0	40	323.8 3.8	41	237.0 3.7	40	253.2 3.8	40	258.6 4.1	40	259.2 4.4	40	203.3 4.2	2	41 3	345.2 4.3	41 250.2 3.8 41 249.5 4.0 41 250.0 3.8 41 25
42 1	67.0 4.1	42	219.3 3.9	42	190.1 4.1	42	243.2 4.1	42	315.5 4.1	42	317.2 4.1	42	151.7 4.2	2	42 2	246.4 4.5	
43 2	17.6 4.2	43	222.1 3.9	43	260.6 4.1	43	207.8 3.9	43	294.3 4.1	43	361.0 3.9	43	210.4 4.2	2	43 2	278.1 4.3	
44 2	830 40	44	280.4 3.9	44	223.2 3.9	44	299.2 4.0	44	207.1 4.2	44	198.4 4.1	44	262 0 4 (+	44 2	200.3 4.0	45 249.1 4.0 45 251.2 4.1 45 250.2 3.9 45 25
46 1	59.7 4.1	46	265.2 3.9	46	246.6 4.2	46	255.6 4.0	46	265.0 4.4	46	299.8 3.9	46	207.2 4.1	ήŀ	46 3	306.5 4.4	46 249.2 4.1 46 249.7 3.8 46 250.3 4.0 46 24
47 3	38.1 4.2	47	208.6 3.8	47	239.7 4.0	47	287.7 3.9	47	274.2 3.9	47	310.1 4.2	47	242.1 4.0)			Mean for cont pedestal card 0, chip 14
48 2	10.6 4.0	48	236.9 3.7	48	246.4 4.0	48	255.2 4.4	48	263.1 4.3	48	308.9 4.2	48	205.5 4.2	2			Mean for: cenc_pedestal, card 0, chip 14
49 3	48 8 4 1	50	252 3 4 0	50	181 1 4 3	50	185739	50	245.4 3.9	50	406.0 4.3	50	249.4 4.4	-			E
51 2	44.4 4.3	51	241.9 4.0	51	258.0 3.8	51	197.7 3.9	51	285.1 4.2	51	289.0 4.0	51	254.6 4.1	i l			
52 2	03.2 4.2	52	225.7 3.9	52	176.1 4.3	52	160.6 3.9	52	240.7 4.4	52	345.9 4.2	52	224.8 4.3	3	2	54	16
53 f 2	34.1 1.8	53 f	231.1 1.6	53 f	204.5 1.7	53 f	192.8 1.7	53 f	184.4 1.6	53 f	368.6 1.7	53 f	270.2 1.5				
55 1	99.9 4.4	55	260.5 4.1	55	254.2 4.0	55	247.2 4.0	55	228.5 4.2	55	321.1 4.0	55	235.9 4 4	1			
56 2	38.5 4.0	56	255.6 4.2	56	256.3 4.1	56	194.0 4.1	56	249.0 4.2	56	291.1 4.1	56	189.8 4.2	2	2	52 -	
57 1	95.7 4.5	57	264.3 4.1	57	321.8 4.2	57	275.0 4.2	57	266.3 4.1	57	317.0 4.0	57	240.1 4.2	2	<u>.</u>		
58 2	25 5 4 3	58	2315.0 4.0	58	219.2 3.8	58	172 5 4 1	58	212.4 4.1	58	382.9 3.9	58	233.3 4.2	-	tric		
60 2	17.9 4.0	60	265.2 4.1	60	200.0 4.0	60	184.1 3.9	60	282.9 4.0	60	348.3 4.2	60	199.7 4.2	2	ild.		/ / / / / / / / / / / / / / / / / / /
61 2	19.7 4.5	61	302.2 3.9	61	198.1 4.0	61	249.2 4.2	61	287.5 4.1	61	308.1 4.1	61	123.6 4.4	1	76 Z	50 W	
62 2	71.7 4.1	62	319.6 4.1	62	257.1 4.1	62	210.2 4.0	62	325.2 4.3	62	267.9 4.0	62	142.8 4.2	2	up		
64 1	86 3 4 2	63	252 3 4 0	63	238.9 3.9	63	1780 38	63	247640	63	291.5 4.0	63	295 1 4.2		Me		V V · VI
65 1	77.6 4.2	65	379.8 4.3	65	225.7 4.0	65	154.7 4.2	65	220.1 3.8	65	267.2 4.0	65	135.5 4.3	5	2	48 -	
66 f 2	87.2 1.8	66 f	312.2 1.7	66 f	206.5 1.6	66 f	216.8 1.6	66 f	197.1 1.7	66 f	344.8 1.6	66 f	258.6 1.6	5			Ĭ
67 1	89.1 4.0	67	252.1 4.0	67	133.2 4.0	67	221.2 3.9	67	341.5 4.1	67	260.5 3.9	67	213.2 4.2	2			
68 2	81244	68	2982 38	68	228.0 4.0	68	181.7 4.2	68	204.0 4.6	68	298.9 4.0	68	157.6 4.4	+	-		
70 1	83.7 4.4	70	240.9 4.1	70	276.5 4.0	70	327.2 4.3	70	312.6 4.3	70	275.9 4.0	70	167.5 4.3	3	2	40	
71 2	49.0 4.0	71	237.5 4.1	71	260.6 4.0	71	191.4 4.0	71	266.0 4.4	71	351.2 4.2	71	124.8 4.2	2			
72 2	40.3 4.1	72	355.0 4.3	72	227.2 4.0	72	283.5 4.0	72	290.2 4.4	72	300.5 4.1	72	208.0 4.4	<u>+</u>			
74 1	70 1 4 4	74	254 5 4 2	74	169.2 3.8	74	191742	74	205.6 4.1	74	307743	74	287.6 4.3	2		0	10 20 30 40 50 60 70 80
75 1	56.3 4.3	75	273.7 4.1	75	252.9 4.1	75	222.9 4.2	75	228.4 4.1	75	332.7 4.0	75	195.6 4.1	i			Channel number
76 2	80.4 4.5	76	271.4 4.0	76	188.6 4.1	76	230.1 4.1	76	264.6 4.5	76	294.3 4.3	76	223.1 4.3			10.0 1.0	77 251442 77 251440 77 251642 77 25
77 2	87.3 4.3	77	213.5 4.1	77	285.4 4.0	77	195.5 4.1	77	253.4 4.1	77	252.0 4.0	77	169.0 4.3	5	79 0	270.9 4.5	78 248.8 4.5 78 250.8 4.1 78 251.4 4.2 78 24
10 2	10.0 4.3	11/0	201.0 0.0	1/0	200.111.0	11/0	100.21 1.1	1/0	L 0.0 4.0	11/0	1 6 9 6 . 01 7.2	1/0	110.114.5	/ II	10 2		

CHIF	CHIP 0 CHIP 1			CHIP	CHIP 2 CHIP					CHIP	CHIP 4			5		CHIP	6	CHIP	7		
CH	M	STD	CH	M	STD	CH	M	STD	CH	M	STD	CH	M	STD	CH	M	STD	CH	M STD	CH	M STD
0 r	250.0	0.0	0 r	250.0	0.0	0 r	250.0	0.0	0 r	250.0	0.0	0 r	250.0	0.0	0 r	250.0	0.0	0 r	250.0 0.0	0 r	250.0 0.0
1 r	250.5	10.7	1 r	402.9	9.0	1 r	438.8	9.0	1 r	250.1	8.8	1 r	365.0	9.2	1 r	277.5	12.0	1 r	250.8 12.0	1 r	420.3 14.0
2 r	250.6	0.7	2 r	250.4	0.7	2 r	249.9	0.7	2 r	250.4	0.7	2 r	249.7	0.7	2 r	250.1	0.7	2 r	250.0 0.7	2 r	250.3 0.7
3	250.4	4.4	3	249.5	4.2	3	252.0	4.5	3	248.7	4.7	3	250.3	4.8	3	249.2	4.4	3	250.2 4.5	3	248.1 4.7
4	249.4	4.4	4	251.3	4.3	4	250.1	4.2	4	248.2	4.4	4	249.6	4.5	4	249.4	4.6	4	249.8 4.5	4	249.2 4.6
5	250.7	4.4	5	250.3	4.4	5	251.4	4.2	5	250.9	4.5	5	250.7	4.5	5	251.2	4.5	5	251.2 4.4	5	250.0 4.8
6	249.5	4.3	6	250.5	4.1	6	250.7	4.3	6	250.0	4.5	6	249.2	4.4	6	249.4	4.3	6	249.5 4.4	6	249.7 4.7
7	250.4	4.2	7	249.0	4.1	7	248.1	4.2	7	250.8	4.8	7	251.8	4.3	7	251.0	4.2	7	250.0 4.3	7	249.4 4.5
8	251.7	4.4	8	249.2	4.3	8	249.1	4.2	8	250.2	4.4	8	250.2	4.3	8	250.0	4.4	8	251.5 4.3	8	250.8 4.5
9	249.4	4.2	9	249.7	4.2	9	252.3	4.2	9	249.3	4.4	9	250.0	4.2	9	249.2	4.2	9	250.7 4.3	9	249.8 4.5
10	250.5	4.4	10	249.9	4.2	10	250.3	4.1	10	251.0	4.2	10	249.9	4.3	10	250.8	4.4	10	250.3 4.4	10	250.1 4.8
11	250.8	4.3	11	249.6	4.0	11	250.0	4.2	11	249.9	4.5	11	250.0	4.5	11	249.8	4.4	11	250.3 4.7	1 11	250.9 4.4
12	251.0	4.3	12	250.8	4.3	12	251.0	4.0	12	250.2	4.3	12	250.4	4.2	12	249.6	4.4	12	250.4 4.7	12	250.9 4.6
13	250.4	4.4	13	249.6	3.9	13	249.5	4.1	13	251.3	4.2	13	250.1	4.4	13	249.9	4.2	13	250.7 4.4	13	250.1 4.6
14	249.9	4.1	14	248.9	4.0	14	250.6	4.1	14	250.4	4.4	14	248.6	4.6	14	249.4	4.2	14	252.1 4.3	14	247.8 4.4
15 f	250.3	1.6	15 f	250.3	1.5	15 f	250.2	1.5	15 f	250.4	1.8	15 f	249.2	1.4	15 f	250.6	1.8	15 f	250.8 1.6	15 f	251.2 1.6
16	251.5	4.3	16	251.6	4.3	16	249.2	4.2	16	249.2	4.1	16	249.8	4.5	16	248.9	4.3	16	250.9 4.2	16	249.5 4.4
17	249.3	4.1	17	250.7	4.4	17	249.8	4.2	17	251.2	4.2	17	249.6	4.4	17	251.2	4.2	17	250.7 4.3	17	250.4 4.3
18	250.2	4.1	18	251.3	4.0	18	250.7	4.0	18	249.4	4.3	18	252.0	4.4	18	249.7	3.9	18	251.1 4.2	18	250.8 4.3
19	249.9	4.0	19	248.8	4.2	19	250.2	4.0	19	250.7	4.3	19	249.2	4.5	19	251.9	4.0	19	249.1 4.3	19	249.5 4.5
20	251.1	4.2	20	249.6	4.2	20	250.2	4.2	20	250.2	4.5	20	248.8	4.3	20	249.2	4.1	20	250.4 4.3	20	249.7 4.5
21	250.3	4.0	21	250.8	4.0	21	251.1	4.2	21	251.4	4.2	21	249.1	4.1	21	249.3	4.3	21	251.2 4.5	21	249.7 4.5
22	249.5	4.1	22	250.7	4.1	22	249.4	3.9	22	251.2	4.3	22	249.6	4.2	22	250.3	4.2	22	250.6 4.3	22	249.1 4.4
23	250.5	4.5	23	250.9	4.3	23	250.2	4.1	23	249.4	4.3	23	250.4	4.5	23	249.2	4.3	23	249.8 4.2	23	250.2 4.5
24	250.9	4.3	24	250.8	4.0	24	250.3	4.2	24	250.9	4.3	24	250.9	4.2	24	250.2	4.3	24	250.5 4.5	24	249.8 4.6
25	250.5	4.2	25	249.9	4.1	25	250.9	4.1	25	250.5	4.3	25	250.1	4.3	25	248.6	4.2	25	250.0 4.5	25	249.2 4.4
26	249.5	4.3	26	251.1	4.1	26	249.6	4.2	26	248.9	4.5	26	250.8	4.1	26	250.4	4.2	26	251.1 4.3	26	249.8 4.3
27	250.4	40	27	249.8	40	27	250.8	3.9	27	249.9	41	27	249 7	44	27	2497	43	27	250 1 4 5	1 27	249444
28 f	250.0	1.7	28 f	250.5	1.6	28 f	250.2	17	28 f	250.9	1.8	28 f	250.1	1.6	28 f	249.9	1.9	28 f	250.9 1.9	28 f	250 1 1 6
29	250.7	4.1	29	250.5	4.0	29	250.7	4.0	29	250.6	4.1	29	250.1	4.4	29	248.2	4.3	29	251.2 4.4	29	250.8 4.5
30	251.8	4.3	30	249.7	4.2	30	249.7	4.0	30	249.8	4.3	30	249.6	4.4	30	249.1	4.2	30	249.9 4.5	30	250.2 4.2
31	250.4	4.5	31	250.0	4.1	31	252.3	4.1	31	251.0	4.2	31	250.9	4.5	31	248.4	4.2	31	249.9 4.5	31	251.3 4.4
32	249.7	4.4	32	249.9	4.2	32	249.7	4.0	32	250.1	4.6	32	248.8	4.4	32	250.8	4.3	32	249.9 4.5	32	249.7 4.3
33	251.2	4.4	33	250.4	3.9	33	250.4	4.2	33	249.6	4.5	33	248.6	4.3	33	251.3	4.1	33	250.7 4.5	33	249.5 4.3
34	250.1	4.2	34	249.2	4.0	34	251.2	4.0	34	249.6	4.4	34	248.5	4.3	34	248.0	4.4	34	251.3 4.4	34	250.3 4.7
35	249.9	4.2	35	251.2	4.0	35	251.9	4.3	35	250.0	4.2	35	249.9	4.6	35	249.7	4.1	35	251.1 4.3	35	249.3 4.3
36	249.3	4.0	36	250.1	3.9	36	249.2	4.3	36	250.3	4.1	36	250.4	4.3	36	250.4	4.0	36	250.4 4.4	36	249.7 4.6
37	249.9	4.3	37	251.2	4.1	37	250.2	4.2	37	249.9	4.2	37	250.6	4.2	37	250.8	4.1	37	249.7 4.5	37	249.7 4.3
38	252.2	4.1	38	249.6	4.1	38	250.6	4.1	38	248.6	4.2	38	250.0	4.6	38	251.0	4.2	38	250.4 4.3	38	249.8 4.4
39	251.3	4.2	39	250.2	4.5	39	249.2	4.3	39	250.4	4.6	39	249.4	4.8	39	249.7	4.2	39	251.6 4.6	39	248.3 4.6
40	247.8	4.1	40	250.1	4.0	40	251.3	4.2	40	251.1	3.9	40	250.3	4.0	40	250.2	4.1	40	250.3 4.3	40	249.6 4.3
41	250.2	3.8	41	249.5	4.0	41	250.0	3.8	41	250.6	3.9	41	248.1	3.9	41	250.1	3.9	41	251.3 4.1	41	250.8 4.3
42	250.2	42	42	251.5	3.9	42	250.7	3.9	42	247.8	40	42	252.4	42	42	251.4	3.9	42	250 4 4 0	42	250 8 4 4
43	249.3	4.1	43	248.6	4.1	43	250.2	4.1	43	250.0	4.0	43	250.5	4.4	43	248.8	4.0	43	249.9 4.2	43	249.4 4.3
44	249.8	41	44	250.6	3.8	44	249.8	39	44	251 7	4.0	44	251.0	4.8	44	250.0	40	44	251 5 4 1	44	250 1 4 4
45	249 1	40	45	251.2	41	45	250.2	3.9	45	250.4	3.8	45	249.9	39	45	250.2	4.0	45	250 3 4 2	45	251 3 4 2
46	249.2	41	46	249 7	3.8	46	250.3	4.0	46	249.0	3.8	46	250.9	43	46	249.6	3.9	46	251 1 4 1	46	250 4 4 7
	210.2			2 70.7	0.0		1200.0		1.0	2.0.0	0.0		200.0			2 70.0	0.0				1200.1 4.1
Mean	for: cr	ent p	edesta	al, can	d 0. c	hip 14	1		3				Sto	Dev	for: ce	nt ne	edesta	L care	0 chip 1	4	
mean for: cent_pedestal, card 0, chip 14											<u> </u>		540						, such a		





Testeur de FEC – paramètres du fichier json

Au départ *Fec_test.py* charge les paramètres depuis le fichier json_fectest_settings.txt localisé en suivant le chemin : <test_folder>\source\settings

(venv) D:\tmp\test2\source>python fec_test.py
Loaded settings from settings\json_fectest_settings.txt
Enter fem slot (0 or 1): 1
Enter tester name: Andrzej
Enter fec label: 002

Le fichier JSON consiste en plusieurs champs qui sont utilisés par le programme de test, par ex:

- Gain = 120
- Temps de mise en forme = 100ns
- Taux de déclenchement
- Gamme du déclenchement
- Durée des piédestaux en secondes : ped_sleep
- Paramètres du générateur d'impulsion : pulser_ampl, pulser_delay...
- Paramètres des patterns de test

Le champ **c_vals** fixe la valeur des limites qui sont testées quand le rapport est généré:

Test	#1 Monitoring values	Passed	Passed							
0	FEC label	003	ОК							
1	FEC DC2438 ID	3c0000024da1b926	ОК							
2	FEC_T (to 35°C)	24.312	ОК							
3	FEC_Vdd (3.2V to 3.4V)	3.270	ОК							
4	FEC_I (1.2A to 1.5A)	1.426	ОК							
5	FEC_Vad (1.9V to 2.0V)	1.950	ОК							

"	ч. f
c_vais	: (
	"temperature": 35,
	"FEC Vdd low":3.2,
	"FEC_Vdd_high":3.4,
	"FEC I low": 1.1.
	"FEC I high": 1.5.
	"FEC Vad low": 1.9.
	"FEC Vad high": 2.0.
	"max ped": 255.
	"min ped": 245.
	"max std": 8.
	"max std fpn": 4,
	"fpn channels": [15, 28, 53, 66],
	"reset channels": [0, 1, 2],
	"pulser ampl h": 3200.
	"pulser ampl 1": 2850
}	F
-	

Testeur de FEC – exemple de rapport pour un test qui a échoué

Valeur max de RMS fixée à 4.8

Fed	test report:					Or 1r	250.0 440.1	0.0	0 r 1 r	250.0 0.0 360.9 8.8	0 r 1 r	250.0 0.0	1
Dat	e 2020-10-20 1	1.55.31				2 r 3	250.2 249.2	0.7 4.2	2 r 3	250.2 0.7 249.5 4.4	2 r 3	250.2 0.7 249.2 4.4	╢
Dat	0.2020-10-20 1	1.00.01				4	248.3	4.5 4.4	4	251.0 4.2	4	250.8 4.1	╢
Tes	ter name: Andrz	ej				6	252.7	4.1	6	252.0 4.4	6	250.9 4.7	1
		•	-			8	249.6	4.4	8	250.0 4.2	8	250.4 4.1	1
lest	#1 Monitoring values		Passe	d	Law 1	10	250.1	4.1	10	249.9 4.2	10	250/ 4.3	11
0	FEC label	0	02		OK	11	249.8	4.2	11	249.4 4.2	11	20.0 4.3	11
1	FEC DC2438 ID	bi	b0000024db31	626	ок	13	249.5	4.1 4.4	13	251.8 4.3	13	249.4 4.4 250.9 4.3	╢
2	FEC_T (to 35°C)	3.	2.406		OK	15 f	250.3	1.6 4.2	15 f 16	249.9 1.7	15 f 16	249.8 1.7	╢
3	FEC_Vdd (3.2V to 3.4V	7) 3.	.290		ок	17	249.2	4.2	17	248.6	17	250.1 4.2	H
4	FEC_I (1.1A to 1.5A)	1.	.179		OK	19	249.6	4.0	19	3.7 4.1	19	248.21	1
5	FEC_Vad (1.9V to 2.0V) 1.	.950		ок	20	249.5	4.1	27	250.0 4.3	21	249.2 4.3	1
Test	#2 Slow control registe	ers:	Passe	d		22	250.8	4.2	23	250.7 4.2	23	250.6 3.9	1
Test	#3 Pedestal run:		Failed			24	251.3	4.2	24	249.7 4.3	24	250.5 4.3	11
Mean	in range (245.0:255.0), rm	ns < 4.8 (fpn 4.0)				26	25_4 31.6	4.2 3.9	26	249.8 4.1	26	249.5 4.1 249.6 4.3	łł
0	After chip #0	Mean OK		STDDEV OK	ОК	28.	250.0	1.6 4.0	29	249.5 1.9 250.8 4.0	28 f 29	249.8 1.7 249.9 4.0	╢
1	After chip #1	Mean OK		STDDEV OK	ок	30	249.7	3.9	30 31	250.1 4.2	30	248.8 4.3	
2	After chip #2	Mean OK		STDDEV OK	ок	32	49.5	4.1 4.0	32 33	249.5 4.1	32	250.1 4.2	1
3	After chip #3	Mean OK		STDDEV OK	ок	24 35	249.0	4.1	34	249.9 4.2	34	249.9 4.1	1
4	After chip #4	Mean OK		STDDEV FAILED	FAIL	36	248.1	4.1	36	250.0 4.2	36	250.5 4.3	1
5	After chip #5	Mean OK		STDDEV OK	ок	38	248.9	4.3	38	250.6 4.1	38	249.3 4.0	1
6	After chip #6	Mean OK		STDDEV FAILED	FAIL	40	250.0	4.2 3.9	40	250.4 4.2	40	250.3 4.1	
7	After chip #7	Mean OK		STDDEV OK	ок	41	251.5	3.8	41	251./ 3./	41	249.3 3.8	-
Test	#4 AD9637 test patter	ns	Passe	d		43	1	2 -		Std Dev	for: ce	ent_pedesta	al,
0	ADC channel #0	P#1 (Midscale short 2048)		MAX 2048 MIN 2048	ок	45	1						
1	ADC channel #1	P#2 (+Full-scale short 409	5)	MAX 4095 MIN 4095	ок	47	1	0 -					
2	ADC channel #2	P#4 (Checkerboard 1365 to	o 2730 toggle)	MAX 2730 MIN 1365	OK	49	t						
3	ADC channel #3	P#7 (One/zero-word toggle)	MAX 4095 MIN 0	ОК	51 52	-	8 -					
4	ADC channel #4	P#1 (Midscale short 2048)	-	MAX 2048 MIN 2048	ОК	53 f							
5	ADC channel #5	P#2 (+Full-scale short 409	5)	MAX 4095 MIN 4095	OK	55 56	- de	6 -					
6	ADC channel #6	P#4 (Checkerboard 1365 to	o 2730 toggle)	MAX 2730 MIN 1365	ок	57	1 13		M	mm	10	~~.	_
7	ADC channel #7	P#7 (One/zero-word toggle	;)	MAX 4095 MIN 0	ок	59 60	Ŧ	4-				~	-
Test	#5 Pulser run		Passe	d		61 62	ŧ,			V			
0	After chip #0	DAC: 483 G(120) ADC(298	30 to 3200)	ADC AMPL: 3027	ок	63 64	Ŧ	1			1		
1	After chip #1	DAC: 483 G(120) ADC(298	30 to 3200)	ADC AMPL: 3079	ок	65 66 f	Ŧ .,	.	1				
2	After chip #2	DAC: 483 G(120) ADC(298	30 to 3200)	ADC AMPL: 2981	ок	67	Ē	4		10 20	30	40	-
3	After chip #3	DAC: 483 G(120) ADC(298	30 to 3200)	ADC AMPL: 3067	ок	69	ŧ					Channel num	sei
4	After chip #4	DAC: 483 G(120) ADC(298	30 to 3200)	ADC AMPL: 2997	ок	71	249.6	3.9	71	250.7 4.0	71	250.2 4.0	1
5	After chip #5	DAC: 483 G(120) ADC(298	30 to 3200)	ADC AMPL: 3048	ок	73	249.0	3.9	73	249.8 4.0	73	249.5 4.1	1
6	After chip #6	DAC: 483 G(120) ADC(298	80 to 3200)	ADC AMPL: 3147	ок	75	249.0	4.2 3.8	75	248.8 4.3	75	250.8 4.0	t
7	After chip #7	DAC: 483 G(120) ADC(298	30 to 3200)	ADC AMPL: 3008	ОК	76	249.3	4.1	76	249.7 4.0	76	249.9 4.0 249.0 4.5	łł
			-			70	1040.0	4.0	70	1050 41 4 0	11.70	THE REAL PROPERTY OF	- 1



Testeur de FEC – transport

Le testeur de FEC doit être transporté dans la boîte à outils en matière plastique noire





Les plots de plastique noir ne sont là que pour le transport et doivent être retirés pour les tests



Utiliser aussi de la mousse pour le transport

Résumé

- Le testeur de FEC réalisé et envoyé au LPNHE le 22.10.2020
- Software testé à Varsovie (WUT) et au LPNHE
 - Quelques erreurs ont pu être décelées et corrigées