

# Axes de R&T pour la microélectronique

## GT08 Prospectives IN2P3

Edouard Bechetoille, Laurent Leterrier, Samuel Manen, Moshine Menouni, Frédéric Morel, Damien Prêle, Damien Thienpont, Philippe Vallerand.

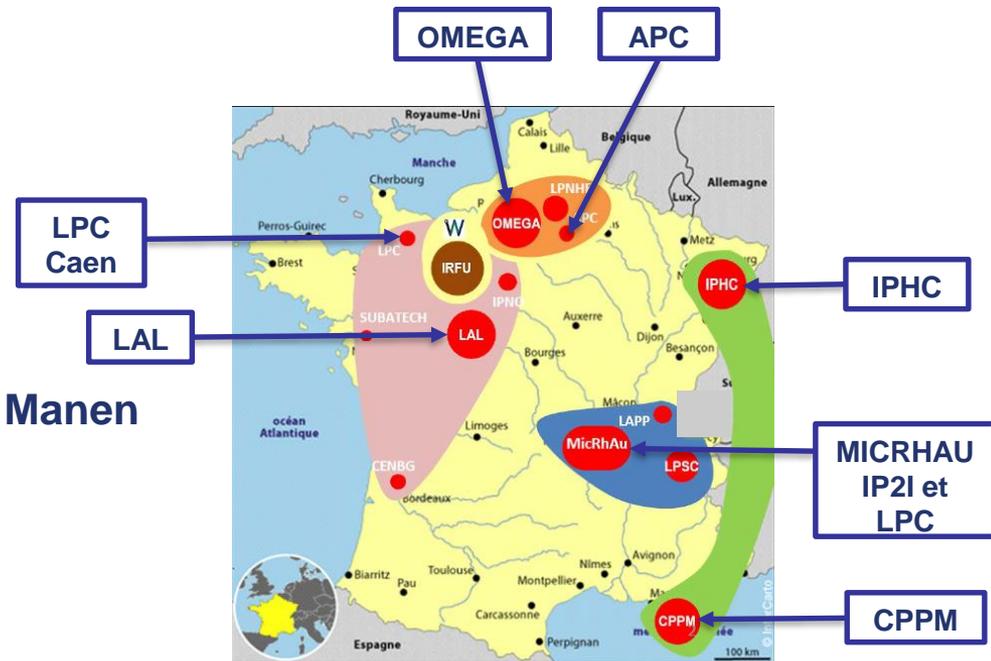
1. Présentation du GT  $\mu$ elec
  
2. « Besoins identifiés » en microélectronique
  1. Calorimétrie
  2. « Tracking Vertexing »
  3. Astroparticules/ cryogénie
  4. Physique nucléaire
  
3. L'évolution technologique en microélectronique
  
4. Pistes de R&T en microélectronique
  1. Technologie 28nm
  2. Technologie 65nm « image sensor »
  3. Technologie 130nm SiGe
  
5. Conclusion

# 1. Présentation du GT $\mu$ elec

## ✓ Création du GT à l'initiative de Rodolphe Clédassou

✓ Membres du GT répartis sur les 4 fédérations/pôles, 2 représentants par fédération

- ✓ IP2I-Micrhau, **Edouard Bechetoille**
- ✓ IJCLab, **Philippe Vallerand**
- ✓ CPPM, **Moshine Menouni**
- ✓ APC, **Damien Prêle**
- ✓ OMEGA, **Damien Thienpont**
- ✓ IPHC, **Frédéric Morel**
- ✓ LPC Caen, **Laurent Leterrier**
- ✓ LPC Clermont-Micrhau, **Samuel Manen**



- ✓ **Structurer une ou des activité(s) de R&T en microélectronique @IN2P3**
  - ✓ Identifier les axes importants pour nos activités microélectronique à moyen terme
  - ✓ Faciliter la concertation et la communication @IN2P3 pour gagner en efficacité
  - ✓ Renforcer le travailler “ENSEMBLE”
  - ✓ Définir des règles et outils communs (SOS, Europractice, BB130, wiki, OMME...)
  
- ✓ **Note organisationnelle**
  - ✓ 10% d’activité sur cette R&T
  - ✓ Les activités du GT $\mu$  seront présentées dans le cadre des prospectives menées par l’IN2P3.
  
- ✓ **Objectif: rédaction d’un document pour la ComMIC et l’IN2P3 en 10/2020**

✓ Technologie(s) liée(s) au(x) futur(s) type(s) de collisionneur(s)

✓ Collisionneurs leptoniques

- ✓ **Challenge: Précision**, « sub-percent » précision sur les propriétés du Higgs
- ✓ Très haute granularité, multi-voies
- ✓ « Imaging calorimeters », énergie, 3D position et timing
- ✓ « Radiations and data rate much less demanding »
- ✓ Budget puissance dissipée différent en fonction des scénarios, et du digital!

✓ Collisionneurs hadroniques

- ✓ **Challenge: Empilement**, 140-200 pour HL-LHC, 1000 pour FCC hh
- ✓ Très haute granularité, multi-voies
- ✓ Sophisticated software algorithms and more (timing,...)
- ✓ « Need Rad-hard detectors »
- ✓ Budget puissance limité, et du digital!

### ✓ Contributions identifiées dans le cadre des prospectives GT08

- ✓ Calorimètre ultra-granulaire SiW-Ecal pour les futurs collisionneurs électrons positrons, Boudry et al
- ✓ High granularity liquid argon calorimetry for a detector at a future circular electron-positron collider, Guillemin et al
- ✓ Semi-Digital Hadronic Calorimeter with 5D capabilities for the future colliders, Lakhtineh et al
- ✓ Upgrade phase 2 of the LHCb detector, LHCb collaboration

### ✓ Tendances générales pour les Asics autour de la calorimétrie

- ✓ **Architecture SOC multi-voies avec une montée en puissance de fonctions digitales**
- ✓ Technologies visées 130nm-65nm à moyen terme
- ✓ Adaptation d'Asics existants
- ✓ Timing précis
- ✓ Résolution en énergie élevée
- ✓ Besoin en ADC de type 12bits-100MHz

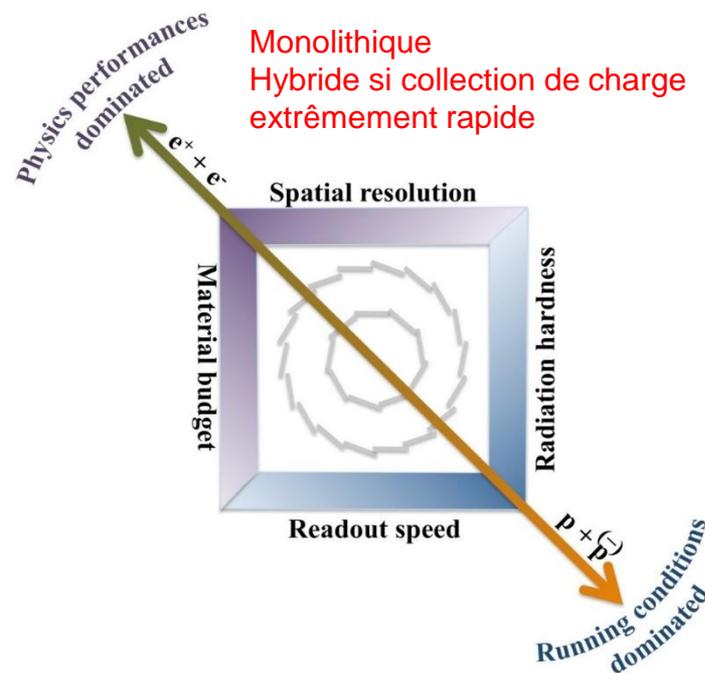
- ✓ **Challenges pour le tracking dans les futurs collisionneurs**
  - ✓ Taille du pixel
  - ✓ Tolérance aux radiations
  - ✓ Résolution spatiale
  - ✓ Résolution temporelle
  - ✓ Consommation et budget de matière
  
- ✓ **Différences entre pixels hybrides ou pixels monolithiques**
  - ✓ Hybrides
    - ✓ Le circuit et le capteur sont séparés
    - ✓ Permet d'avoir un capteur ad-hoc résistant aux radiations
  
  - ✓ Monolithiques, technos Image Sensor et technos High Voltage
    - ✓ Le substrat du circuit est le capteur
    - ✓ Image Sensor : Nœud de collection plus faible → Favorise la dissipation de puissance
    - ✓ High Voltage : Tension de déplétion plus élevée → Favorise la tenue aux radiations et le temps de collection

- Deux optimisations:

- ❑ Capteurs optimisés pour un faible budget de matière, une haute résolution avec un taux de particules modéré ( $e^+/e^-$ )
- ❑ Capteurs optimisés pour un taux d'impacts très élevé (HL-LHC, FCC pp)

( )=optional

		Timing	Spatial resolution	Energy loss resolution	Radiation tolerance	Stitching	Wireless	Sensitivity
Colliders	$e^+e^-$ high-E	(++)	+++	(++)		++		
	Ions lourds		++	++	+	+++		
	HL-LHC	+++		+	+++	+	++	
	FCC pp	+++		+	+++	++	+++	
Non-collider experiments		(+)	(+)	+++		+++		++
Nuclear physics & appli.		+		(++)	(++)	(++)		+++
Imaging		++	+++	+++		++	+	+++



Hybride pour les couches internes  
Monolithiques pour les couches externes

- ✓ Axes de développement des pixels hybrides et monolithiques
  - ✓ Haute luminosité :
    - ✓ Augmentation du débit de données (en sortie > 10 Gbits/s par circuit)
    - ✓ Impact sur l'architecture système
  - ✓ 4D tracking (x,y,z,t) :
    - ✓ Nouveau algorithmes de détection
    - ✓ Besoin de fonctionnalités numériques plus sophistiquées
  - ✓ Système :
    - ✓ Intégration système: bounding petit pitch, stitching
    - ✓ Ajout de fonctionnalités : communication sans fil entre couche, IA, ...

- ✓ **Contributions identifiés dans le cadre des prospectives GT08**
  - ✓ Amélioration du détecteur de Vertex de l'expérience Belle II, Baudot et al.
  - ✓ Projet ITS3 d'ALICE, Belikov et al.
  - ✓ Asics de lecture de pixels pour les futurs collisionneurs, Menouni et al.
  - ✓ Depleted monolithic active pixel sensor, Pangaud et al.
  - ✓ Développement de capteurs CMOS minces et granulaires, Winter et al.
  - ✓ Picosecond submicron concept, Lakthineh et al.
  
- ✓ Principalement des propositions de capteur à pixel monolithique (4 sur 6)
- ✓ Emergence de nouvelles technologies pour adresser les nouveaux défis :
  - ✓ 28nm pour hybride et 65nm « image sensor » pour monolithique
  - ✓ Les projets à moyen terme (5 ans) peuvent utiliser les technologies actuelles en backup
  
- ✓ Nouvelles architectures à développer avec une **prépondérance de numérique**
  
- ✓ L'aspect timing est en train d'émerger

## 2. Besoins en microélectronique – Astro et Cryo

### ✓ Astronomie Haute Energie, Neutrinos et Matière noire :

- ✓ PMT and SiPM multi-channel readout chip : NECTARr (IRFU), xxxROC (Omega), CoCo...
  - **CTA, HESS, Km3net, Juno, AUGER, AMS, DarkSide ...**
- ✓ Micro-calorimètres supra -> LNA & bias low drift : AwaXe (APC)
  - **ATHENA X-IFU**
- ✓ Lecture de CCDs : ASIC CABAC clk+bias et ASIC CROC (LAL/LPNHE)
  - **DAMIC**

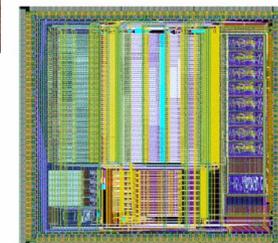
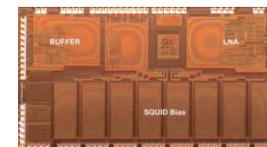
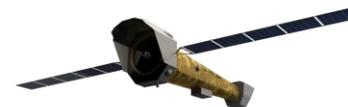


Figure 1 : SPACIROC layout.

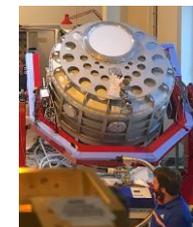
### ✓ Cosmologie :

- ✓ Lecture/multiplexage bolomètres : LNA et multiplexeurs bas bruit : SQmux (APC)
  - **QUBIC, LiteBIRD, S4**
- ✓ Lecture de CCDs : ASIC CABAC et ASIC ASPIC (LAL/LPNHE)
  - **LSST**



### ✓ Radio Astro. :

- ✓ Lecture/phase antennes, LNA GHz / déphaseurs
  - **SKA EMBRACE / LOFAR**



*Nœud techno 0.35AMS à faire évoluer ...*

- ✓ Contributions identifiées dans le cadre des prospectives GT08
- ✓ Détecteurs cryogéniques et instrumentation associée, Juillard et al.
  - ✓ Beaucoup de développements discrets : HEMT, JFET, SQUID ... mais aussi des ASICs:
    - ✓ Multiplexeur **CMOS AMS0.35 T<1K** pour astronomie infrarouge (SPICA/BBOP - IRFU)
    - ✓ Multiplexeur **BiCMOS SiGe AMS0.35 (->ST130)** T=4-40K pour astronomie mm (QUBIC - APC)
    - ✓ Multiplexeur **BiCMOS SiGe AMS0.35 T=2.5-15K** pour l'astronomie X (Futur X-ray missions - IRFU)
    - ✓ Contrôle/lecture bas bruit "chaude" (hors cryostat) chaîne de détection cryogénique **BiCMOS SiGe AMS0.35 (->ST130)** (ATHENA - APC)
  - ✓ Première problématique de prospective :
    - ✓ Maintien/**transfert de technologies AMS** pour les futurs missions SPICA et ATHENA.
    - ✓ Aussi, adaptation aux **nouvelles techniques de multiplexage**, notamment le MicroWave Multiplexing -> **bande GHz**
- ✓ Unité de détection UV et visible ultra-sensible et versatile, Prévot et al.
  - ✓ Adaptation d'un Asic existant
  - ✓ Techno 130nm-65nm CMOS

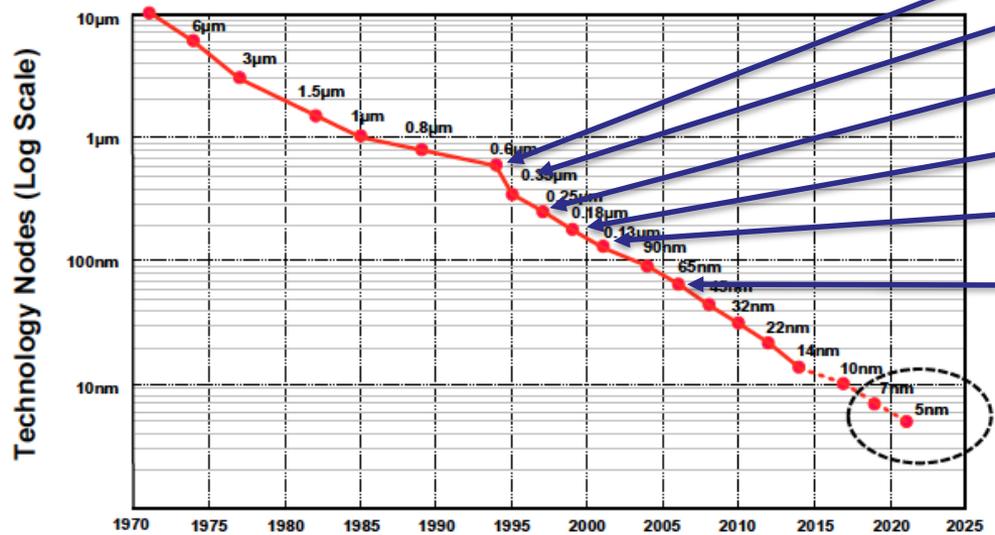
- ✓ La plupart des projets sont en phase d'exploitation -> reste 2 « gros projets » **GRIT** et **AGATA**
- ✓ **Tendances en terme de microélectronique :**
  - ✓ Grande dynamique en énergie, nombre de voies autour de 10000, mesure de temps de 10 ps à qq 100ps
  - ✓ Technos utilisées : AMS 0,35  $\mu\text{m}$  (parfois SiGe) ; TSI 0,18  $\mu\text{m}$  CMOS ; 0,13  $\mu\text{m}$  TSMC
- ✓ **Besoins à court terme ( < 5 ans ) :**
  - ✓ Technos alternatives à l'AMS 0,35  $\mu\text{m}$  : ST130nm SiGe 2,9k€/mm<sup>2</sup>, TSMC 130 nm ?
  - ✓ Poursuivre en TSI 0,18  $\mu\text{m}$  CMOS (ticket d'entrée 35k\$ pour 25mm<sup>2</sup>) ou passer en TSMC 130 nm ?
  - ✓ Projets :
    - ✓ **GRIT** (Granularity Resolution Identification Transparency) : échéance 2023-2024
      - ✓ Dét Si segmentés / ~ 8000 voies / iPAC13 (IPNO) ; PLAS3 (LPCC)
    - ✓ **FRACAS** (FRAGmentation du Carbone et Sections efficaces) : échéance 2023 Médical
      - ✓ Dét diamants pixélisés et PM / ~ 8000 voies / TEPIC (LAL, LPCC) ; DiamASIC\_LPC (LPCC, LPSC)
    - ✓ **S3** (Super Separator Spectrometer) @ GANIL :
      - ✓ Détecteur Si SEASON / ~ 300 voies / baseline FEANICS (IRFU)
- ✓ **Besoins à moyen terme ( > 5 ans ) :**
  - ✓ Avec le démarrage de FAIR GSI (2027), la physique nucléaire s'oriente vers des trackers (Silicium pixélisés) très compact (20 cm), grand nombre de voies (12000), comptage élevé -> besoin physique des particules.
  - ✓ Projet : **AGATA** (Advanced Gamma Tracking Array) :
    - ✓ Sphère 4 $\pi$  Ge / ~ 1500 voies / ASIC VFE cryo (LN<sub>2</sub>) ?

- ✓ Evolution technologique rapide dans l'industrie
- ✓ Farthouat@CERN: "It must also be kept in mind that, contrary to what industry does, we take years to design our complex chips. During that time, the technology you use is aging and you have the risk that it ages so much that the factory delivering it decides to abandon it. You have to monitor the situation carefully."
- ✓ Chute des tensions d'alimentation
- ✓ Tendence Digital « asap » et donc évolution des méthodologies de conception et des outils

## Transistor Scaling

### Evolution @IN2P3

Technology has scaled transistor in the past and **should** do in the future



Nœud 0.8µm jusqu'en 2004

Nœud 0.35µm entre 2000 et 2020

Nœud 0.25µm entre 1998 et 2008

Nœud 180nm depuis 2009

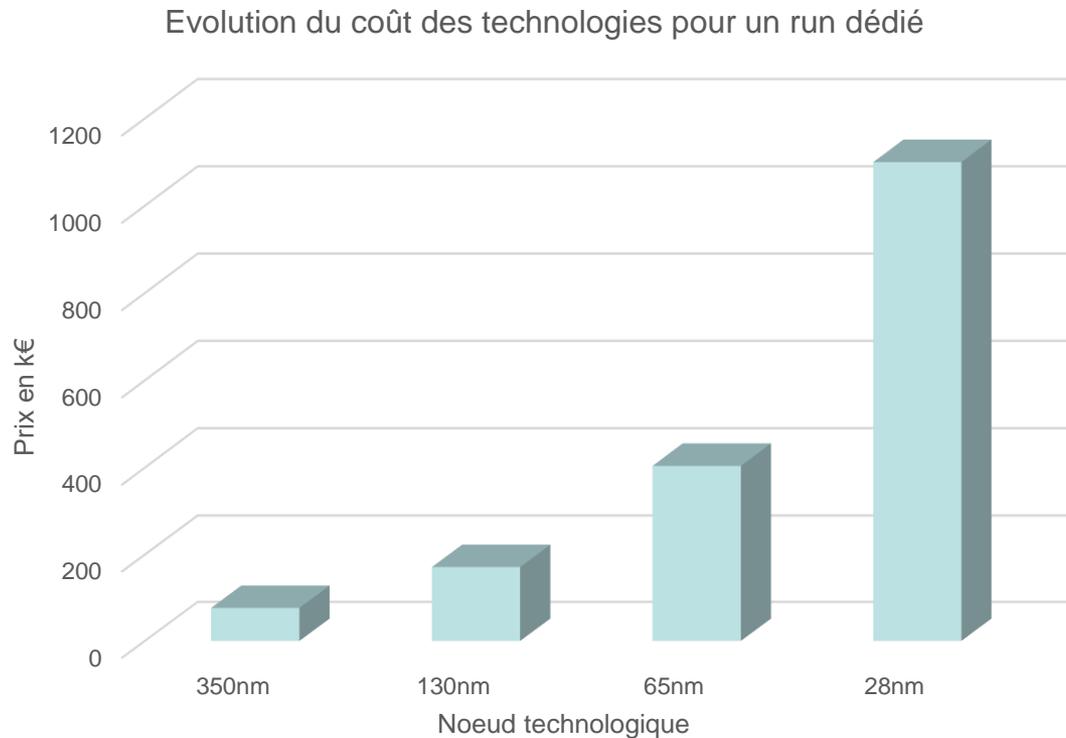
Nœud 130nm depuis 2006

Nœud 65nm depuis 2014



Source: Semiconductor device fabrication, [https://en.wikipedia.org/wiki/Semiconductor\\_device\\_fabrication](https://en.wikipedia.org/wiki/Semiconductor_device_fabrication)

- ✓ Augmentation du coût technologique avec la finesse de gravure
  - ✓ Nécessitera une collaboration étroite au sein de l'Institut et au-delà...
  - ✓ Doit tendre vers du « one-shot »
- ✓ Technologie « Image sensor » +30 à +50 % du prix
- ✓ Coût des outils logiciels numériques élevé
- ✓ Vérification des « SOCs » nécessite des machines puissantes, 256Go et 1To RAM



# 4. Pistes de R&T en microélectronique – 28nm@CERN



Courtesy: Michael Campbell and Federico Faccio, Microelectronics Section, ESE Group, EP Department, CERN

- ✓ As a community we have accumulated (at least) 10 years delay since 1999
- ✓ With the 65nm process we cannot increase IO speed beyond 10Gbps
- ✓ FPGA chips (which we rely on off-detector) are pulling away from us
- ✓ We cannot stand still but going forward requires significant resources
- ✓ 28nm become the workhorse

**Work Package 5  
IC technologies**  
*Leaders: M.Campbell, F.Faccio*

**Activity 1  
CMOS and assembly Technologies**

**CMOS Technologies**

Radiation effects

CAD tools with emphasis on:

- reference design workflows
- mixed-signal design of complex chips (SOC)
- collaborative tools

Enablers (DKit, FrameContract, NDA, training)

Custom digital logic compilers

---

**CMOS-related Assembly Technologies**

Through-Silicon Vias (TSV)

CMOS wafer stacking

**Activity 2  
Design and IPs**

**Low-voltage and low-power design**

Study of noise and matching performance

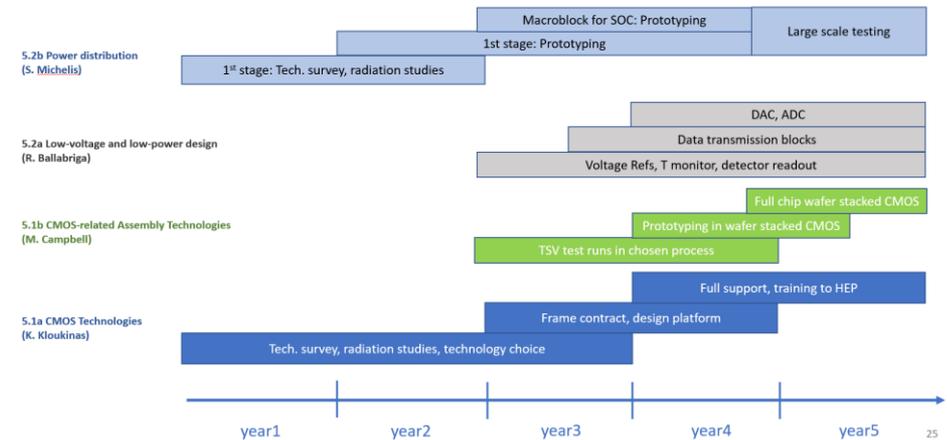
Design of circuit functions:

- Voltage reference generators
- Low-noise amplifiers
- Conversion: ADC, DAC
- Timing circuits: PLLs, DLLs, TDC
- Line drivers/receivers

**Power distribution**

High efficiency POL converter ( $V_{in} > 25V$ )

IP blocks for on-chip power management: converters and regulators



- ✓ Les caractéristiques d'un techno fine type 28nm permettront:
  - ✓ Augmenter la densité d'intégration
  - ✓ Augmenter le gain intrinsèque des transistors
  - ✓ Augmenter la vitesse de commutation des switches
  - ✓ Augmenter les fréquences de fonctionnement et le débit de données (>10Gbps)
  - ✓ Limiter les courants de fuite
  - ✓ Restrictions fortes en terme de layout
  - ✓ Tolérance aux radiations en cours d'évaluation par le CERN
- ✓ Technologies fines favorisent le “digital” avec une méthodologie de conception associée
- ✓ Nécessaire aujourd'hui de développer ces compétences et d'investir fortement dans la formation de doctorants
- ✓ **“Work Package” pour structurer cette R&T au sein de l'IN2P3**
  - ✓ WP1: Flot de conception et infrastructure informatique commune (Infrastructure CC IN2P3, NDA@IN2P3, OMME)
  - ✓ WP2: Design analogique et mixte
  - ✓ WP3: Design numérique
  - ✓ WP4: Testabilité et tests

## 5. Pistes de R&T en microélectronique – 65nm opto

- ✓ Programme porté par le CERN, autour de pixel monolithique
- ✓ Pour l'ITS3 (Tracker interne d'Alice), programme de 5 ans pour valider et réaliser un circuit final en techno 65 nm « image sensor »
- ✓ Possibilité de faire du stitching
- ✓ **Partenaires IN2P3 déjà identifiés**

Source: Letter of Intent for an ALICE ITS Upgrade in LS3

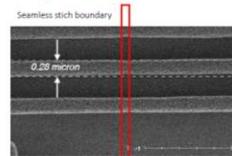
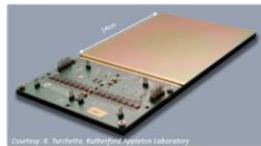
### CMOS APS – wafer-scale integration

Photolithographic process defines wafer reticles size ⇨ Typical field of view  $O(2 \times 2 \text{ cm}^2)$   
 Reticle is stepped across the wafers to create multiple identical images of the circuit(s)

A stepping process called “stitching” allows building sensors of arbitrary size, the only limit being the size of the wafer.

- Reticle made of blocks
- Printing only individual blocks at each step with a tiny well-defined overlap

These days, stitching is widely applied in the digital imaging industry (e.g. large flat panels for medical and dental X-rays)



Ultra-thin chip (<50 um): flexible with good stability

L. Musa (CERN) – VCI, Vienna, Feb 2019



New ultra-light Inner Barrel in LS3 (CDS, ALICE-PUBLIC-2018-013)

36

Milestone	Description	Production <sup>†</sup>	Date
1	<b>Technology test structures</b> single pixels, transistors, small memory cell array for studying the radiation hardness of the technology	MPW	Q4 2019
2	<b>Pixel test vehicle</b> optimization of pixel and diode geometries	MPW	Q3 2020
3	<b>Large area prototype</b> basic blocks: pixel matrix, periphery, output serial links exercising of stitching different parts	ER	Q4 2021
4	<b>Full-scale prototype</b> prototype of final chip with all functionality	ER	Q4 2022
5	<b>Final Chip</b> possible minor adjustments wrt milestone 4	ER	Q4 2023

- ✓ Fin programmée du SiGe en AMS 0,35 $\mu$ m
- ✓ **Transfert vers un nouveau noeud technologique BiCMOS SiGe ST 130 nm**
- ✓ BiCMOS SiGe -> Beta bipolaire augmente à basse température
  - ✓ LNA large bande, Bas bruit basse fréquence
    - ✓ BiCMOS SiGe ST 130 nm (APC QUBIC AMS0.35 -> ST130)
    - ✓ APC -> NGCryo ... test ST130 (multiplexeur cryogénique pour la thermométrie)
- ✓ CMOS -> gm augmente à basse T (mais moins que les bipolaires)
  - ✓ Pb de bruit basse fréquence -> pour des fréquences > 100 kHz - 1 MHz
    - ✓ IRFU -> SPICA -> multiplexer full CMOS < 1K
    - ✓ LPSC : usage BB130 pour véhicules de test Cryo (caractérisation disponible pour la communauté)

## 6. Conclusion

- ✓ Objectif du GT $\mu$ elec est de fédérer les activités de R&T en microélectronique @IN2P3
- ✓ Actuellement, trois pistes de R&T se dégagent:
  - ✓ Techno 28nm
  - ✓ Techno 65nm « image sensor »
  - ✓ Techno 130nm SiGe
- ✓ Evolution des besoins en microélectronique tend de plus en plus vers du digital et par conséquent vers des technos plus fines et coûteuses
- ✓ Evolution de notre structuration pour aborder ces pistes de R&T nécessitera notamment une infrastructure informatique commune au CCIN2P3
- ✓ Changement technologique se prépare sachant que la durée de vie moyenne d'une technologie est estimée à 10 ans
- ✓ Jalon en 10/2020: Rédaction d'un document pour la ComMIC et l'IN2P3

