

---

# Contribution aux exercices de prospective nationale 2020-2030

## *Détecteurs et instrumentation associée*

---

### ASICs DE LECTURE DES PIXELS POUR LES FUTURS COLLISIONNEURS

#### **Auteur principal**

Nom : Mohsine MENOUNI

Affiliation : [menouni@c ppm.in2p3.fr](mailto:menouni@c ppm.in2p3.fr)

Aix Marseille Univ, CNRS/IN2P3, CPPM, Marseille, France

163, avenue de Luminy - Case 902 - 13288 Marseille cedex 09

#### **Co-auteurs**

*Marlon BARBERO, Pierre BARRILLON, Denis FOUGERON, Patrick PANGAUD*

Aix Marseille Univ, CNRS/IN2P3, CPPM, Marseille, France

163, avenue de Luminy - Case 902 - 13288 Marseille cedex 09

## 1. Informations générales

**Titre : ASICs de Lecture des Pixels pour les Futurs Collisionneurs**

### **Résumé**

*Le projet s'intéresse aux circuits intégrés de lecture des pixels pour les futurs upgrades et les futures générations de collisionneurs. La qualité de reconstruction des traces et de la position des vertex dépend de la réduction de la taille des pixels de la possibilité d'implémenter des fonctionnalités numériques très élaborées. Il est donc nécessaire de faire appel à un nœud de process plus avancé (<40 nm) que ceux utilisés actuellement. Le choix parmi les process commerciaux proposés par différents fondeurs sera défini par la tolérance aux irradiations et par la compatibilité avec la conception des fonctions analogiques nécessaires pour les circuits à pixels.*

### **Préciser le domaine technologique**

- Détecteurs semi-conducteurs (Si, Ge, HgCdTe, Diamant...)
- Micro-électronique, Electronique Front End

### **Préciser la motivation principale de recherche visée par la contribution :**

- R&D Trajectographe

## 2. Description des objectifs scientifiques et techniques

La haute luminosité anticipée dans le cadre des futurs upgrades du LHC ou pour les prochaines générations de collisionneurs se manifeste par un très fort taux de hits par unité de surface au niveau des différents détecteurs et ceci particulièrement dans le cas des détecteurs à pixels proches du point d'interaction. Dans ce contexte, et aussi pour améliorer la qualité de reconstruction des traces et des vertex, la réduction de la taille des pixels s'avère donc indispensable. De plus, les circuits de lecture des pixels devront permettre des fonctionnalités numériques beaucoup plus sophistiquées que ce qui existe actuellement et donc plus exigeantes en termes de densité d'intégration par pixel.

Il est donc nécessaire de faire appel à un nœud de process plus avancé pour le design des futures générations de circuits intégrés de lecture des pixels. Ce process CMOS devrait succéder au nœud 65nm actuel dans la mise en œuvre des puces de lecture du détecteur interne. Cette technologie permet de garantir la mise en œuvre de systèmes de haute performance, de pixels de plus petite taille, tout en assurant une consommation réduite et un bruit électronique plus faible augmentant ainsi les performances de détection. Ces process avancés permettent aussi de fonctionner à des vitesses plus élevées facilitant ainsi la gestion de l'empilement d'évènements prévu dans les premières couches du détecteur. Les futurs détecteurs dans un environnement très haute luminosité exigent en plus une électronique analogique frontale rapide et nécessitent le rajout de fonctions de mesure de temps de haute résolution. Cependant, la conception analogique en technologie à gravure fine (<40 nm) peut être particulièrement critique et difficile pour plusieurs raisons, par exemple l'utilisation d'une tension d'alimentation inférieure à 1 V ou le gain intrinsèque réduit à cause de la faible transconductance du transistor et de la faible impédance de sortie. Il est donc tout d'abord essentiel de tester et de caractériser ces technologies dans le cadre de nouveaux prototypes afin d'anticiper les compromis qui seront à prendre en compte et d'évaluer les performances attendues pour les circuits à pixels.

Par ailleurs, la haute luminosité se traduit également par des niveaux d'irradiations très élevés en termes de NIEL et de TID. Il est donc impératif de tester la tolérance à la dose ionisante du process, et d'étudier sa compatibilité (après irradiation) avec les vitesses de fonctionnement requises et particulièrement pour la partie numérique. Ces tests permettront de déterminer les règles de conception à suivre pour réduire l'influence de ces effets de dose.

Cette étude devrait être effectuée par plusieurs laboratoires de l'IN2P3 et notamment ceux impliqués dans l'étude de la physique relative au détecteur interne de ATLAS. Elle est indispensable pour renforcer l'implication et le rôle de l'IN2P3 dans les collaborations internationales autour des expériences du CERN actuelles (Upgrades) et futures (FCC etc).

Il est à préciser qu'il y a eu des demandes effectuées de la part de notre institut au niveau du projet AIDA et que cette proposition peut rentrer dans le cadre d'une collaboration internationale en travaillant par exemple avec d'autres instituts comme l'INFN qui a déjà montré son intérêt pour des projets similaires [5].

### 3. Livrables associés, calendrier et budget indicatifs

Le projet proposé se déroulera en 2 étapes essentielles :

- 1- Etude, choix et définition du process CMOS à utiliser pour la conception des pixels hybrides des détecteurs internes des futurs upgrades. Cette étape repose sur des simulations de circuits de base ainsi que sur le test et la caractérisation de transistors unitaires dans le cadre de différentes technologies. Les simulations permettent de qualifier le process en termes de performances pour les circuits de type analogique, basse consommation et bas bruit. Les tests et les qualifications en TID du process permettent de vérifier la compatibilité des différents process avec les niveaux de dose prévus dans le cadre des futurs projets.
- 2- Conception et développement d'un premier circuit de lecture comportant une matrice de 4096 pixels (64 × 64) de 25×25 μm<sup>2</sup>. Il sera développé uniquement avec le process identifié lors de l'étape précédente. Ce circuit prototype comprendra les différentes fonctionnalités de base relatives à un circuit de lecture à pixels, et sera basé sur des pixels incluant les fonctions analogiques et numériques. L'électronique de bas de colonne contiendra les différentes fonctionnalités analogiques comme la polarisation et la calibration, ainsi que les fonctions de type numériques correspondant au décodage des commandes et à l'envoi des données sur ordre de trigger. Le prototype pourrait faire l'objet d'hybridation avec un détecteur donnant la possibilité de mesurer les performances tenant compte de la capacité du détecteur, du partage de charge et du bruit de diaphonie. Le module hybride pourrait alors faire l'objet de tests en irradiation afin de valider la tolérance du process à la dose ionisante.

La table ci-dessous résume le budget nécessaire en terme R&D distribué sur 3 ans en supposant que les ressources humaines sont suffisantes pour mener à bien le projet dans les délais impartis.

	<b>Durée</b>	<b>Justification</b>	<b>Coût (€)</b>
Etape 1	12 mois	2 fonderies : motifs de test	2 × 10 000
		Cartes de test + Système d'acquisition	10 000
Etape 2	24 mois	1 fonderie : matrice de 4096 pixels	1 × 20 000
		Carte de test + Système d'acquisition	10 000
		Détecteur	25 000
		Hybridation	50 000
<b>Total</b>			<b>135 000</b>

## 4. Références

- [1] - "RD53A: A large-scale prototype chip for the phase II upgrade in the serially powered HL-LHC pixel detectors", Aleksandra Dimitrievskaa, Andreas Stiller, RD53 Collaboration, NIM A, available online 2 May 2019
- [2] "1-Grad total dose evaluation of 65 nm CMOS technology for the HL-LHC upgrades", J. Instrum., M. Menouni et al., vol. 10, p. C05009
- [3] "Characterization of radiation effects in 65 nm digital circuits with the DRAD digital radiation test chip", Casas, L.M.Jara et al. JINST 12 (2017) no.02, C02039
- [4] "Radiation-Induced Short Channel (RISCE) and Narrow Channel (RINCE) Effects in 65 and 130 nm MOSFETs," F. Faccio, S. Michelis, D. Cornale, A. Paccagnella and S. Gerardin, IEEE Transactions on Nuclear Science, vol. 62, no. 6, pp. 2933-2940, Dec. 2015.
- [5] "28 nm Integrated Circuit for PIXel detector" F.Resta A.Pipino M.De Matteis A.Baschirotto, Nucl. Instrum. Meth. in Physics Research Section A. Volume 904, 1 October 2018, Pages 140-148
- [6] "The RD53A Integrated Circuit": CERN-RD53-PUB-17-001 (2017)", RD53 Collaboration
- [7] RD53 web site. <http://rd53web.cern.ch/rd53/>