



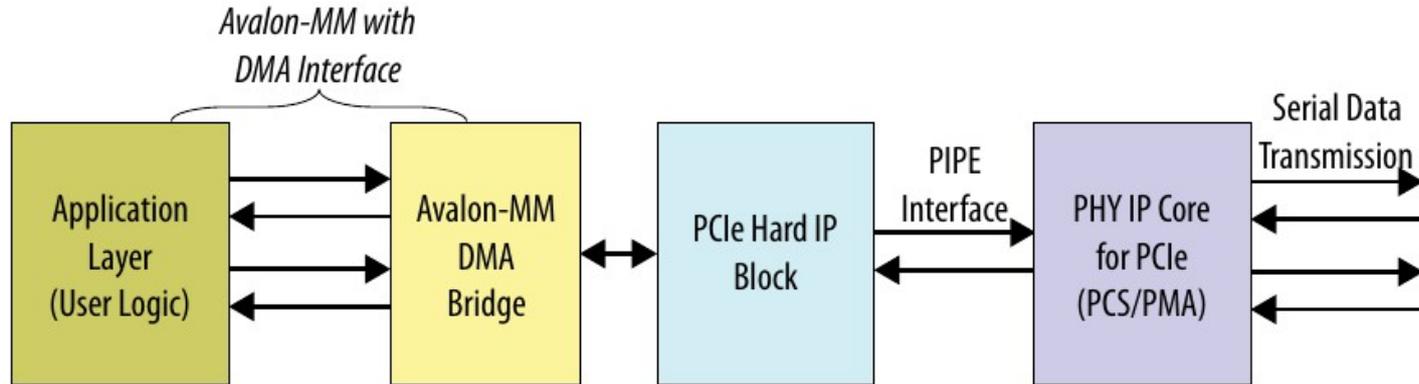
- IP PCIe Avalon DMA
- Driver pour IP PCIe Avalon DMA
- DMA mise en oeuvre
- Système de test
- PCIe vue par Linux
- Développement actuel



IP PCIe Avalon-MM-DMA

L 'interface est basée sur l' IP INTEL (Avalon-MM-DMA)

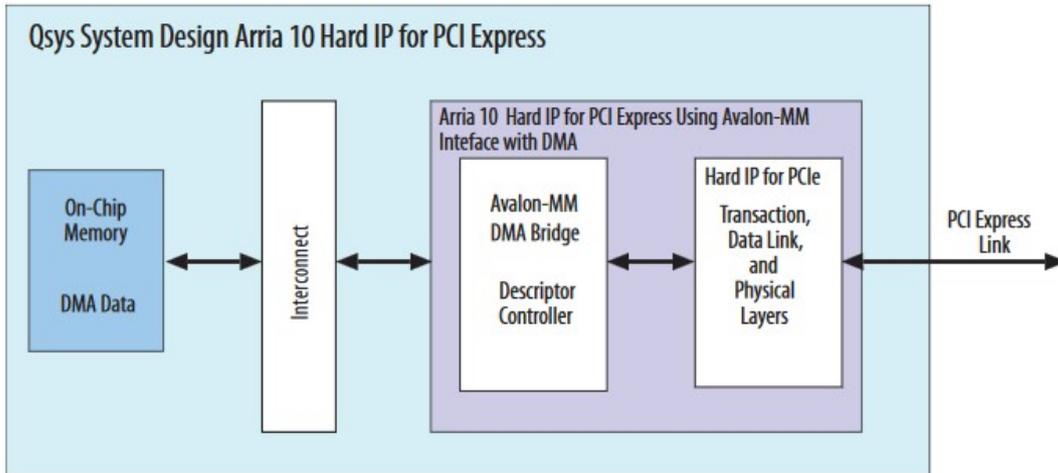
- Gen3 x8, End-point mode, 256 bits layer interface, payload 256Byte
- elle permet :
 - Un accès au noyau du FPGA avec un interface Avalon-MM.
 - Acces au PCIe hote au PCIe BAR 0 to 5
 - Des transferts en mode DMA



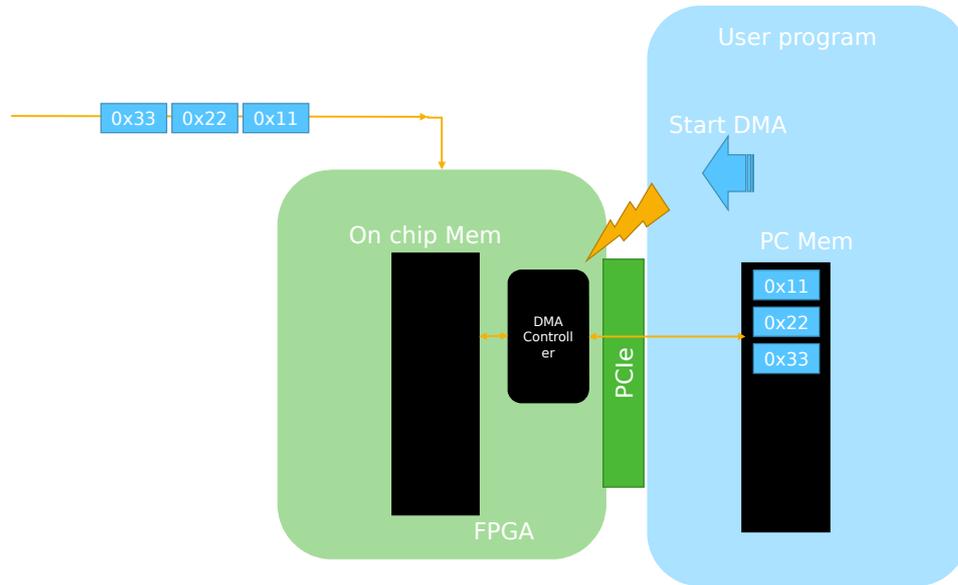
Références :

https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/ug/ug_a10_pcie_avmm_dma.pdf

https://forums.intel.com/s/createarticlepage?language=en_US&articleid=a3g0P0000005RPUQA2&artTopicId=0TO0P000000MWKBWA4&action=view



- Le mode DMA permet d'aller écrire directement dans une zone mémoire du PC hôte.
- Le contrôleur DMA est intégré dans cette IP et elle inclus :
 - Le bridge DMA
 - Le contrôleur DMA
 - La mémoire du descripteur
- Le DMA permet d'atteindre des débits proche du maximum théorique (mesure INTEL):
 - Lecture ou écriture 6.4GB/s
 - Lecture et écriture simultanées 11,5 GB / s



Pour réaliser un transfert DMA il faut :

- Définir la zone mémoire hôte (plusieurs zones peuvent être définies en mémoire)
- Enclencher le DMA par l' Hôte, plusieurs possibilités.
 - Polling sur un registre
 - Interruption (futur développement)
 - Déclencher par l' application

Driver pour Avalon-MM DMA interface

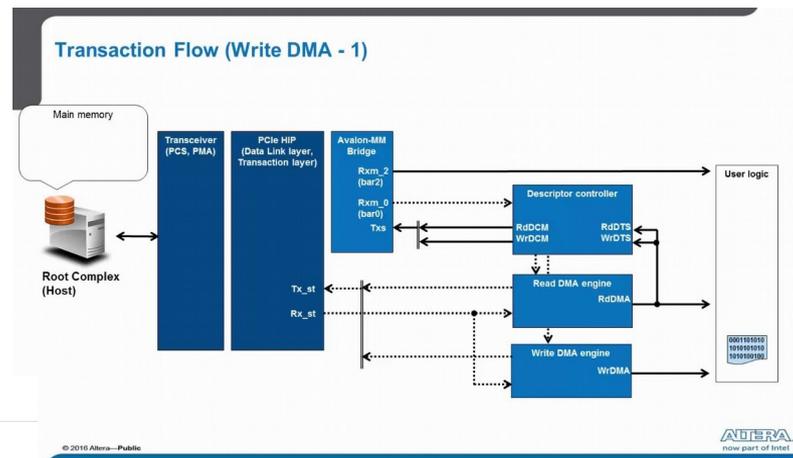
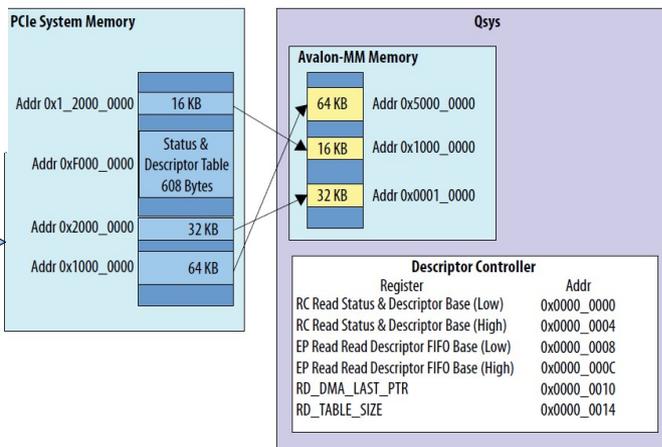
- Issue d'un driver INTEL dans le ref design Avalon-MM PCIe DMA
- Le driver devra initialiser la table de descripteurs
- (correspondance des zones mémoires Avalon/Pcie)

	Bits	Address	
Descriptor 0 Status	Reserved	Done	0xF000_0000
Descriptor 1 Status	Reserved	Done	

Descriptor 127 Status	Reserved	Done	
SRC_ADDR_LOW			0xF000_0200
SRC_ADDR_HIGH			0xF000_0204
DEST_ADDR_LOW			0xF000_0208
DEST_ADDR_HIGH			0xF000_020C
DESCRIPTOR_ID + DMA_LENGTH			0xF000_0210
RESERVED			
RESERVED			
RESERVED			

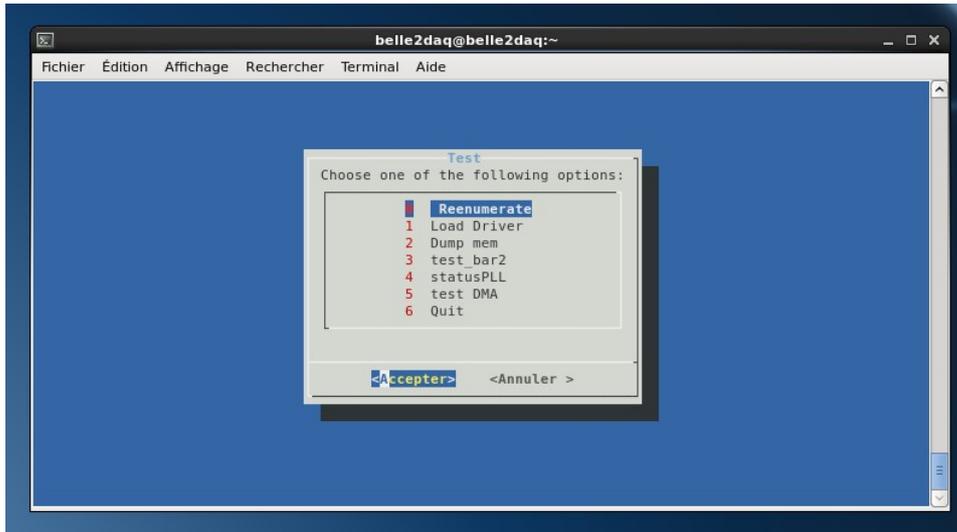
Descriptor 1			

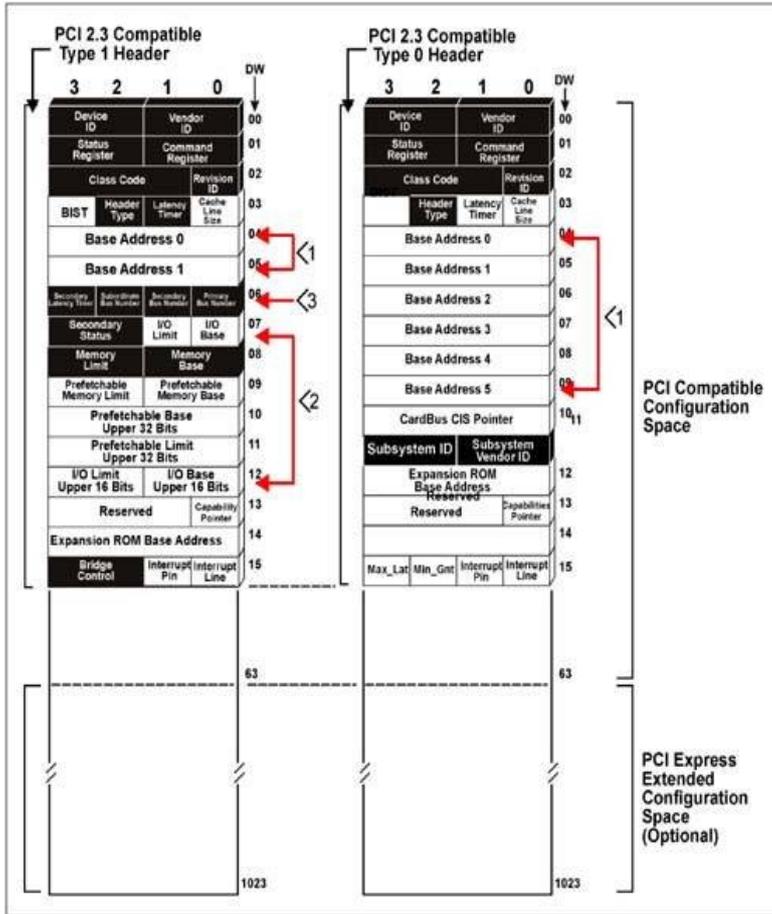
9: Data Blocks to Transfer from PCIe to Avalon-MM Address Space Using Read DMA



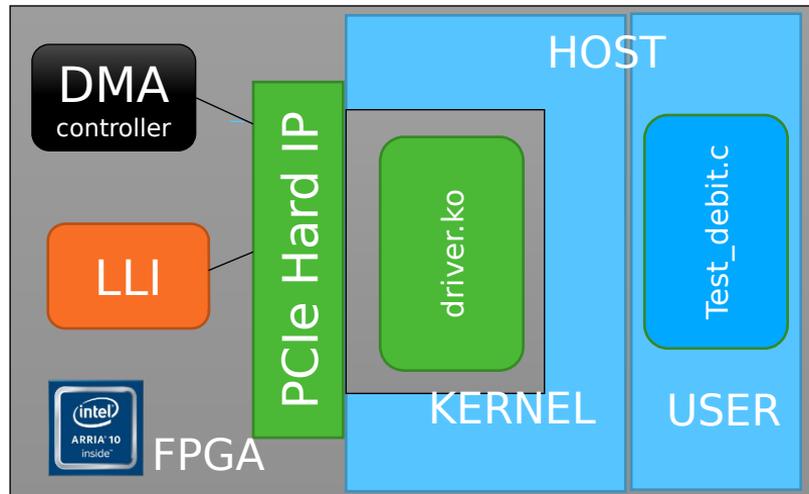
- Il faut également que le driver contrôle le « Descriptor Controller » via BAR0
- L'écriture dans le registre DMA_LAST_PTR
- démarrage du transfert DMA.

- Un utilitaire à été développé pour le test du DMA
 - Lecture d' un transfert DMA
 - Lecture en boucle du DMA





- LSPCI permet de voir la configuration du PCIe issue du « Configuration Space Registers », zone configurée par l'IP PCIe ou par le driver.
 - `lspci -vv -d xxxx:yyyy`
 - xxxx représentent l'ID du vendeur (1014 = CERN). 'Vendeur = Marque.
 - Yyyy représentent l'ID du périphérique (003e = PCIe40). Device= Matériel.
- Les Base Adresse sont les zones mémoires accessibles par le driver pour configurer ou transférer des données
 - En général BAR 0 à BAR 5 .
- Le DMA lui transfère directement <-> les données en mémoire du PC



- Application actuelle dans une carte PCIe40 développement CCPM/CERN pour LHCb dans laquelle la partie DMA spécifique à LHCb a été remplacée par l'Avalon-MM DMA.
- Sera ensuite adaptée sur la carte IDROGEN (même famille de FPGA)