



Projet DAQGEN

Présentation

J.P. Cachemiche
Centre de Physique des Particules de Marseille

Le Projet DAQGEN

Plan

- Contexte

- Motivation
- Développements similaires
- Points clés du développement
- Continuité par rapport aux actions réseau DAQ
- Organisation du développement
- Status
- Ouverture vers autres réseaux
- Élargissement

- Développement

- Architecture du système
- Développements requis
- Difficultés rencontrées
- Réorientation développements
- Status
- Accessibilité des résultats

Motivations

Fédérer le savoir faire xTCA du réseau DAQ dans un objet concret

Permettre aux nouveaux groupes souhaitant développer dans ce standard d'accélérer la prise en main

- Hardware, firmware, software librement accessible

Servir de plate-forme de développement rapide

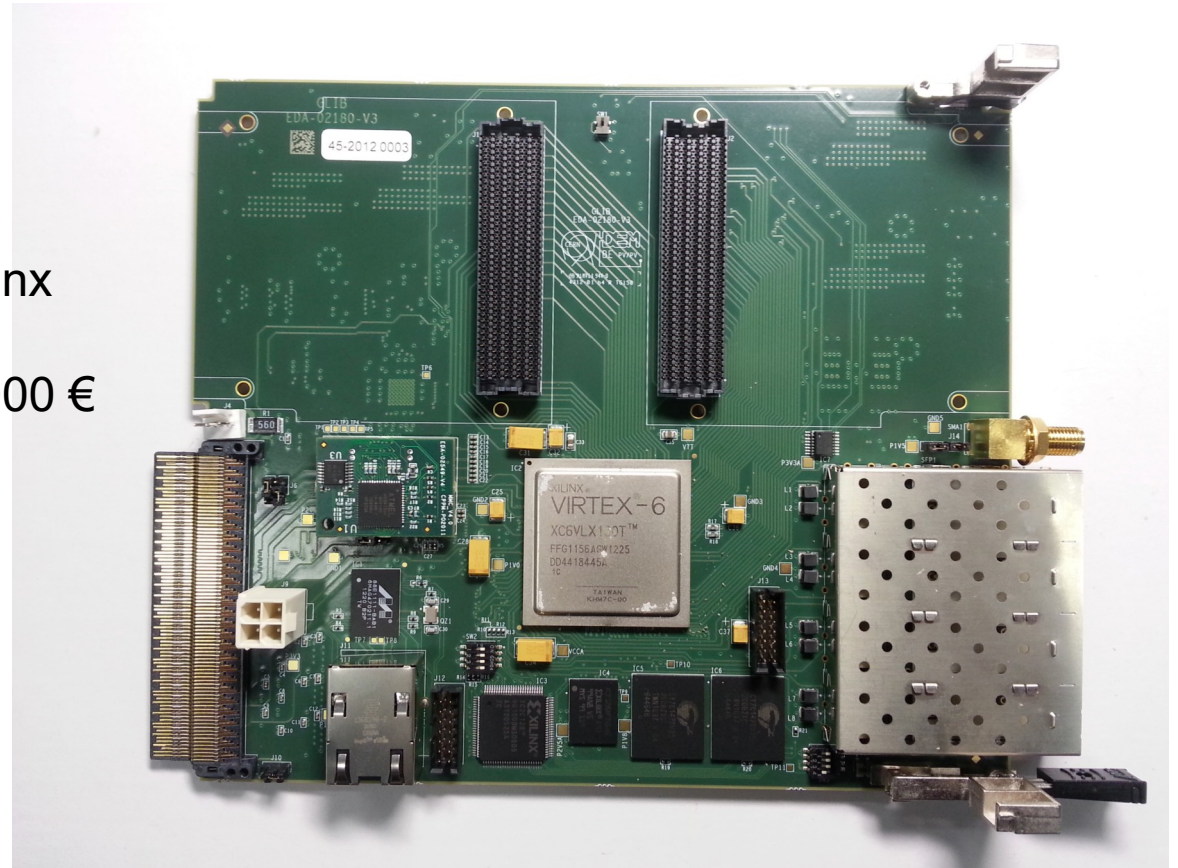
Servir de plate-forme de référence pour les solutions communes déjà choisies par le réseau

Ouverture vers les autres réseaux

Développements similaires

Carte GLIB du CERN

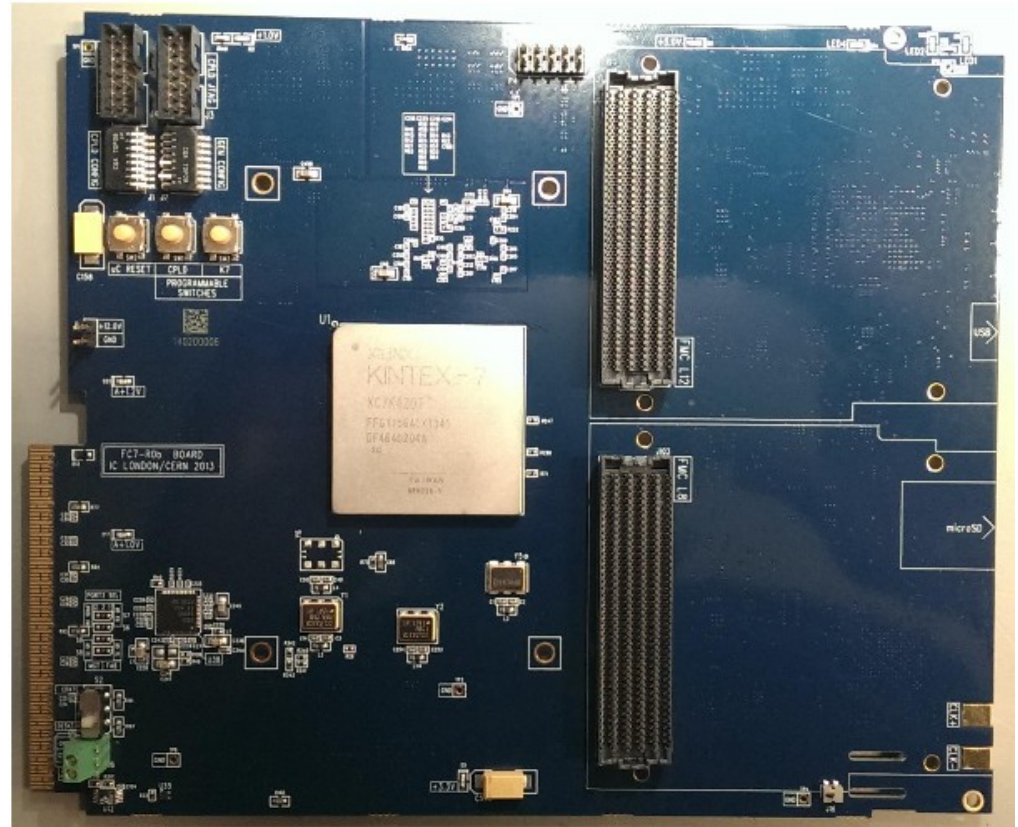
- 2 connecteurs FMC
- 4 E/S SFP+ natives
- 2*2 Mbytes DRAM
- FPGA Virtex 6 (XC6VLX130T) de Xilinx 128 kLE
- Coût approximatif : 3000 €



Développements similaires

Carte FC7 du CERN

- 2 connecteurs FMC
- 4 Gbytes DDR3
- FPGA Kintex 7 (XC7K480T) de Xilinx 478 kLE
- Coût approximatif : 6000 €



Points clés du développement

Par rapport aux solutions décrites précédemment :

- Système d'acquisition complet
- Universalité : Intel/Xilinx
 - Pas d'exclusion d'une partie de la communauté
- Compatible xTCA for Physics

Points clés

- Flexibilité
 - Utilisation de cartes filles du commerce pour customizer
- Modularité
 - Possibilité de construire un DAQ de complexité moyenne par ajustement du nombre de cartes
- Doit adresser tous les points de la chaîne d'acquisition,
 - Interface front-end
 - Distribution temporelle
 - Concentration et acquisition jusqu'au PC
 - Slow control
- **Bas coût**

Continuité par rapport aux actions du réseau DAQ

Travail d'élagage du standard xTCA opéré par le réseau DAQ afin d'augmenter l'interopérabilité des développements

- Solution commune hardware et firmware pour la surveillance en temps réel de l'état du système : IPMI
- Slow control commun : IPbus
- Mode de concentration des données commun : PCIe
- Mode de distribution temporel commun : WR
- Décision de réaliser une carte AMC commune

DAQGEN

- Système commun intégrant l'ensemble de ces concepts

Organisation du développement

Responsabilités initiales

| Tâche | Laboratoire | Contact |
|-----------------------------|-------------|------------------------|
| Spécification du système | CPPM | Jean-Pierre Cachemiche |
| Maîtrise d'oeuvre | LAL | Daniel Charlet |
| Conception carte AMC Intel | LAL | Daniel Charlet |
| Conception carte AMC Xilinx | LPSC | Olivier Bourrion |
| Conception carte 10 GbE | LPC Caen | David Etasse |
| Conception hub WR | LPSC | Olivier Bourrion |
| Intégration et tests | LAL | Daniel Charlet |
| Software IPMI | LPSC | Olivier Bourrion |
| Software Slow Control I2C | LPSC | Damien Tourrès |

- Routage des cartes fait par le laboratoire qui en est responsable

Utilisation de Gitlab pour specs, dessins, nomenclatures, logiciels, etc ...

Utilisation des bibliothèques communes de l'IN2P3

Ouverture vers autres réseaux

Contacts préliminaires établis avant la rédaction de la proposition

- Réseau Informaticiens
- Réseau Contrôle/Commande

Architecture déjà élargie pour prendre en compte les besoins du réseau informatique

- Ajout d'un interfaçage via 40 ou 100 GbE

Elargissement du projet

Participation du CENBG

- Firmwares d'acquisition (Voir présentation de Frédéric Druillolle)

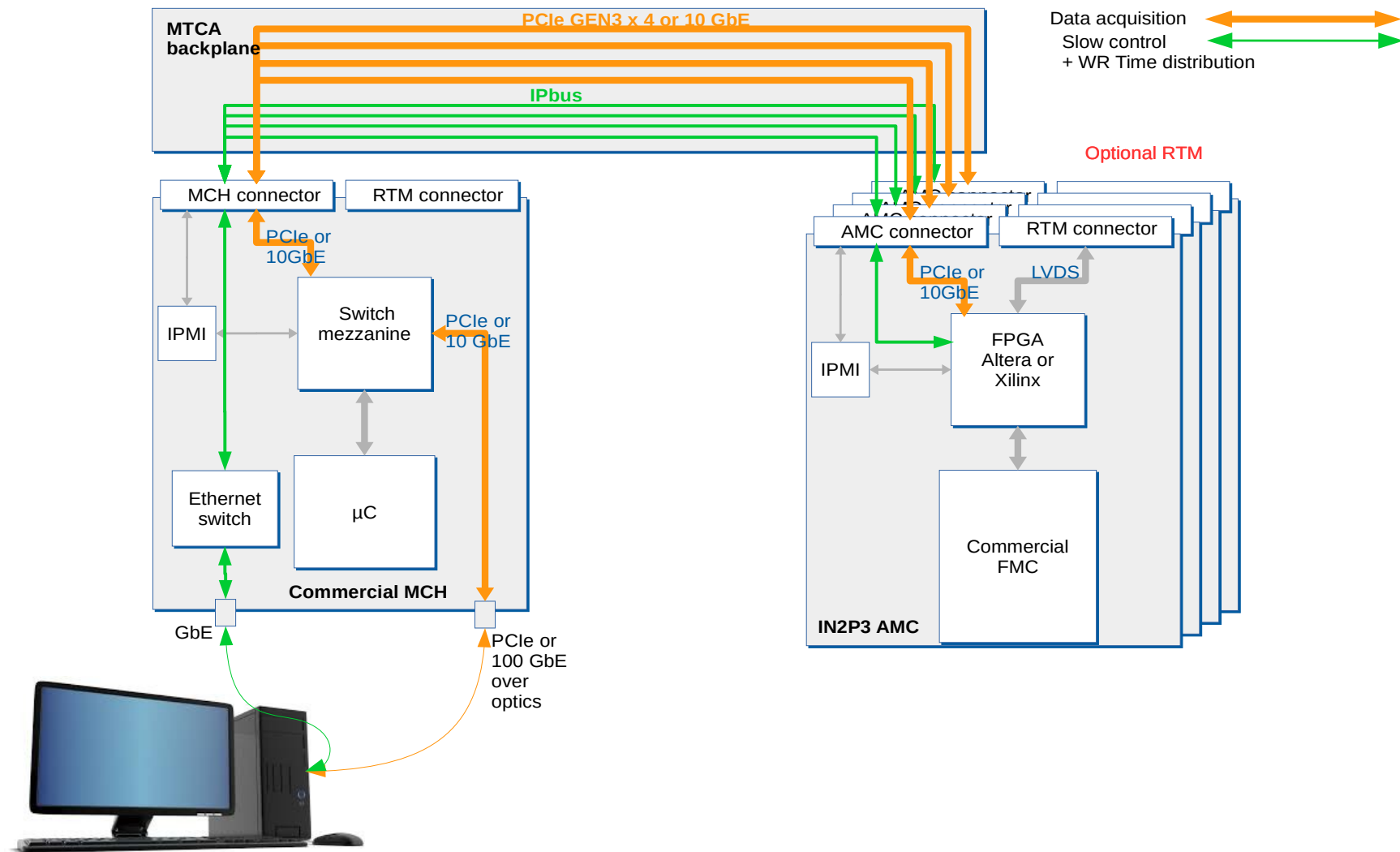
Participation du CSNSM

- ENX : surcouche d'IPbus
- DECOD : ensemble de softwares d'acquisition de haut niveau
- Passerelles vers d'autres systèmes de haut niveau (EPICS, OPC-UA, ...) ?

Participation de l'IPHC

- Bibliothèque de composants réutilisables

Architecture initiale du système



Développements requis

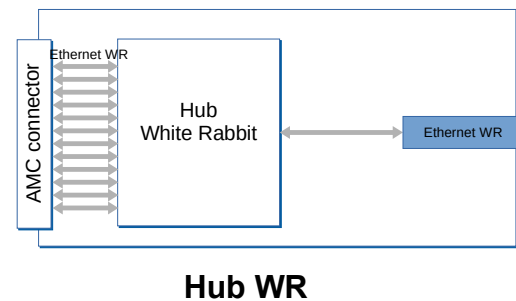
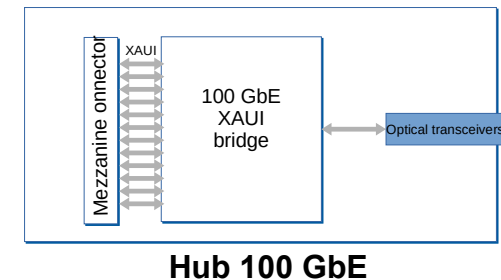
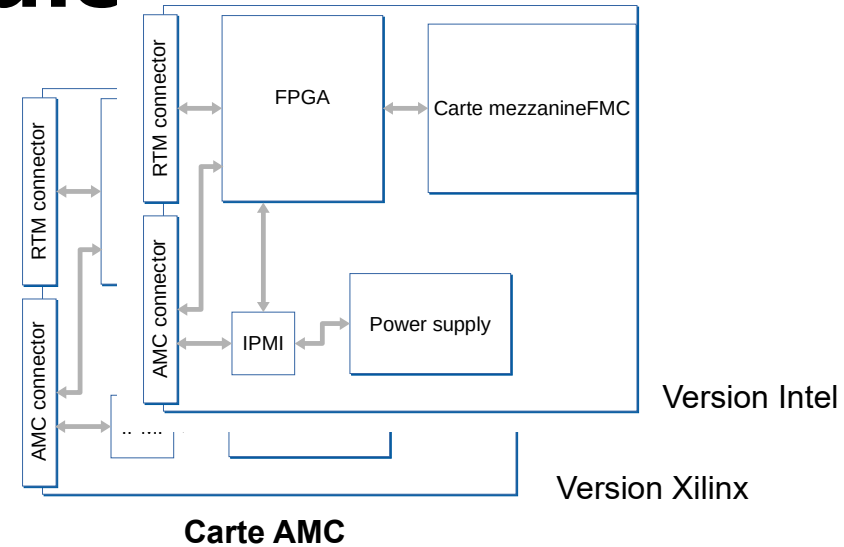
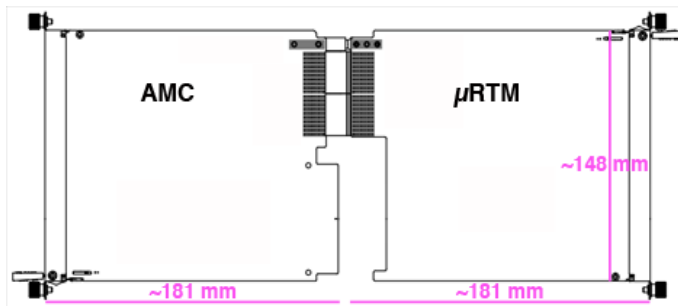
Cartes existantes

- Carte MCH
- Hub PCIe sur MCH

Cartes à développer

- Cartes d'aquisition Intel + Xilinx
- Carte Hub 40 ou 100 GbE
 - En carte fille de la carte MCH
- Carte Hub White Rabbit

Format



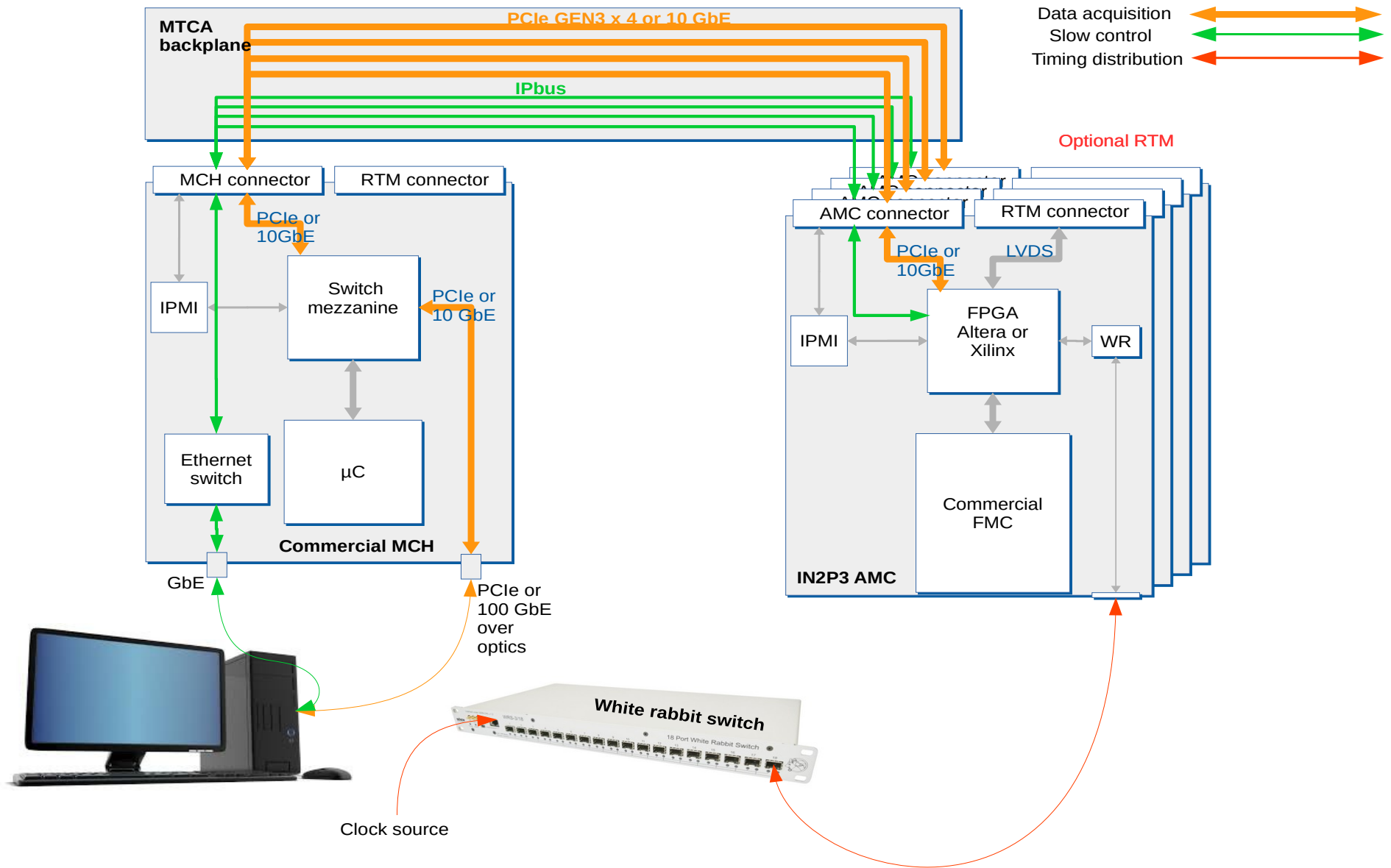
Difficultés rencontrées

Distribution temporelle

- Basée sur White Rabbit
- Facilement superposable sur IPbus, même si pas d'implémentation connue
- Mais besoin d'un hub WR
- 4 solutions possibles :
 - Développement d'une carte hub WR sur slot MCH distribuant directement les clocks sur backplane
 - ➔ Peu précis – requiert une caractérisation de chaque backplane
 - Développement d'une carte hub WR sur slot MCH et propageant WR jusqu'aux cartes AMC
 - ➔ Développements faits au CERN difficilement récupérables - peu documenté.
 - WR inclus sur carte MCH du commerce
 - ➔ Aucun fabricant trouvé – NAT intéressé mais a abandonné pour les raisons citées plus haut.
 - Hub WR externe de Seven solutions
 - ➔ **Solution actuelle**
 - ➔ En fait carte AMC encapsulée



Architecture modifiée



Réorientation développement

Hub 100G Ethernet

- Pré-étude commencée mais ...
- Annonce pour fin d'année d'une carte NAT avec 12 interfaces 10 GbE sur backplane et une interface 100GbE
 - **Développement arrêté**
- Développement d'une carte basée sur un MPPA Kalray annoncé par LPC Caen
 - **Conception et financement en dehors de DAQGEN**
 - Mais compatibilité fonctionnelle avec DAQGEN
 - Peut interfacer un bus 40/100GbE en effectuant des traitements parallèles massifs auparavant.

Développement d'une carte ADC

- Format FMC, connectable sur IDROGEN
- 10 Giga Samples par seconde
- Dynamique = 14 bits

Status

Cartes d'acquisition

- IDROGEN (Intel Data Read Out for DAQGen)
 - Debug en cours (voir présentation Daniel Charlet)
- OXIGEN (read Out Xilinx for DAQGen)
 - Démarrage prévu automne 2019

Software

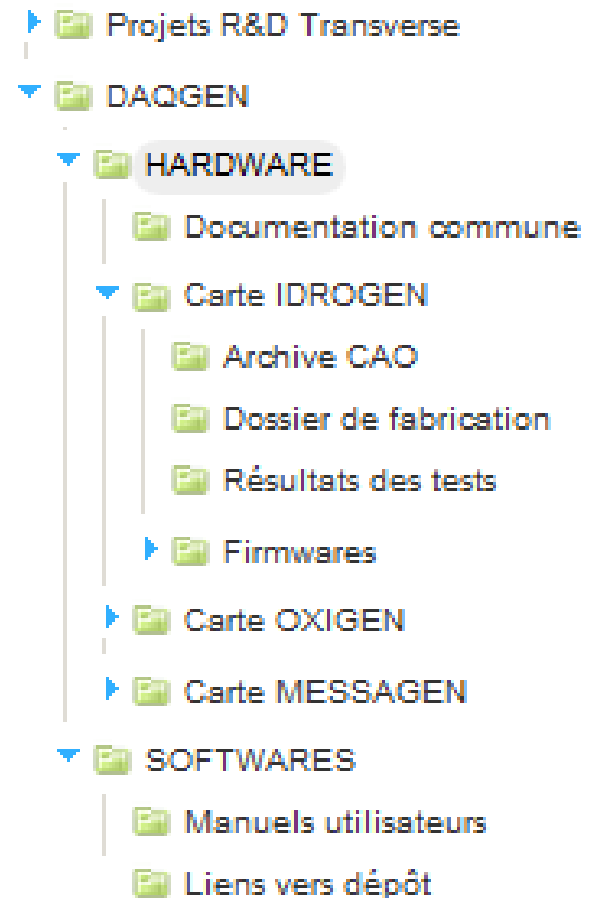
- Slow Control IP bus
 - Disponible (voir présentation Olivier Bourrion)
- Supervision de l'état du système via IPMI
 - Disponible (voir présentation Damien Tourrès)
- Slow control IPMI
 - Disponible (voir présentation Chafik Chekali / Daniel Charlet)
- PCIe
 - En cours (voir présentation Monique Taubira / Daniel Charlet)
- Ethernet
 - A venir (voir présentation Eric Legay)

Projet open source

Documentations accessible sous Atrium

- Open source pour les labos IN2P3
 - Schémas
 - Firmwares
 - Softwares
- Tous les composants basés sur bibliothèque IN2P3

- Documentations :
<https://atrium.in2p3.fr/0aef2c34-81d4-4547-b233-efb57d901b72>
- Git :
<https://gitlab.in2p3.fr/DAQGEN>



Conclusion

Objectifs du projet:

- Fournir un écosystème d'acquisition opérationnel
- Développer les éléments non trouvables dans le commerce
 - Arrêt du développement Messagen
 - Reconcentration des efforts sur le firmware et le software
 - R&D sur concept Kalray

Carte IDROGEN disponible début 2020, OXYGEN fin 2020

Plusieurs projets pourraient utiliser DAQGEN sous sa forme actuelle ou modifiée

- Nebula II
- Temporal
- PICMIC
- Imagerie médicale