

Projets CERN

Le pôle est présent au CERN sur 4 expériences LHC et sur le projet ProtoDUNE

□ LHC

- Upgrade phase 1 (2019 – 2020):
 - LHCb → « PACIFIC »
 - Alice → « FEERIC »
- Upgrade phase 2 (2024 – 2026):
 - Atlas → « FATALIC »
 - Atlas → « ALTIROC »
 - CMS → « CIC »
 - CMS → « CRONOTIC »

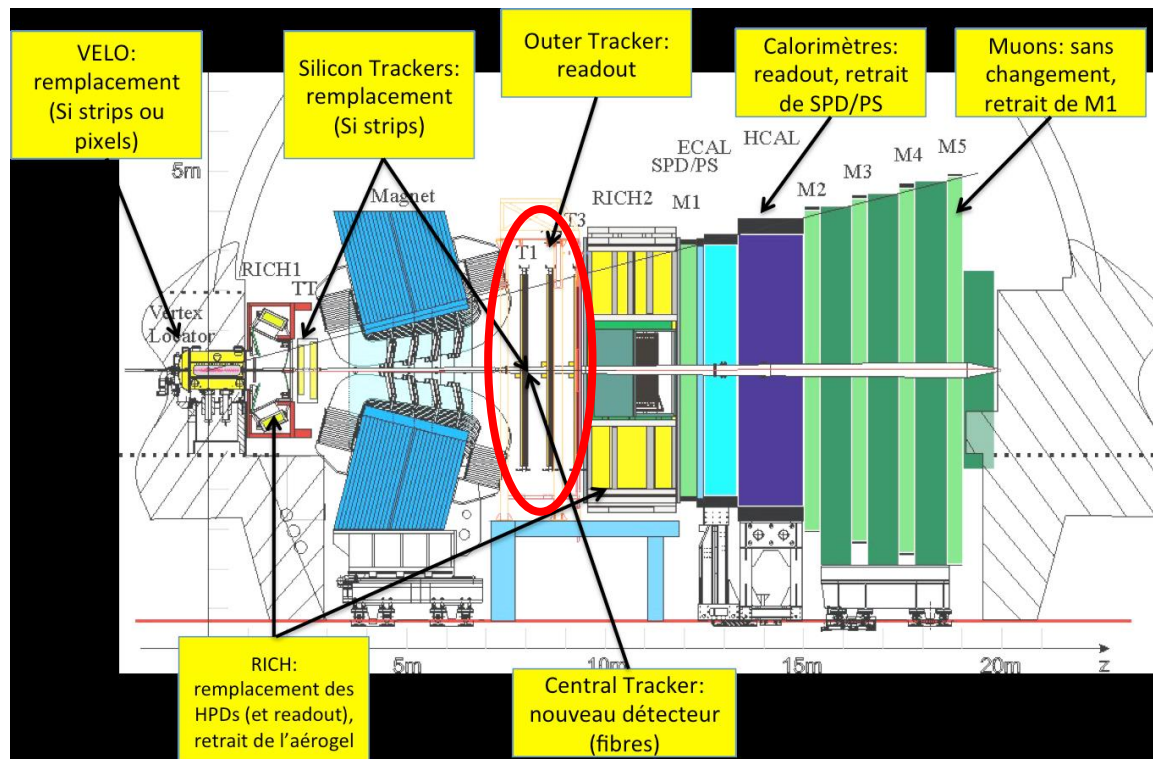
□ ProtoDUNE

- LARZIC

Upgrade phase 1

PACIFIC - Contexte

- ❑ Le circuit Pacific est destiné au futur tracker à fibre scintillante (SciFi) de l'expérience LHCb
→ Ce circuit doit mettre en forme puis convertir le signal issu de bloc SiPM avant de le transmettre à un FPGA pour traitement numérique
- ❑ Collaboration entre les Universités de Barcelone, de Valence, de Heidelberg et le pôle MicRhAu;
- ❑ Manpower: 3 Ingénieurs du Pôle MicRhAu (2012 – 2017)
- ❑ Projet démarré fin 2012 pour une installation en Upgrade Phase 1.



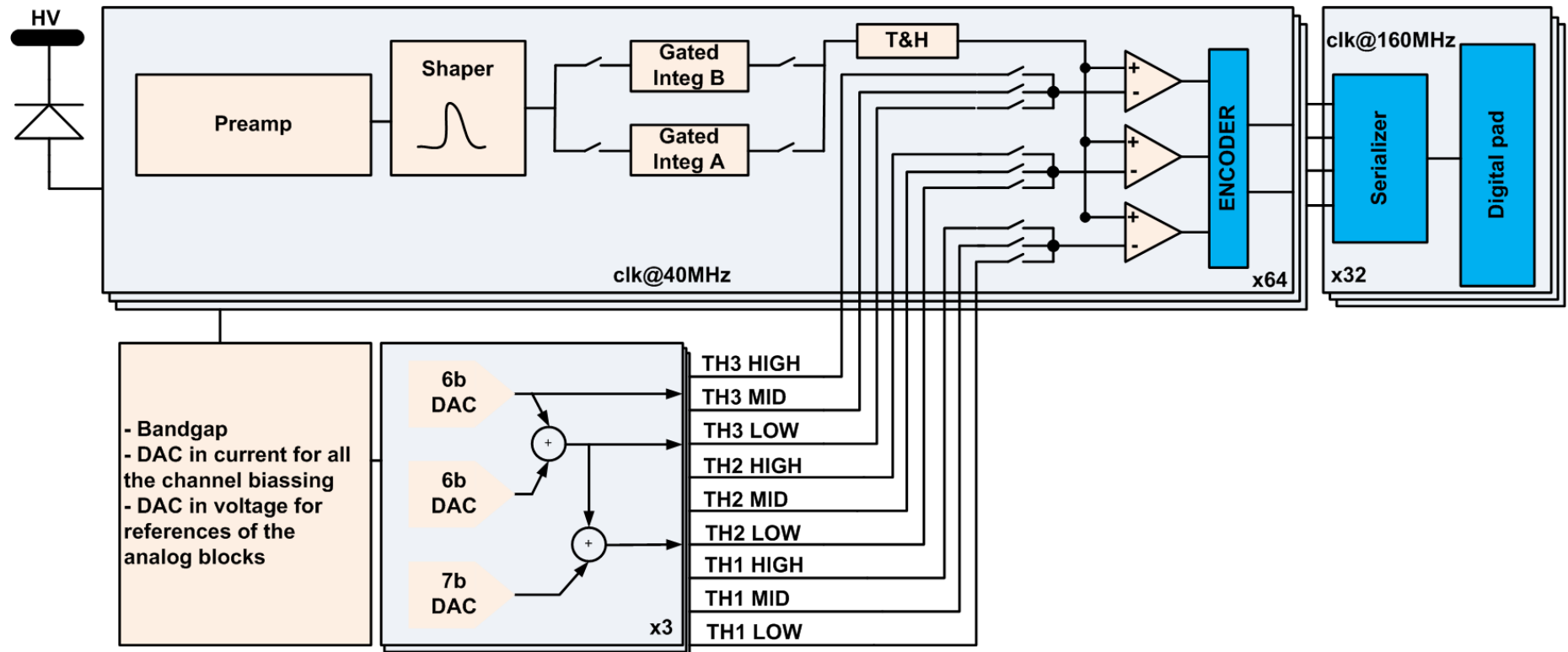
PACIFIC - Spécifications

- ❑ La finalité du circuit Pacific est de mesurer le signal issu du bloc SIPM

Technologie	0.13 μm CMOS TSMC
Nombre de voies par ASIC	64
Nombre de voies de mesure	300 000
Puissance	$< 10 \text{ mW/ch}$
Gamme dynamique	1 à 21 photo-électrons
Résolution ADC	2 bits non linéaire à 40MHz
Rapport signal à bruit	> 10

PACIFIC - Synoptique

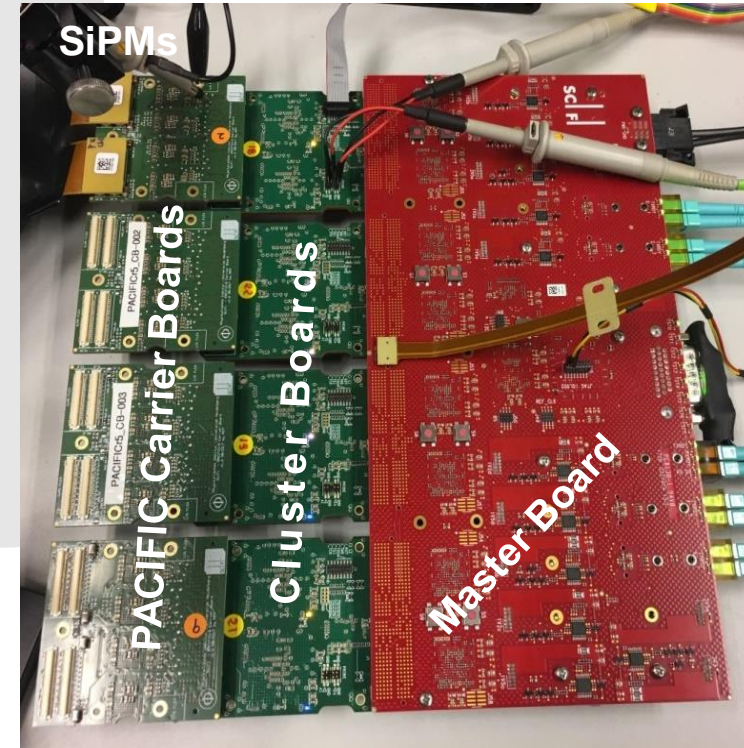
- ❑ L'Asic est constitué d'un préamplificateur en courant suivi d'un shaper, de 2 "gated" intégrateurs et d'un adc 2 bits
- ❑ Fenêtre d'intégration stable ≥ 15 ns avec moins de 10% de débordement
- ❑ Shaper paramétrable pour assurer la compatibilité avec SiPM (gain, polarisation...)



PACIFIC - bilan et résultats

Test d'une front end box complète pour valider la chaîne de lecture complète Juillet 2017:

- SiPM finaux
- 4x Pacific5 sur les Carrier Boards
- Cluster Boards (prétraitement des données)
- Master Board (envoi des données vers le système miniDAQ)
- LIS: système d'injection de lumière (calibre l'électronique à travers le SiPM)
- miniDAQ: système de lecture final du détecteur

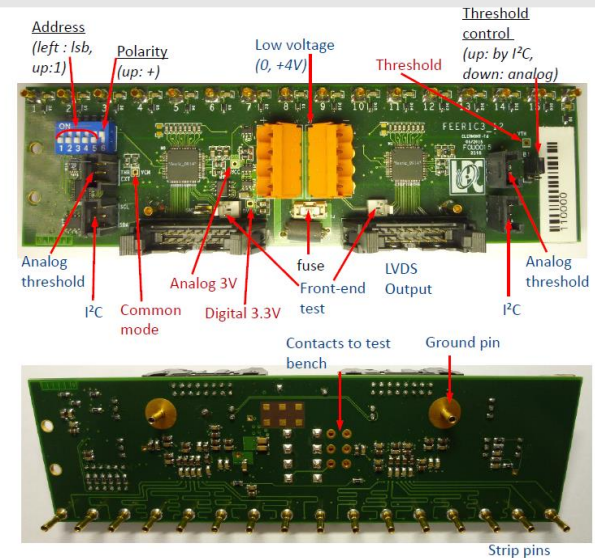
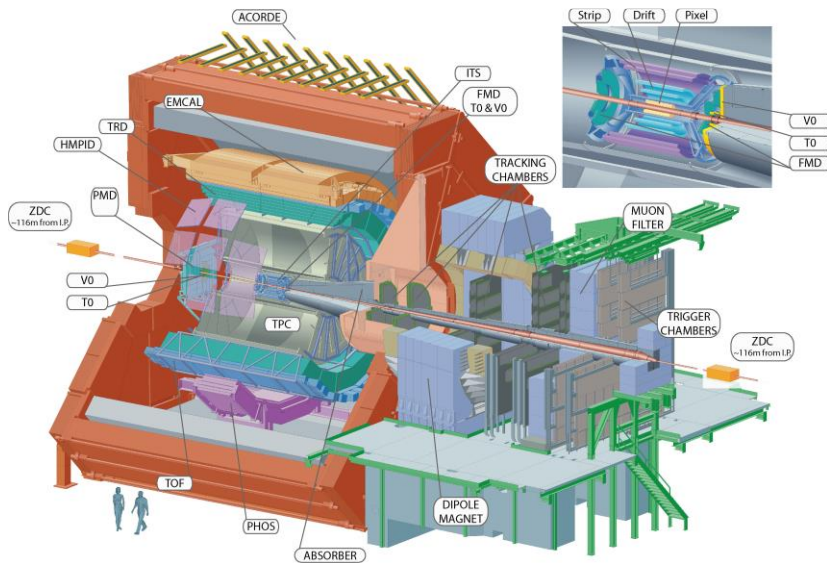


Front-end box complète

- ❑ 2 Publications (2015 et 2016)
- ❑ PRR en septembre 2017
- ❑ Production 20k ASICs début 2018
- ❑ Installation des premiers modules d'électronique (front end box) Juin 2019

FEERIC - Contexte

- ❑ Mise à niveau de l'électronique des chambres RPC à muons du détecteur ALICE
- ❑ Développement de FEERIC pour répondre aux évolutions du cahier des charges notamment au **vieillessement trop rapide des RPCs** pour l'upgrade du LHC (2020)
- ❑ Solution: **baisse de la haute tension**, donc nécessité d'une électronique avec amplification
- ❑ 21 000 voies de mesures et 2400 cartes
- ❑ Collaboration avec INFN Turin
- ❑ Production FEERIC : 45k€
- ❑ Manpower: 2 ingénieurs MicRhAu (2013-2015)



Configuration switches, connectors and test points

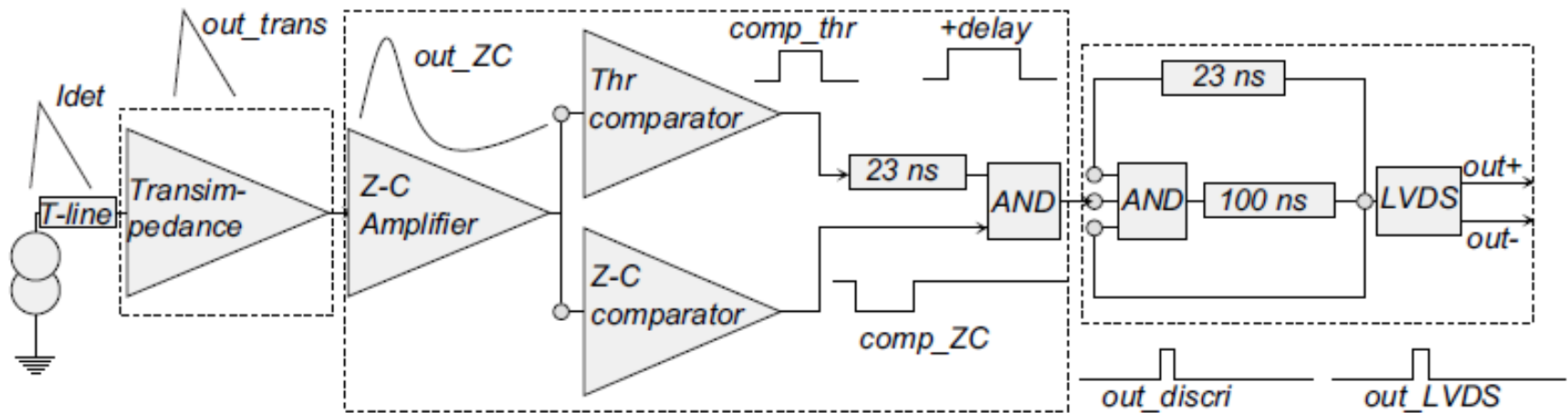
FEERIC - Spécifications

- ❑ FEERIC doit réaliser une **mesure de temps**
- ❑ Mise en œuvre d'un système de «one shot» qui empêche le redéclenchement de la voie touchée pendant 100ns

Technologie	0.35 μm CMOS
Nombre de voies par ASIC	8
Polarité	\pm
Gamme dynamique	Q=20 fC-3 pC
Bruit (rms)	< 2 fC
Puissance	< 100 mW/ch
Tension d'alimentation	3 V
One-shot	oui (100ns)
Jitter (rms)	< 1 ns for Q > 100 fC
Time walk	< 2 ns for Q > 100 fC
Format de sortie	LVDS, 23 \pm 2 ns
Gain	1 mV/fC
Fonderie	45k €

FEERIC - Synoptique

- ❑ FEERIC est composé de 3 éléments principaux:
 - ❑ 1 amplificateur à transimpédance
 - ❑ 1 discriminateur de type zéro-crossing
 - ❑ 1 fonction «one shot» et un étage de sortie LVDS



FEERIC - bilan et résultats

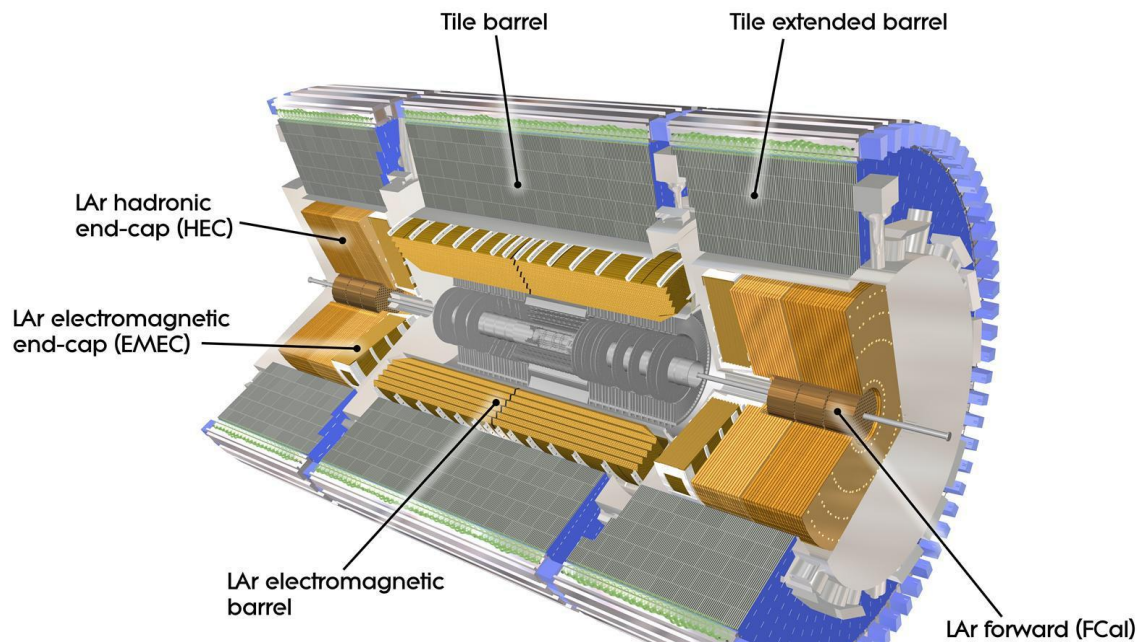
- ❑ Depuis février 2015 une RPC est équipée de 39 cartes FEERIC
- ❑ Baisse de la haute tension de 700-800 V, compatible avec le cahier des charges
- ❑ Production des 4k Asics testée avec 98% de rendement;
- ❑ Procédure de marché public pour fabrication des cartes via CERN début 2017
- ❑ Livraison de la pré-série des cartes à partir de Juin 2017
- ❑ Dernier batch de la production livrée début Janvier 2018 (société Italienne)
- ❑ 2 Conférences (NSS 2013 - RPC 2014)



Upgrade phase 2

FATALIC - Contexte

- ❑ **Mise à niveau de l'électronique** pour la lecture des 10k voies de mesure du calorimètre hadronique (Tuiles + PMT), solution discrète implémentée actuellement
→ Développement de FATALIC adapté à la haute luminosité de HL-LHC
- ❑ **3 solutions concurrentes** développées: Chicago (électronique discrète), Argonne (QIE) et Clermont (FATALIC5)
- ❑ Fonderie Fatalic5 19k€
- ❑ Manpower: 4 ingénieurs du pôle MicRhAu. (2016 - 2018)



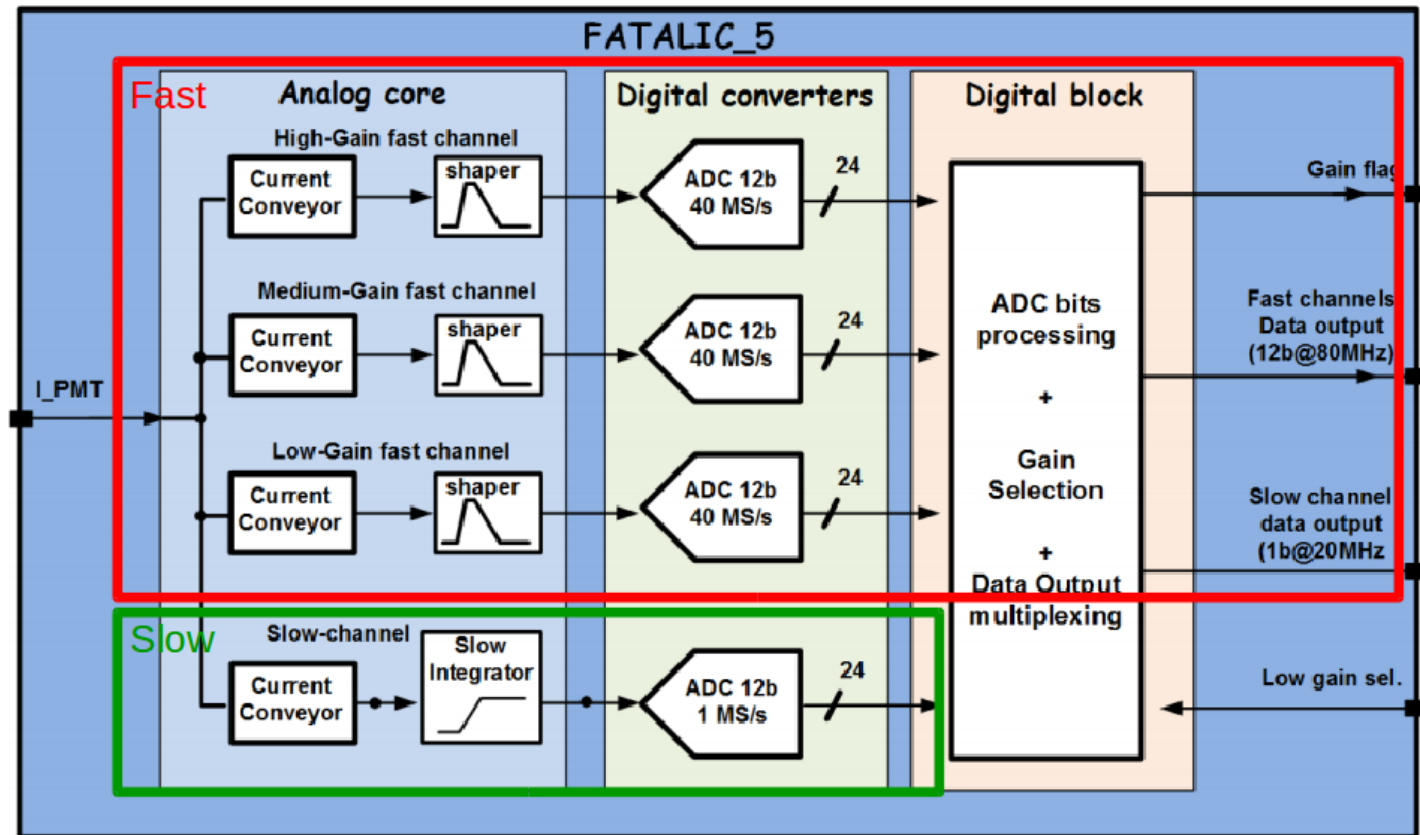
FATALIC - Spécifications

- ❑ FATALIC permet une mesure de l'amplitude et du temps;
 - ❑ Physique: **voie rapide** qui fournit deux mots sur 12 bits, toutes les 25 ns
→ Reconstitution de la pulse en courant lié à l'énergie de la particule
 - ❑ Calibration détecteur et monitoring du faisceau: **voie lente** qui fournit un mot de 12 bits toutes les μ s (besoin apparue en 2016).

Technologie	TSMC 130nm CMOS
Nombre de voies par ASIC	1
Polarité	Négative, PMT
Voie rapide, gamme dynamique	Q = 25 fC-1.2 nC
Voie rapide, Bruit (rms)	<12 fC
Voie lente, gamme dynamique	I = 0.5 nA-1.5A
Voie lente, bruit (rms)	0.25 nA
Puissance	200 mW
Tension d'alimentation	1,6V
Format de sortie	Mot de 12 bits

FATALIC - Synoptique

- ❑ FATALIC est composé de 3 éléments principaux:
 - ❑ Quatre convoyeurs de courant;
 - ❑ Quatre intégrateurs;
 - ❑ Quatre ADC pipeline 12 bits suivis d'un multiplexeur.



FATALIC - bilan et résultats

- ❑ Campagne intensive de test en faisceau en 2017:
 - ❑ **Voie rapide:** très bonne performances de l'ASIC, la linéarité et le bruit sur les trois gains remplissent le cahier des charges
 - ❑ **Voie lente:** bruit trop élevé (5nA au lieu de 1nA) par rapport aux spec.
- ❑ Option FATALIC non retenue durant l'été 2017 par la collaboration, solution discrète retenue
- ❑ Travaux publiés dans la revue JINST en 2018

Jinst

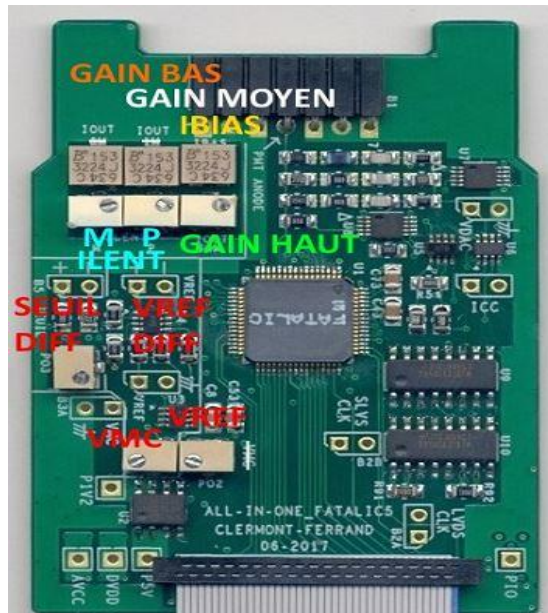
PUBLISHED BY IOP PUBLISHING FOR SISSA MEDIALAB

RECEIVED: September 14, 2018

REVISED: November 12, 2018

ACCEPTED: November 26, 2018

PUBLISHED: December 10, 2018



FATALIC: a novel CMOS front-end readout ASIC for the ATLAS Tile Calorimeter

S. Angelidakis,¹ W.M. Barbe, R. Bonnefoy, H. Chanal, C. Fayard, R. Madar,¹ S. Manen, M.-L. Mercier, E. Nibigira, D. Pallin, N. Pillet, L. Royer, A. Soulier, R. Vandaële and F. Vazeille

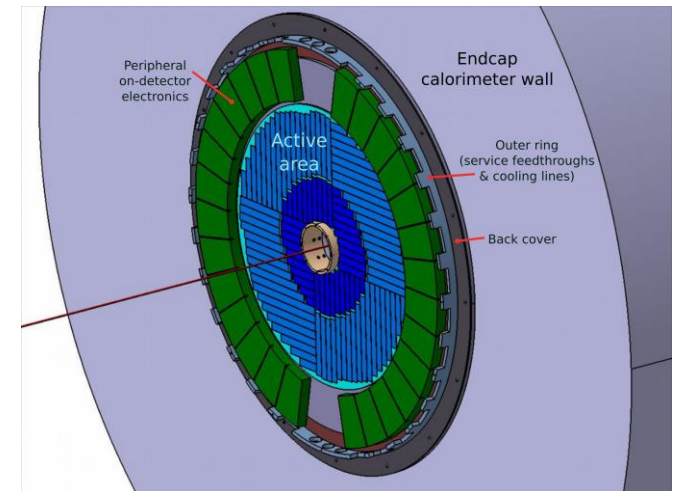
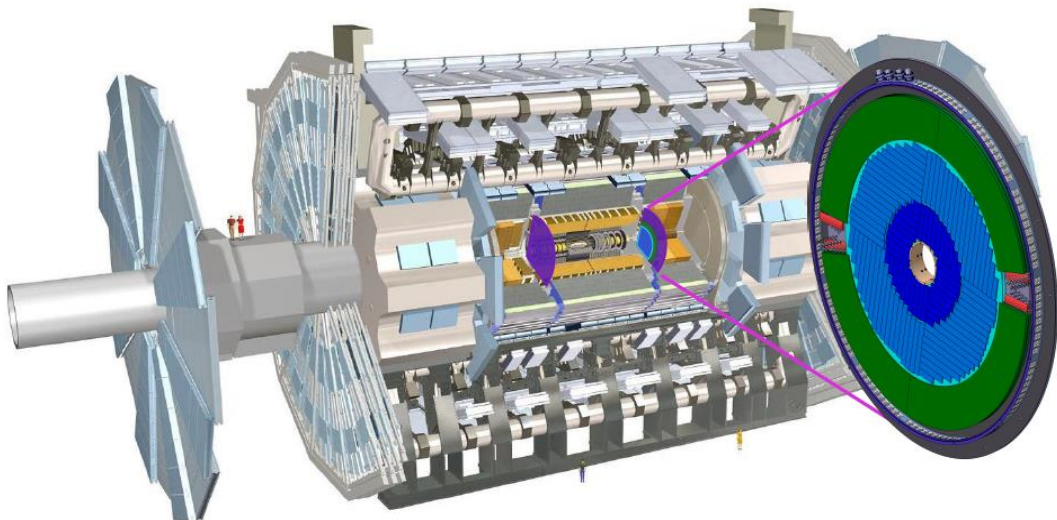
Laboratoire de Physique de Clermont-Ferrand, CNRS/IN2P3, Université Clermont Auvergne, 4 avenue Blaise Pascal, Aubière, France

E-mail: Stylios.Angelidakis@cern.ch, romain.madar@clermont.in2p3.fr

ABSTRACT: The present article introduces a novel ASIC architecture, designed in the context of the ATLAS Tile Calorimeter upgrade program for the High-Luminosity phase of the Large Hadron Collider at CERN. The architecture is based on radiation-tolerant 130 nm Complementary Metal-Oxide-Semiconductor technology, embedding both analog and digital processing of detector signals. A detailed description of the ASIC is given in terms of motivation, design characteristics, simulated and measured performance. Experimental studies, based on 24 prototype chips under real particle beam conditions are also presented in order to demonstrate the potential of the architecture as a reliable front-end readout electronic solution.

ALTIROC - Contexte

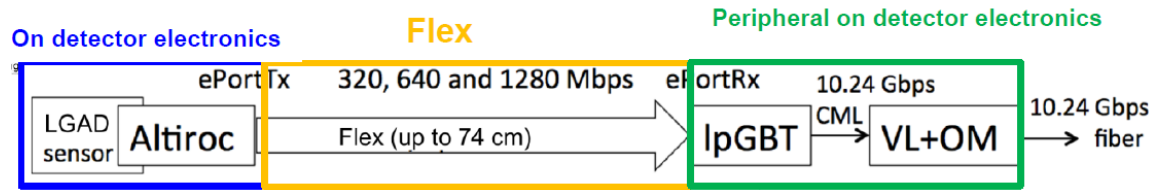
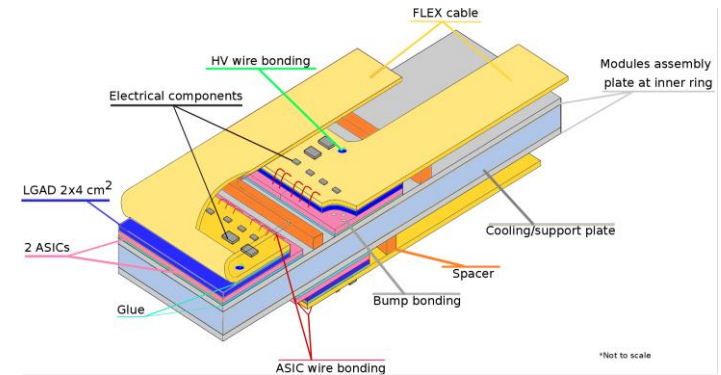
- ❑ HL-LHC, intégration d'un nouveau détecteur (HGTD: High Granularity Timing Detector) permettant une **mesure précise des temps de traces**,
 - Résolution envisagée de lecture par trace de **30ps**
- ❑ Détecteur composé de 4 couches de silicium de type LGAD (Low Gain Avalanche Detector)
- ❑ Surface de détection 6,3m²
- ❑ Détecteurs lus par des Asics dédiés: Altiroc
- ❑ Design de l'Asic: Omega, IFAE (Barcelone), SLAC (Stanford), Pôle MicRhAu depuis 09/2018.



ALTIROC - Spécifications

Points clés du cahier des charges

- ❑ Tolérance aux radiations (TID 500Mrad)
- ❑ Circuit **multi-voies** (225 voies)
- ❑ Budget puissance limité à **5mW/voies**
- ❑ Technologie TSMC 130nm CMOS



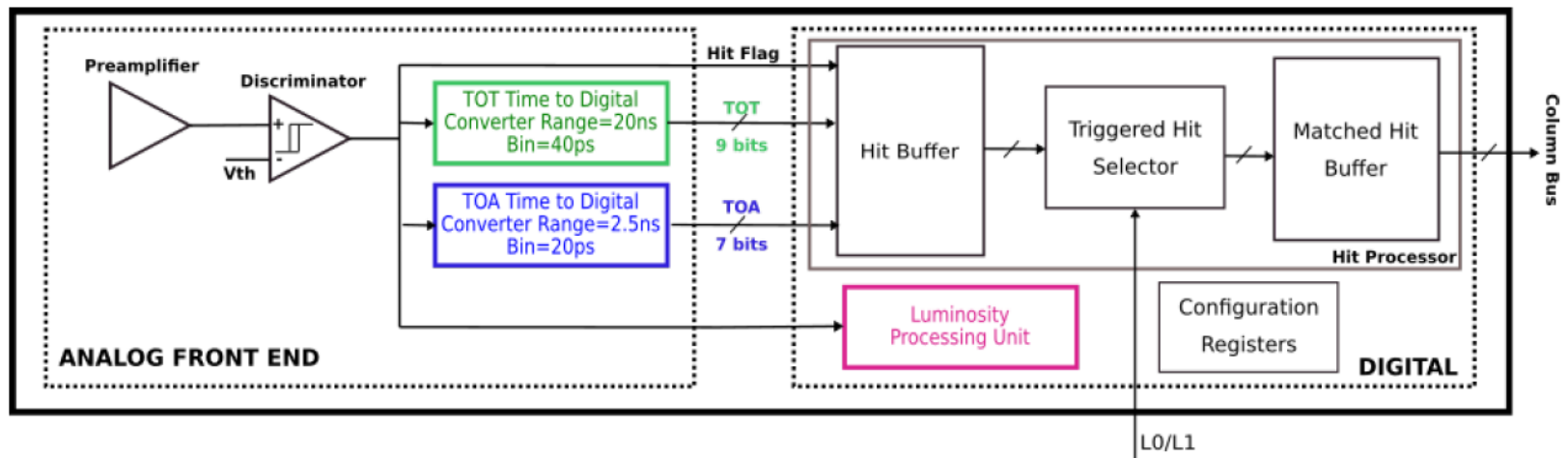
TID tolerance	Inner region: 4.7 MGy Outer region: 2.0 MGy
Pad size	$1.3 \times 1.3 \text{mm}^2$
Voltage	1.2 V
Power dissipation per area (per ASIC)	300 mW/cm^2 (1.2 W)
e-link driver bandwidth	320 Mb/s, 640 Mb/s or 1.28 Gb/s
Temperature range	-40°C to 40°C
SEU probability	$< 5\%/hour$

Maximum leakage current	$5\mu\text{A}$
Single pad noise (ENC)	$< 1500 e^-$
Minimum threshold	1.5 fC
Threshold dispersion after tuning	10%
Maximum jitter	25 ps (40 ps) at 10 fC (5 fC)
TDC contribution	< 6 ps
Time walk contribution	< 10 ps
Dynamic range	100 fC
TDC conversion time	< 25 ns
Trigger rate	1 MHz L0 - 0.8 MHz L1
Trigger latency	10 μs L0 or 35 μs L1
Clock phase adjustment	100 ps

ALTIROC - Synoptique

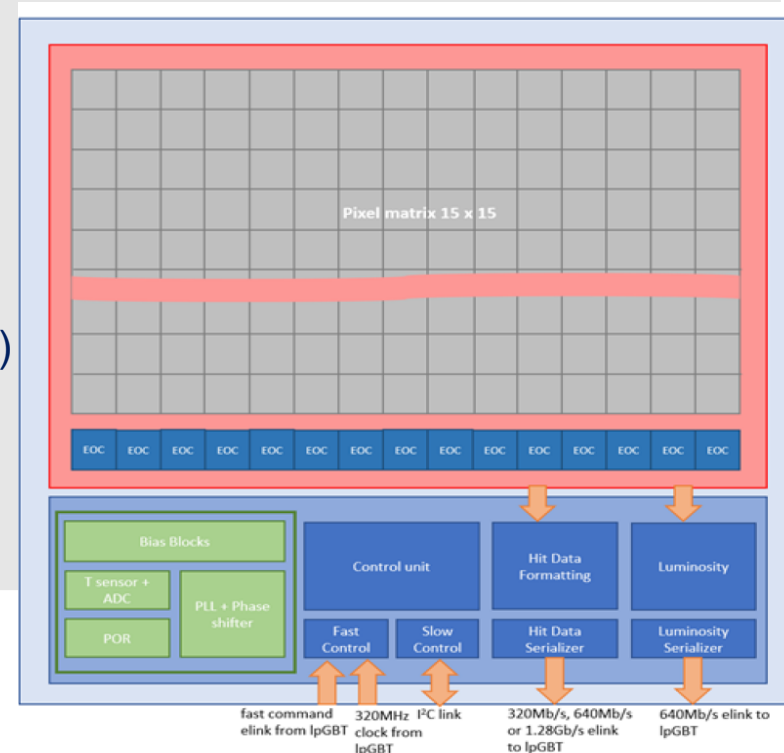
La voie de mesure d'Altiroc2 sera constituée de 2 parties principales:

- ❑ Une partie dite « **analogique** » comprend un préamplificateur, un discriminateur, 2 TDCs et une SRAM.
 - 1er TDC permet une mesure du TOA (temps d'arrivée).
 - Second TDC permet une mesure du TOT (temps au-dessus du seuil).
- ❑ Une partie dite « **digitale** » permet d'extraire deux informations, une information de temps et une information de luminosité.



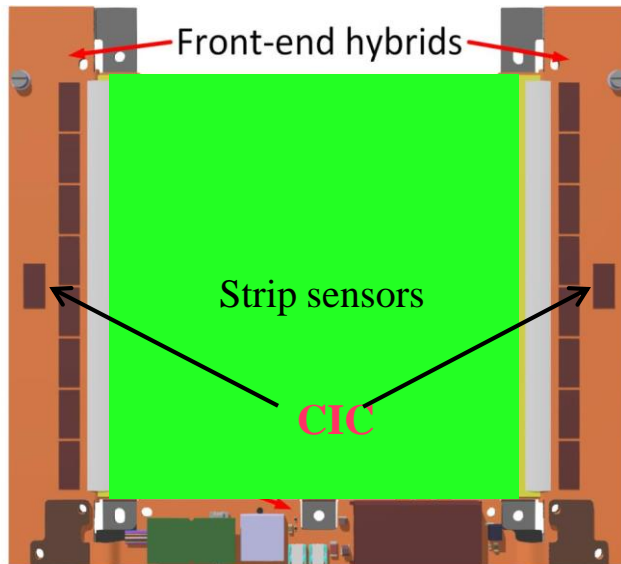
ALTIROC – Bilan et perspectives

- ❑ Une premier Asic (Altic) a été envoyé en fonderie en février 2019.
- ❑ Il comprend un esclave I2C tripliqué et plusieurs versions de sondes de température.
- ❑ Cet Asic sera irradié fin juin au CERN. Un environnement de tests est en cours de fabrication.
- ❑ Envoi du circuit 225 voies **fin 2019**.
- ❑ Le pôle MicRhAu est en charge:
 - De la mise en œuvre du flot « Digital on Top »
 - Mise en œuvre outils collaboratifs (SOS et Git)
 - Qualification de l'outil Liberate
 - Design de la SRAM



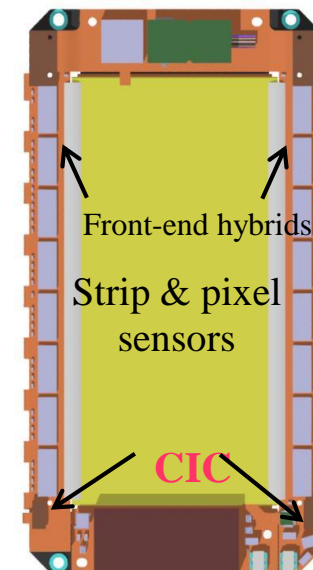
CIC - Contexte

- ❑ Pour le tracker CMS composé de 2 modules avec 2 capteurs différents (2S et PS)
- ❑ Chaque module est équipé d'un ASIC (CBC pour 2S et MPA/SSA pour PS) avec un format de **données de sortie différent**;
- ❑ Le circuit **CIC doit collecter, trier et formater les données numériques** issues de ces 2 Asics et les transmettre au IpGBT.
- ❑ Il y a 2 ASICS CIC par module regroupant 8 chips Front End (CBC ou MPA);
- ❑ Projet dirigé par l'IPNL depuis 2012. Le CERN collabore plus fortement à ce développement depuis mi-2018.
- ❑ Manpower: 3 Ingénieurs du Pôle MicRhAu



2S module (top view)

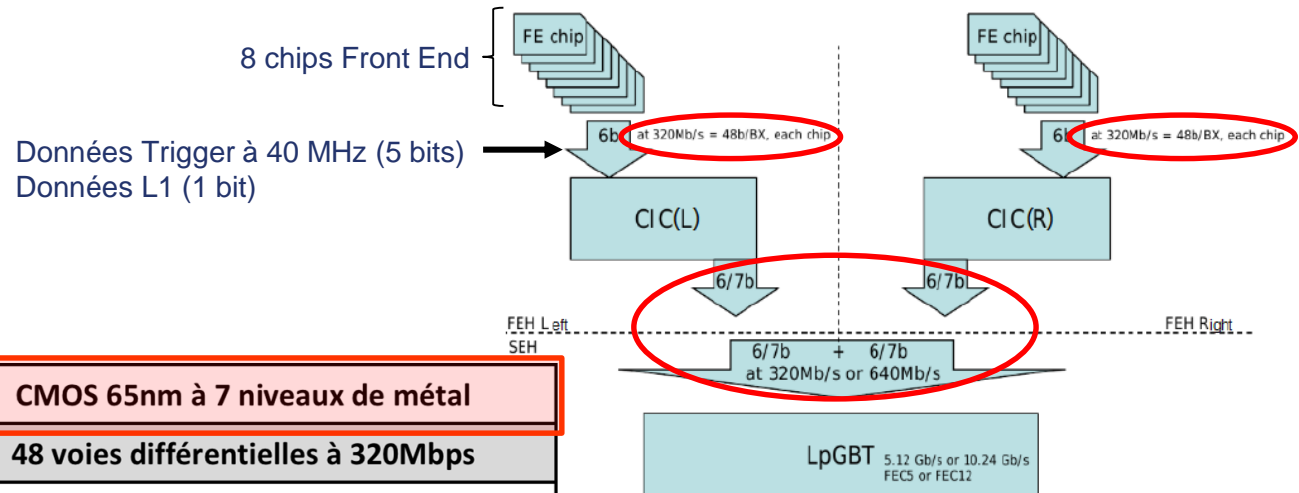
Images courtesy of Mark Kovacs



PS module (top view)

CIC - Spécifications

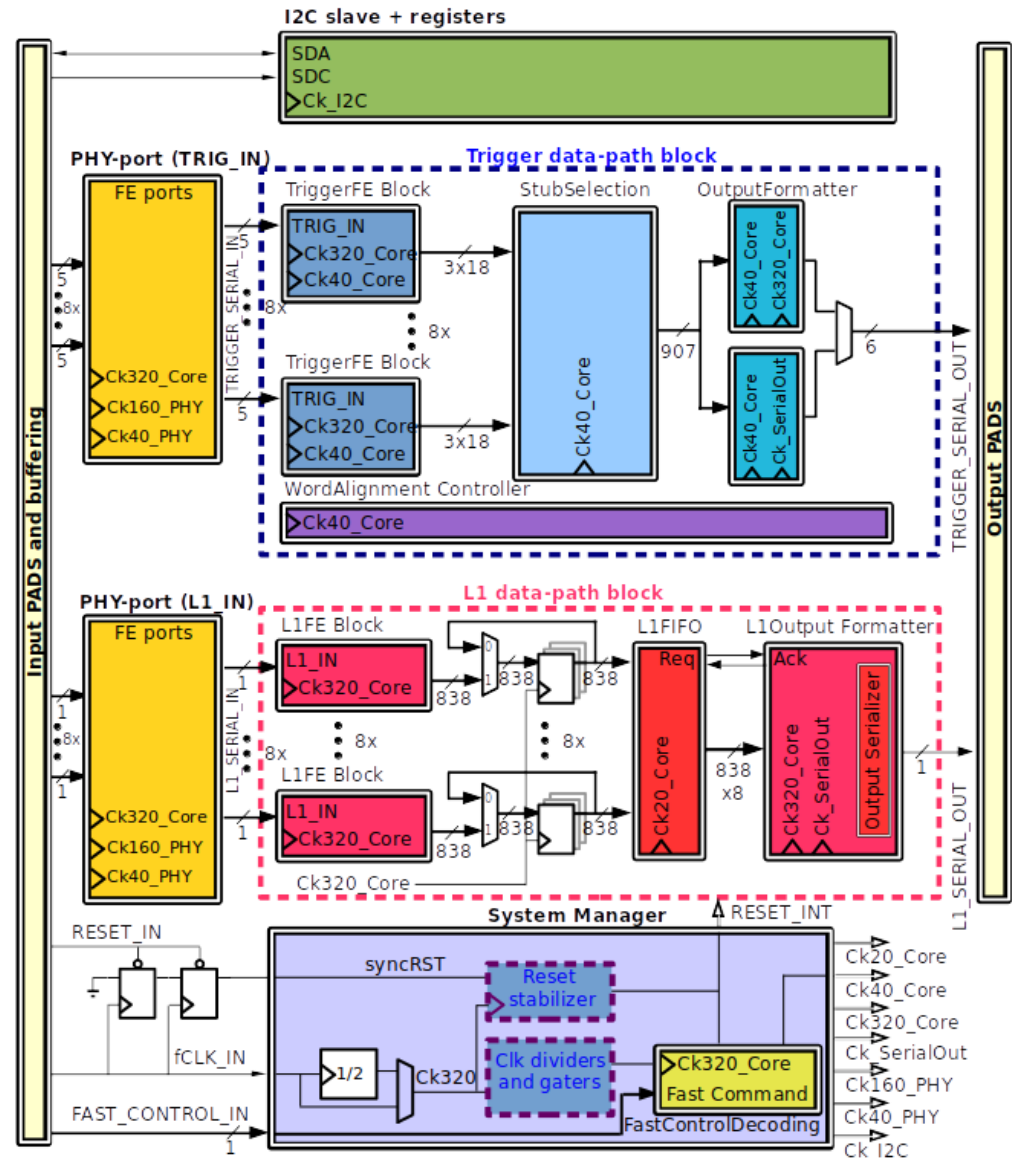
- ❑ **Deux configurations différentes du CIC** doivent permettre de l'adapter aux formats de données des deux types de chips de front-end (ASIC générique)
- ❑ **Réduire le flux de données** de 48 lignes à 320 MHz vers 7 lignes à 320/640 MHz
- ❑ **2 alimentations différentes** suivant le module (1,2V pour module 2S et 1V pour module PS)
- ❑ les ASICs installés sur les modules PS dans les layers plus internes du tracker devront avoir une fréquence d'horloge 2x plus importante (640 MHz en lieu de 320 MHz)



Technologie	CMOS 65nm à 7 niveaux de métal
Entrées	48 voies différentielles à 320Mbps
Sorties	7 voies différentielles at 320/640MHz
Alimentation I/Os	1.2V
Alimentation cœur	1V (PS) ou 1.2V (2S)
Consommation nominale (en mW)	250 (PS) et 310 (2S)
Connectivité	Puce nue avec billes (Flip chip)

CIC - Synoptique

- ❑ 2 chemins de traitement de données indépendants:
 - trigger (stubs à 40MHz)
 - L1 (données brutes jusqu'à 1MHz)
- ❑ Signaux de contrôle rapides (horloges, resets) gérés par un bloc dédié (SystemManager)
- ❑ Communication et envoi de signaux de debug à l'ASIC géré par un bloc de slow control dédié



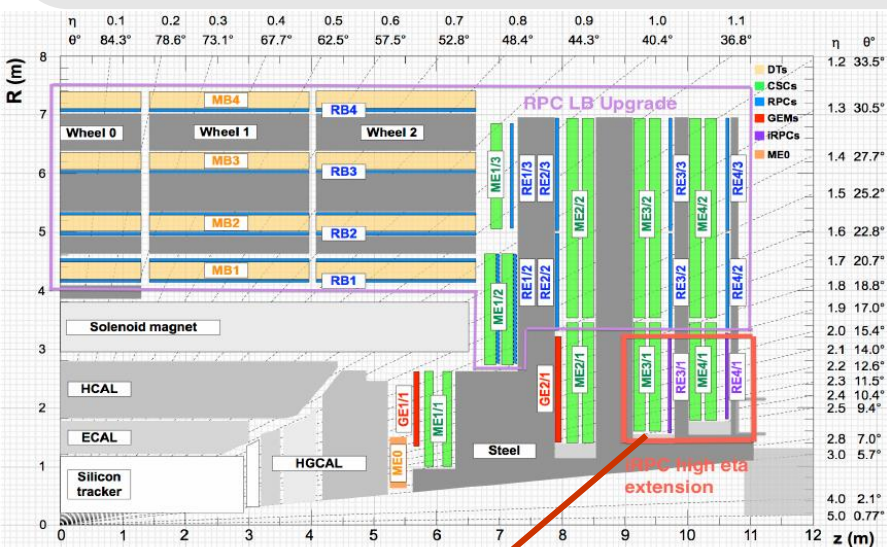
CIC - bilan et résultats

- ❑ **Circuit purement numérique**, complexe
- ❑ **Version 1 de l'ASIC** reçue et testée à l'IPNL en Février 2019 → **Bonne performance**
- ❑ Tests de la **chaîne d'acquisition** avec 8 ASICs de front end (CBCs) et CIC sont en cours au CERN. → **Résultats concluant**
- ❑ 400 puces avec bumps ont été récemment commandées pour être assemblées sur les hybrides au Cern
- ❑ Le design du **CIC2 est en cours**:
 - Triplification de certaines lignes de données pour tenue aux radiations (TID <100Mrad)
 - Soumission prévue 3ème trimestre 2019
 - Les tests prévus début 2020.
- ❑ Pour la suite, des discussions sont en cours actuellement avec le groupe HGCal de CMS pour prendre part au développement de leur concentrateur (même techno, blocs similaires).
- ❑ Un article est présenté sur le site IN2P3 TechNews
 - <http://cnrs-in2p3-tech-news.in2p3.fr/2019/05/concentrator-integrated-chip-une-premiere-version-fonctionnelle-pour-le-futur-agregateur-de-donnees-de-cms/>



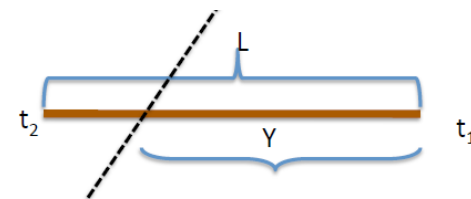
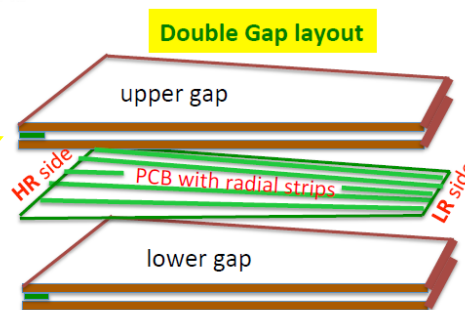
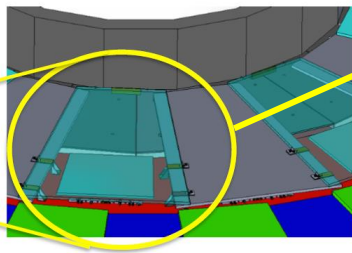
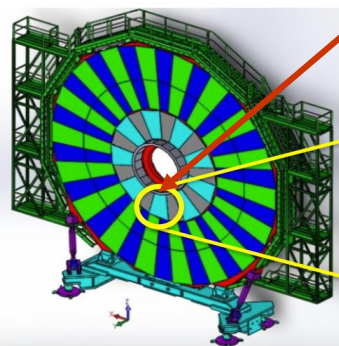
CRONOTIC - Contexte

- ❑ Amélioration des performances des détecteurs à muons de CMS @ HL-LHC
 - ❑ Amélioration de l'efficacité du "muon trigger" au fort angle $\eta \rightarrow$ proche de l'axe du faisceau.
 - ❑ Réduction de la confusion des produits de collisions ("Background").
- ➔ La mesure précise du temps des RPC est primordiale



Le détecteur:

- Utilisation de "double gap RPC" :
- Les pistes sont lues aux deux extrémités (2D readout) avec une électronique FEE à haute résolution temporelle.
- Meilleure précision des coordonnées spatiales $Y = L/2 - v \cdot (t_2 - t_1)/2$ à $\sigma(Y) = v \cdot \sigma(T_2 - T_1)/2$



Dimensions: 165 cm x (63-114) cm

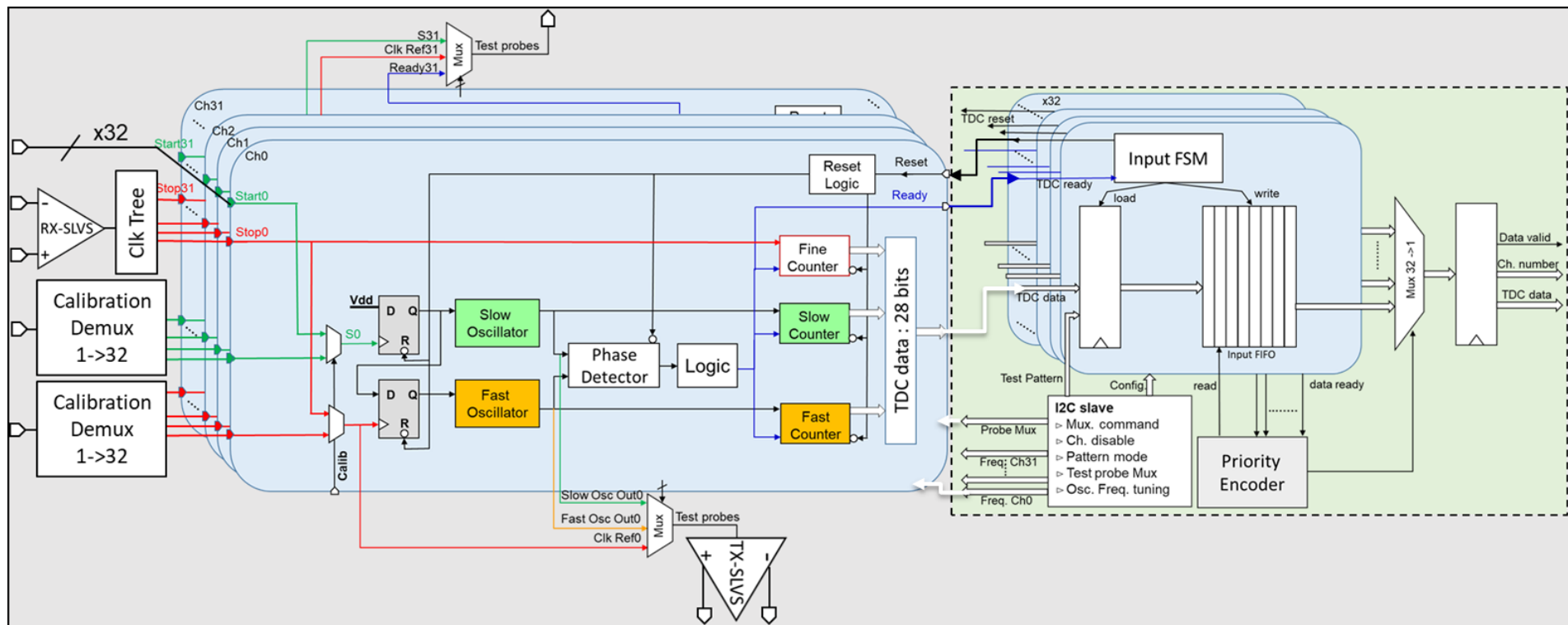
CRONOTIC - Spécifications

- ❑ CRONOTIC2 a pour but d'étiqueter en temps avec précision les muons traversant les RPC
- ❑ Le pas de quantification (LSB) est réglable avec une très grande finesse via une interface I2C
- ❑ Auto-calibration des voies (pas pendant l'expérience)
- ❑ La partie traitement numérique du signal du circuit est tolérante aux radiations (principe de Hamming)
- ❑ CRONOTIC2 sera couplé à une électronique de FEE rapide et bas jitter (actuel FEE : Petiroc)

Technologie	TSMC 130nm CMOS
Tension d'alimentation du cœur du TDC	1.2 V
Surface du circuit avec les plots E/S	2400x2500 μm^2
Nombre de voies de l'ASIC	32
Consommation FEE+CRONOTIC2	< 3 mW /voie
Nombre de voies d'un detecteur RPC	64 voie par carte PCB a strips
Taux de comptage	$2 \cdot 10^3$ hits/s/cm ²
Dynamique totale	0,6 μs par voie
Dynamique de mesure de l'ASIC Configurable	Minimum 1ns Maximum limité par le jitter cumulé
Finesse de la mesure	LSB : 20 ps
Résolution recherchée (Sigma)	< 2 ps rms
Temps mort	< 1 μs

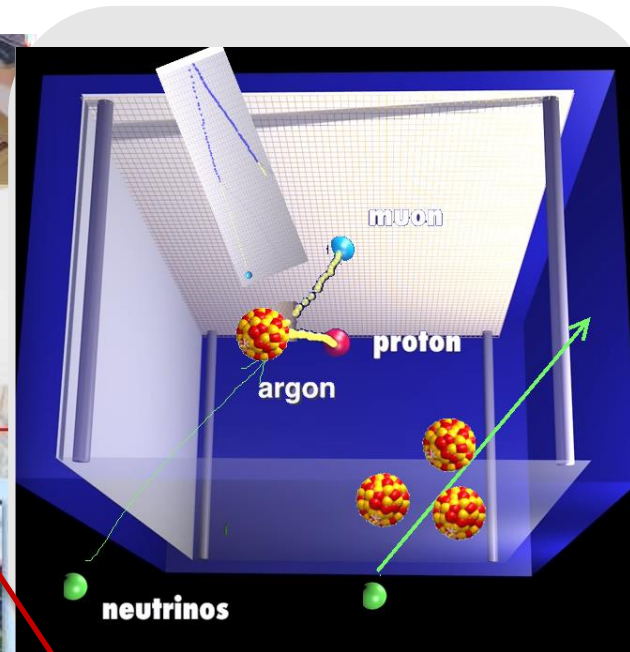
CRONOTIC - Synoptique

- ❑ 32 voies de TDC (Time-to-Digital Converter) utilisant la technique du «Vernier Ring Oscillator»
- ❑ SLVS receiver, SLVS transmitter et « clock distribution network »
- ❑ Une logique de sélection de mode : Acquisition/calibration
- ❑ Unité de Data processing fonctionnant à une fréquence maximum <160 MHz



Projet ProtoDUNE

LARZIC, le contexte



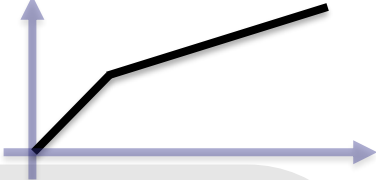
	WA105	EHN1_666 Proto-Dune	DUNE
	2015-2018	2016-2023	2018-2026+30
active size [m ³]	3x1x1	6x6x6	60x12x12
Cartes	20	120	20x120
ASIC	80	480	20x480
Canal	1280	7680	153600
Poids en liquide d'Argon	4 tonne	300 tonne	10 000 tonne

LARZIC, cahier des charges

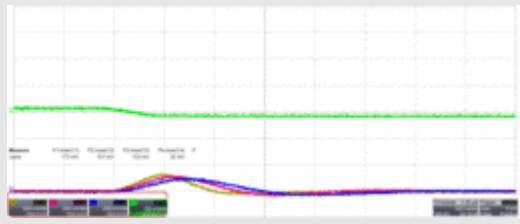
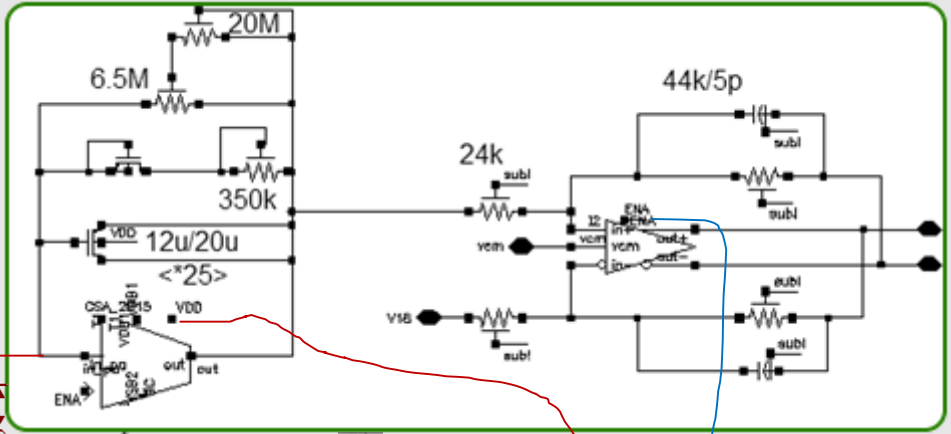
Technologie	AMS 0.35u CMOS
Tensions d'alim/ref	3.3V, 2.1V, 1.8V, 1.4V
Surface circuit	4 x 1.6 = 6.4mm ²
Nombre de voies	16
Consommation	18 mW/voies
Nombre de voies du détecteur	1280
Gamme dynamique	MIP : 3fC, Max 1.2pC
Rapport signal sur bruit	S/R > 10 → Noise < 0.3fC , ↔ ENC < 1500e ⁻
Temps monté signal / circuit	500ns / 1μs
Capacité détecteur	250pF
Température de fonctionnement	-160°C
DOUBLE PENTE (2 linéarités)	Cassure à 30 MIP du gain

(Electron Noise Charge) ENC < 1500e⁻ (0.24fC_{RMS}) à -160°C, pour une capacité détecteur de 250pF.

LARZIC, synoptique

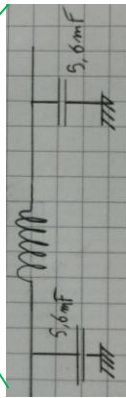
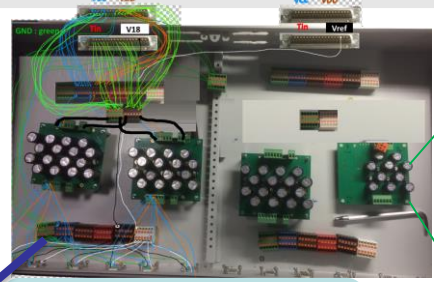


Charge Sensitive Amplifier : $V_{out} = \frac{Q_{in}}{C_f} + \left(\frac{Q_{in}}{2,75 * C_f} \right)_{si V_{out} > V_{th}}$



Mesures sur pour $C_{det} = \{0, 100, 240\} [pF]$

Power Supply Noise < 1mV_{RMS}



Power Supply Filtering boxbox



LARZIC, bilan et résultats

- ❑ Evolution d'une demande de 2007 sur T2K
- ❑ Production de 700 puces en 2015.
- ❑ **Utilisation de 60 puces en 2017**, puis 480 puces fonctionneront entre 2020 et 2023
- ❑ Power Management ?
- ❑ Plus de numérique ? /\
- ❑ Migration techno ?

