



Projets R&D @ Pôle MicRhAu



1. Time to Digital Converter TDC
2. Front-End Rapide
3. PLLs

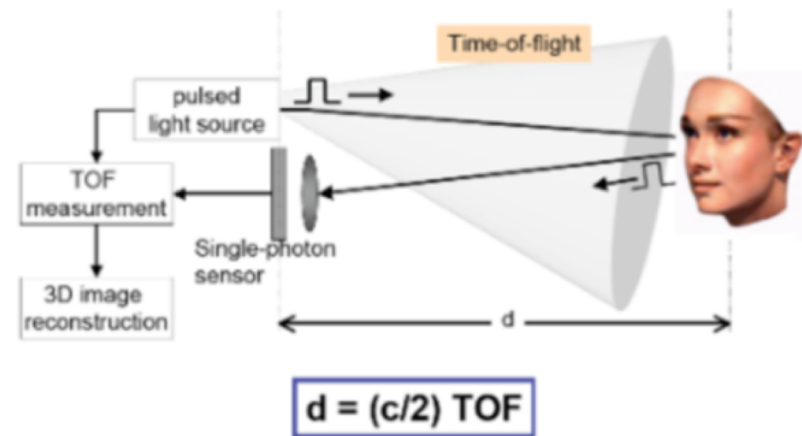
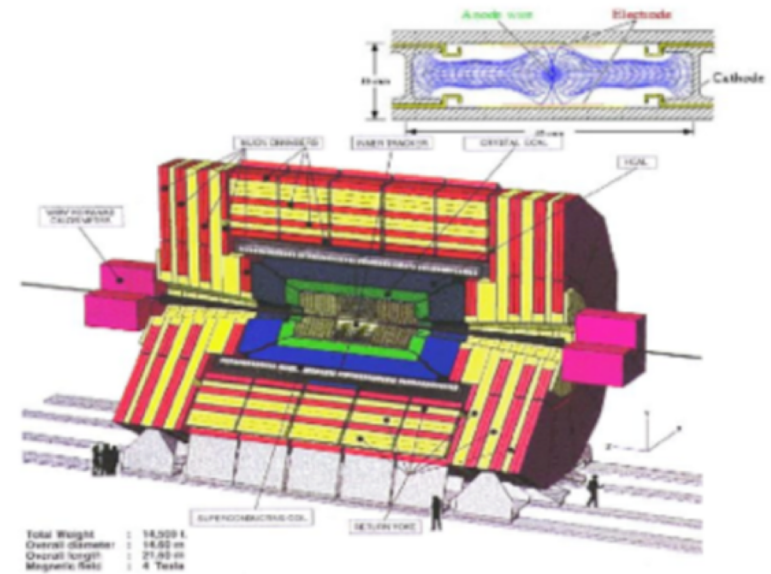


1. Time to Digital Converter TDC



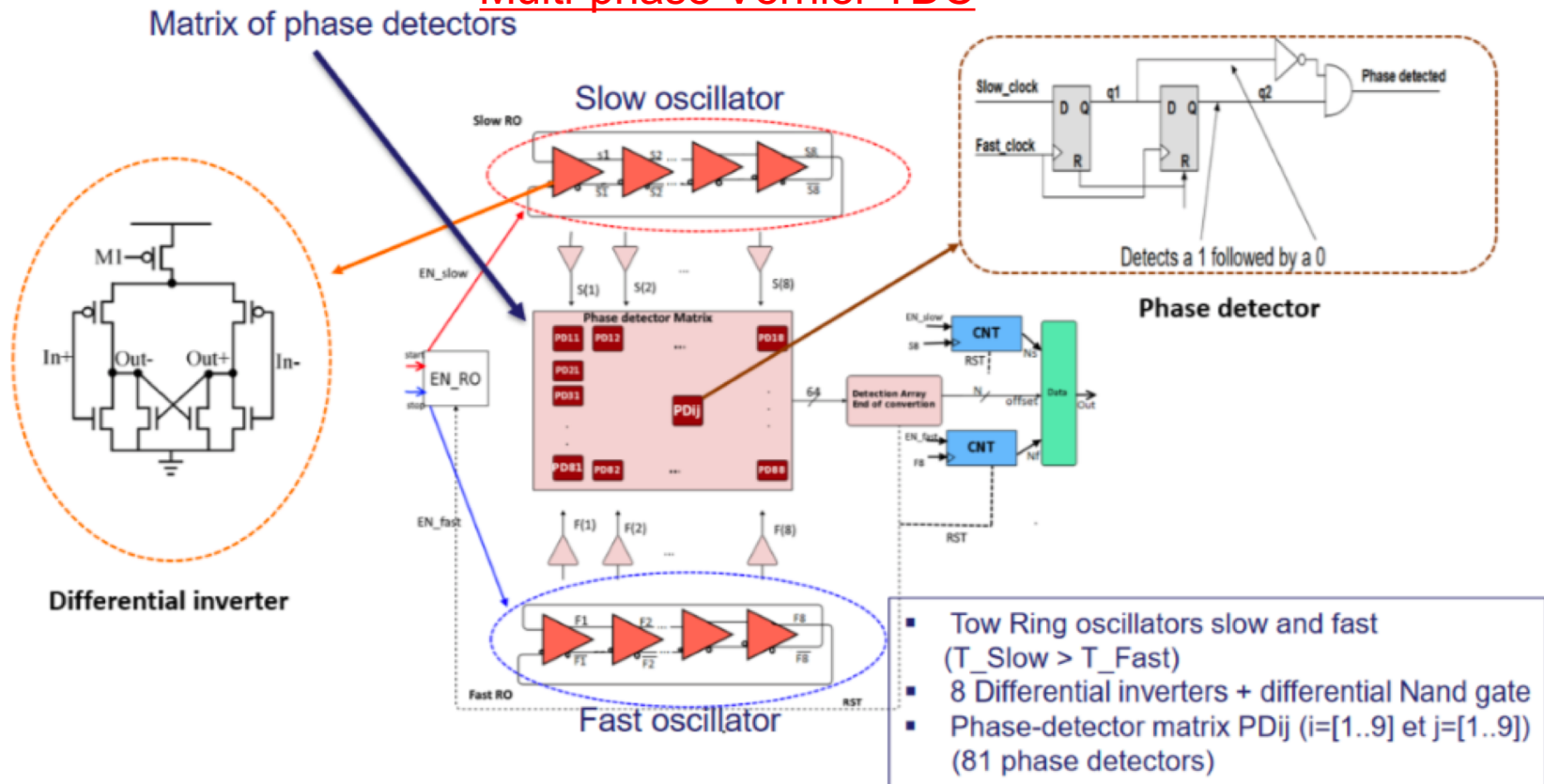
1 - TDC Motivation

- TDC applications in CERN HEP:
 - Drift time in gas based tracking (CMS, ATLAS)
 - Time Of Flight (TOF) interaction (ALICE)
- Medical imaging (Hadron Therapy)
- 3D Imaging (TOF), LADAR (Laser RADAR)
- Domaine of phase and delay synthesis (full -digital PLL)



1 - TDC architecture

Multi-phase Vernier TDC



- TDC LSB = $T_{slow} - T_{fast}$ (same as signé phase detector TDC)
- Full custom Inverter cells are designed (Sharp edge, 22fs noise jitter)

1 - TDC architecture

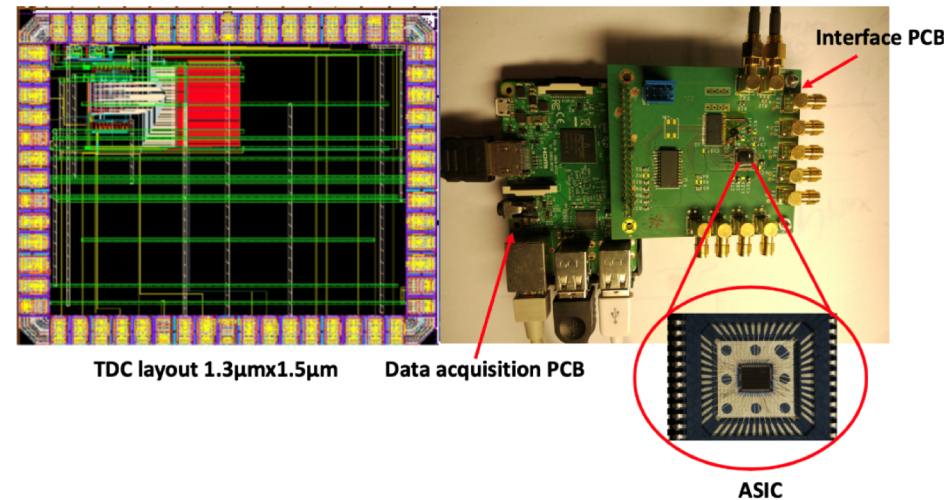
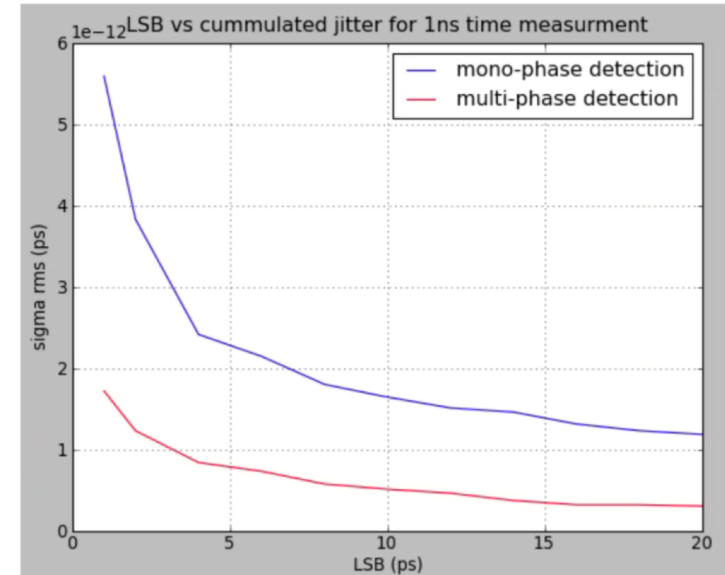
- Advantage :

- Reducing the timing resolution T_{LSB}
 - Simple-phase : $T_{LSB(sp)} = T_{Slow} - T_{Fast}$
 - Multi-phase : $T_{LSB(mp)} = \frac{T_{Slow} - T_{Fast}}{9}$

- Cumulated jitter σ_j (due to noise or any other source) is the most undesired side effect of the Ring oscillator

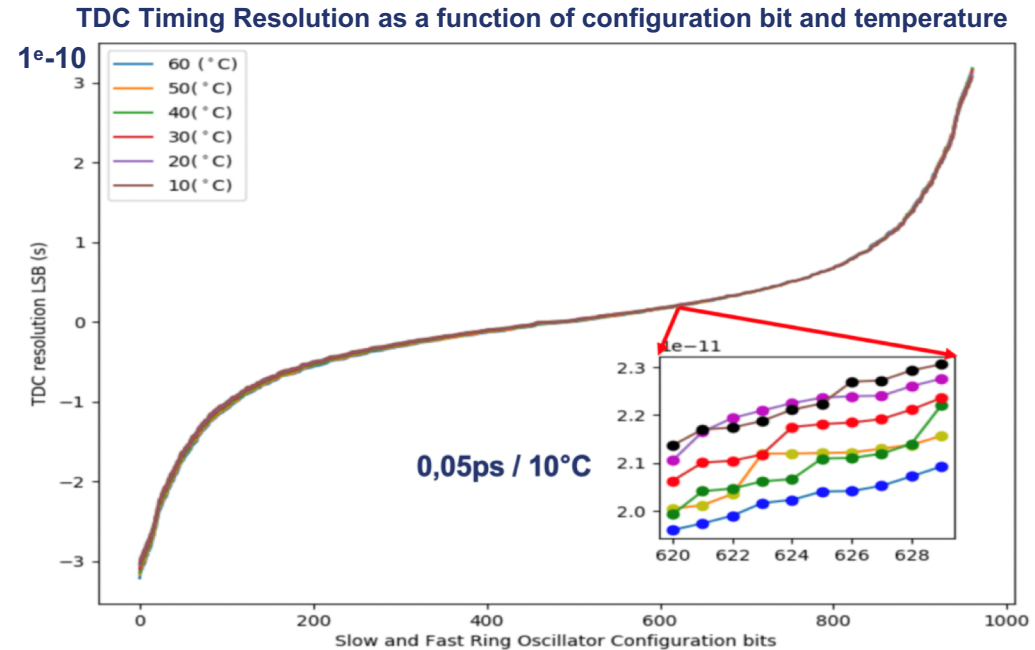
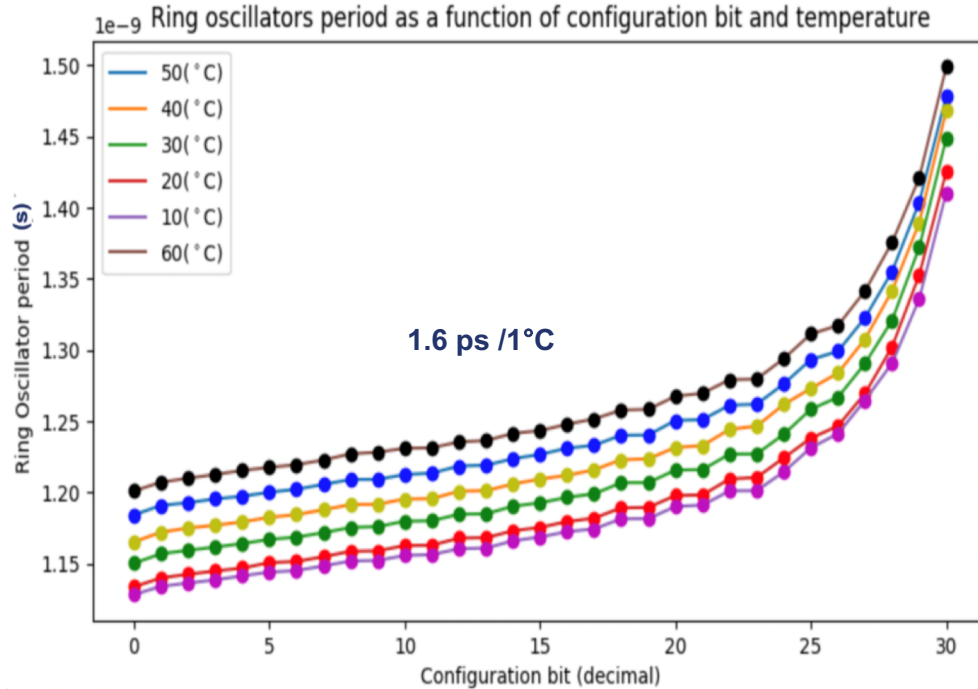
- $\sigma_j = K\sqrt{\Delta t}$:

- K=cst proportional to the inverter noise jitter (22fs)
- The Dead time $\Delta t = \frac{Dynamic}{T_{LSB}}$
- Reducing the Cumulated jitter :
 - $\sigma_{j_{simple}} = 3 \times \sigma_{j_{multi}}$



1 - TDC Measurement Results

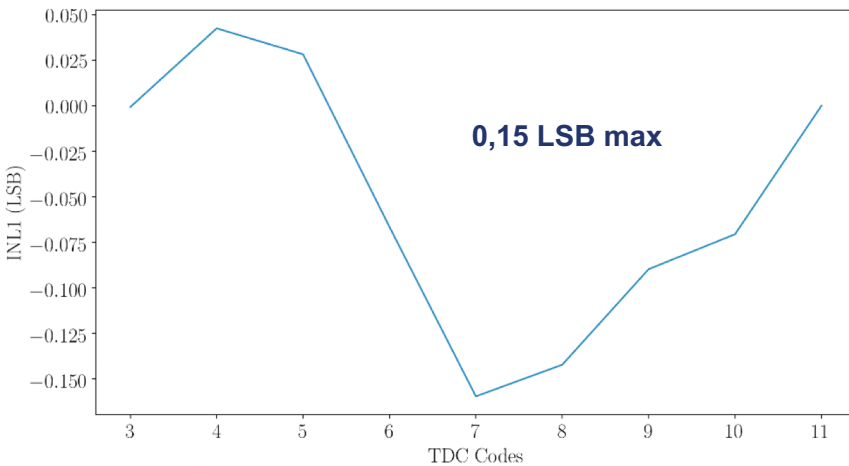
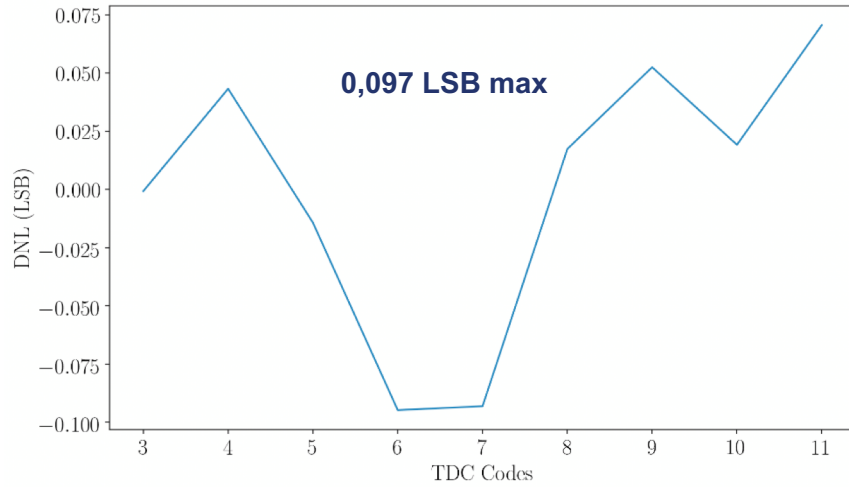
Temperature Sensitivity



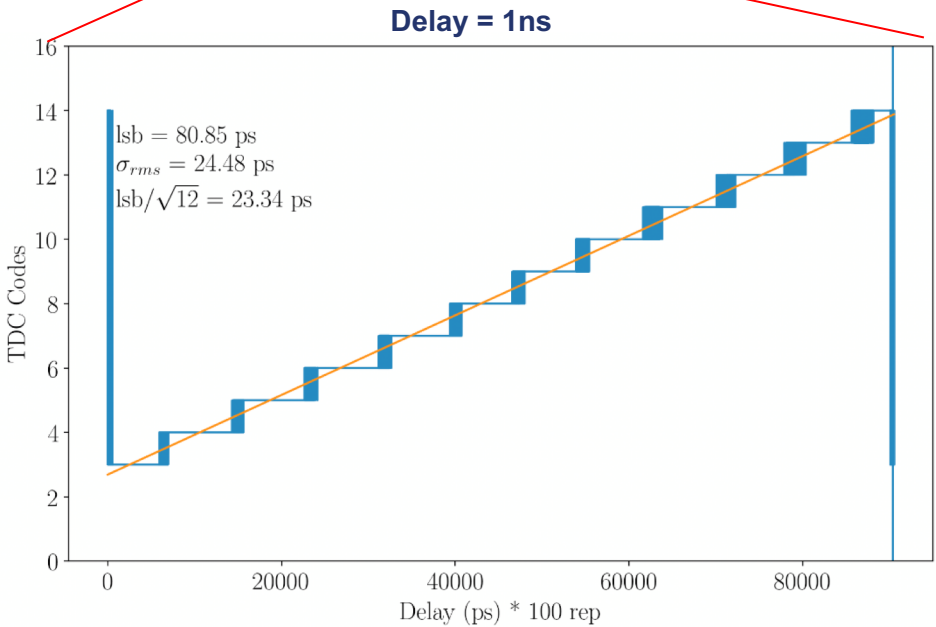
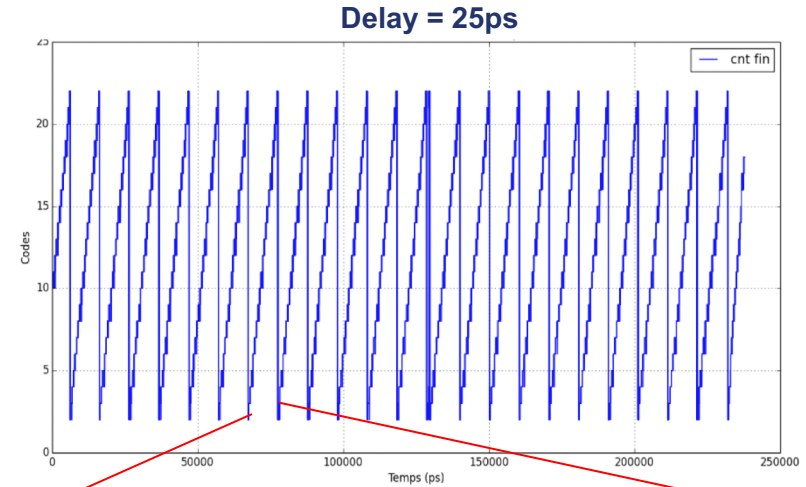
- The Ring oscillator period has a variation of (1.6 ps / 1 °C)
- A dependence to the temperature, since the oscillator is not self-compensated with a phase-locked loop (PLL)
- The timing resolution T_{LSB} has a variation of (0.05 ps / 10 °C)
- Fast and slow oscillators are physically identical and close proximity in the ASIC
- There is no cross talk between the oscillators, thanks to the differential architecture of the invertors

1 - TDC Measurement Results

TDC Linearity for one phase detector



LSB = 80ps



How to Achieve ps Timing Precision?

- Good TDC Resolution with 9 Phase detector Vernier TDC :
 $LSB_{simple} = 80ps \implies LSB_{multi} = 10ps$
- Low TDC Jitter : $\sigma_{rms} = 18.73ps$ with one phase detector $\implies \sigma_{rms} = 6.24ps$ combining 9 phases detectors.
- Add feedback and Calibration \implies Futher Work
- Final stages of the thesis (January 2020)
- IEEE NSS/ MIC 2018 : A Multi-Phase Time-to-Digital Converter with a Differential Vernier Ring oscillator
- Multi-phase detection TDC may be considered for HEP experiments.
- The company Weeroc wants to use the MPTDC for applications of LIDAR



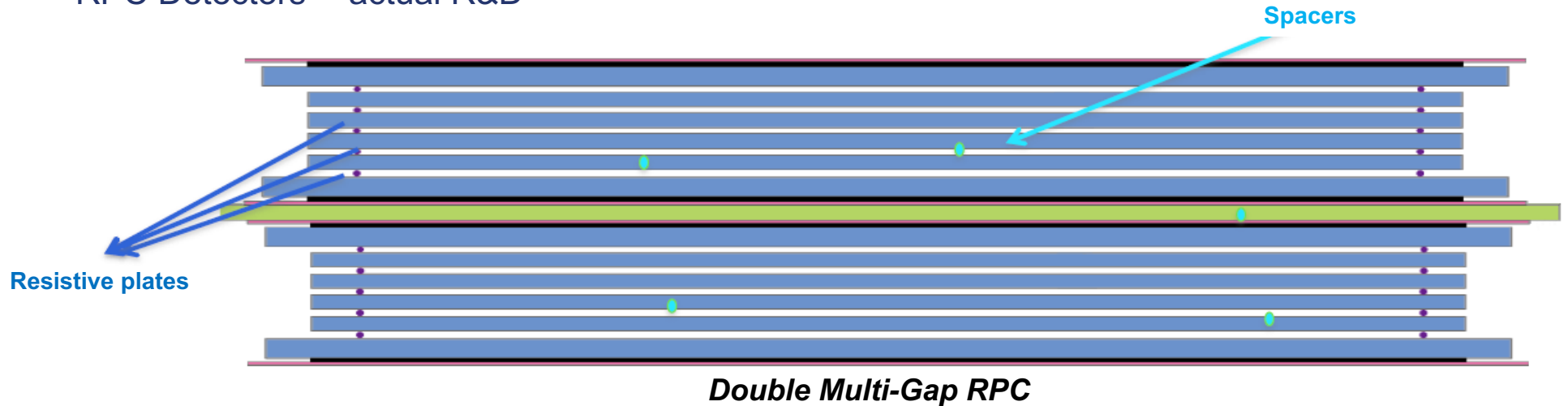


2 - Fast Front End Electronics

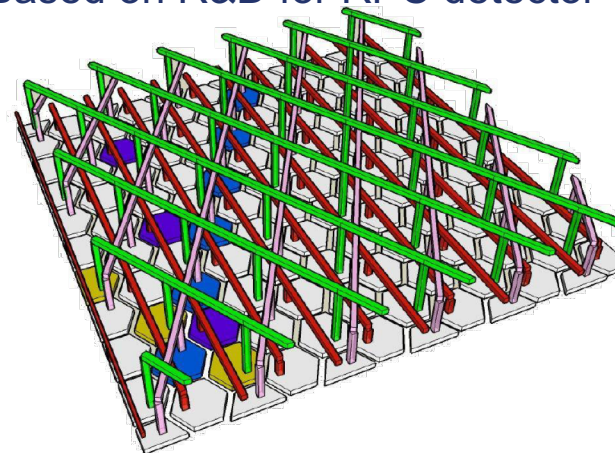


2 – FFEE Motivations

- 2 main applications :
 - RPC Detectors -- actual R&D



- PICMIC (IN2P3 Master Project) – Based on R&D for RPC detector



Neuronal Network: PICMIC Project

2 – FFEE Requirements

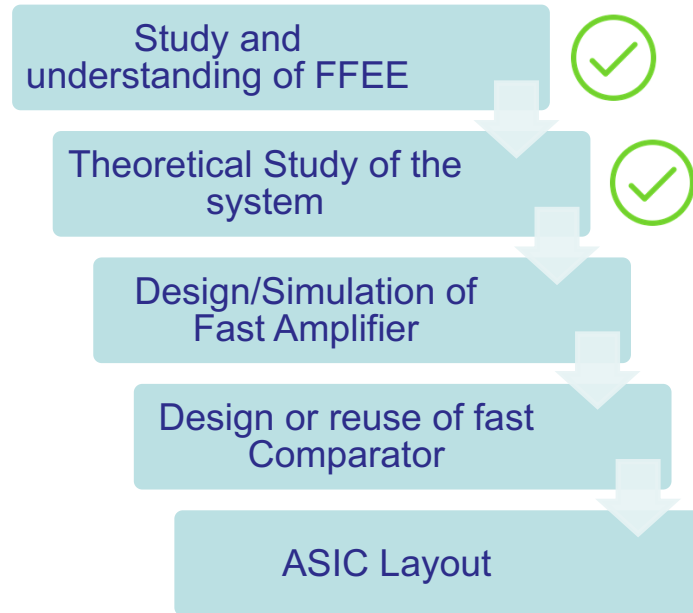
- ASIC specifications for RPC :
 - Fast FE (GBW>40GHz)
 - Low jitter ($\sigma_t^J < 20ps$)
 - Counting Rates (1 event every 4 μ s)
 - $20fC < Q_{IN} < 50pC$
 - Multi channel

- ASIC constraints for RPC :
 - TSMC 130nm process → In order to integrate on the same substrate the FEE+TDC
 - Reading at both ends of the detector → Need of coupling capacitor
 - Adapted line between Detector & ASIC → Need to terminate the line with resistance

- Expected submission for RPC :
 - End of 2019

2 - Design Steps of FFEE

- Design plan of the Asic:



- 2 Architectures will be implemented for the Front End :

CS Amplifier	CG Amplifier
++ High Bandwith	++ Faster Counting Rate
++ 1,2V supply	++ No reset circuit
++ Suitable for $20f < Q_{in} < 50pC$	-- Bandwith
-- Reset circuit needed for high conting rates	-- Stability ? (2 loops)
	-- 2,5V supply
	-- Low Vout for low QIN



3 - PLLs

LoJiC-130

Low Jitter Clock generator-130



3 - PLLs

Contexte

Développement d'un générateur d'horloge (type PLL) interne adapté aux ASICs qui intègrent une mesure de temps

- **Up-grade CERN (ATLAS et CMS)**
 - La mesure temps permettra de réduire la quantité de données et diminuer la résolution spatiale
- **Applications basées sur une mesure de ToF**
- **PLL est indispensable pour les projets suivants :**
 - **Evolution circuit SAMPIC :**
portage possible AMS 180nm vers TSMC 130nm et amélioration de la résolution en temps
 - **ADC rapide ($\geq 2\text{Gs/s}$):**
une horloge interne est nécessaire pour piloter les comparateurs
 - **TDC à vernier :**
une horloge de référence est nécessaire

3 - PLLs

Cahier des charges

Spécifications de la PLL fixées dans le document de demande IN2P3

- Fréquence en entrée : 40 à 60 MHz
- Fréquence de sortie : 1 à 2 GHz
- Jitter RMS : 1 ps
- Rapport cyclique : 50%

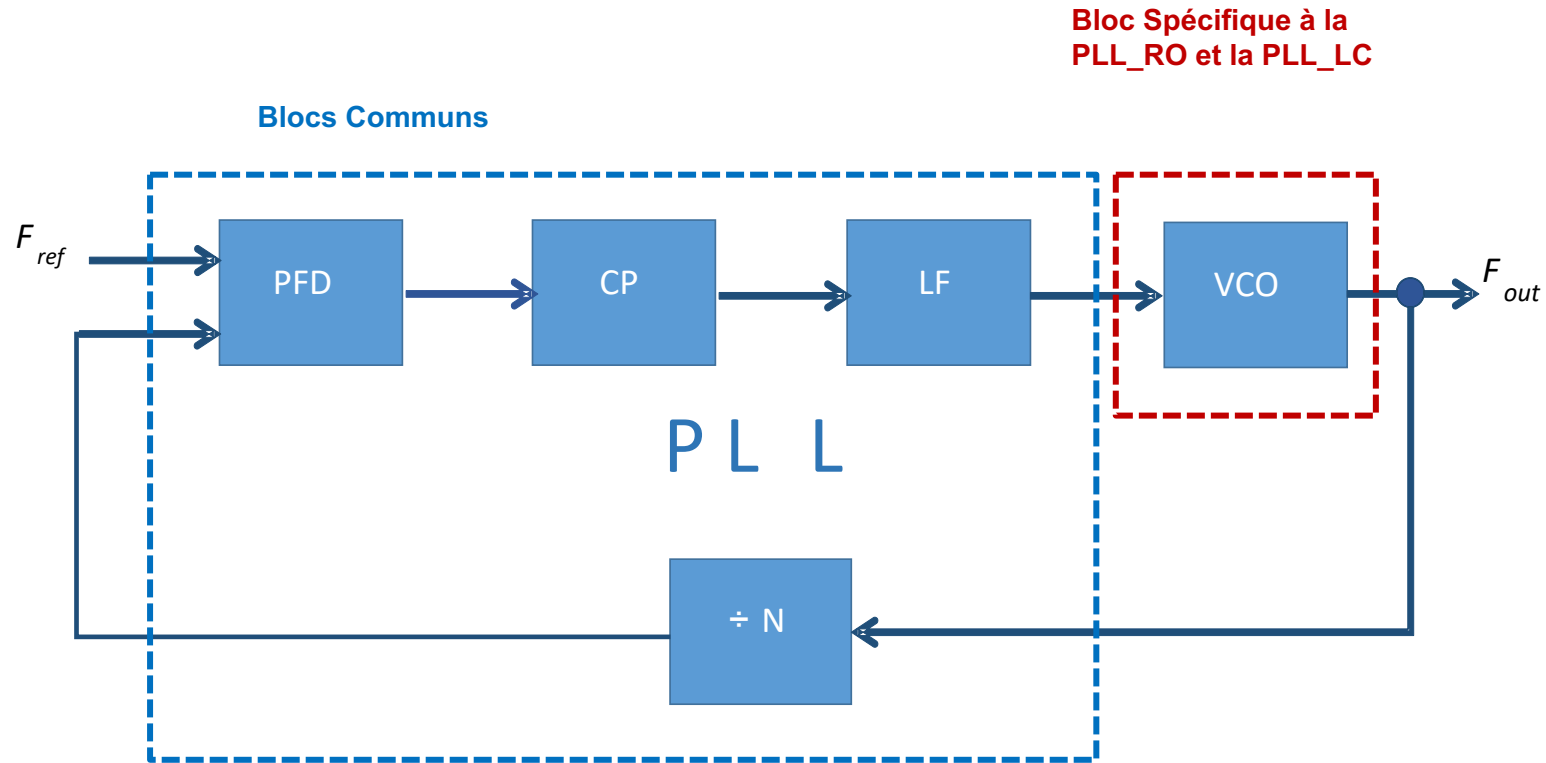


Spécifications de la PLL fixées durant le développement (année 1 du projet)

- Fréquence en entrée : 40 MHz
- Fréquence de sortie : 2,56 GHz avec toutes les sorties du diviseur
(1,28 GHz, 640 MHz, 320 MHz, 160 MHz, 80 MHz)
- Rapport de division : 64
- Courant pompe de charge : 50 μ A
- 2 types de PLL avec des VCOs différents :
 - PLL avec VCO basé sur oscillateur LC et $K_{vco} = 400$ MHz/V
 - PLL avec VCO basé sur un Ring Oscillator et $K_{vco} = 1200$ MHz/V
- Jitter RMS : $\leq 2-3$ ps
- Rapport cyclique : 50%

3 - PLLs

Architecture



Méthodologies de développement

Développement de chaque bloc de la PLL en verilogA



- Comportement de chaque bloc verilogA de la PLL par rapport à son propre jitter
- Simulation d'une PLL complète comportementale
- Effet du jitter de chaque bloc sur la PLL complète
- Linéarisation de la PLL
 - simulation de la stabilité
 - optimisation du filtre de boucle



- Remplacement progressif des blocs en verilogA par des blocs en Transistors



- Simulation des PLLs complètes

Planning

	2018 (Année N)												2019 (Année N+1)											
	1	2	3	4	5	6	7	8	9	10	11	12	1	2	3	4	5	6	7	8	9	10	11	12
Accès Serveur BB130 (outils et PDK)	■																							
Définition du cahier des charges	■	■																						
Choix de l'architecture et caractéristiques de chaque bloc	■	■	■																					
Répartition des blocs																								
Simulation comportementale incluant les caractéristiques de chaque bloc	■	■	■																					
Simulation niveau transistor des blocs ou PLL-V1																								
Revue de projet (blocs ou PLL-V1)																								
Simulation globale (blocs ou PLL-V1)																								
Layout (blocs ou PLL-V1)																								
Soumission v1																								
Carte de test et architecture du test version 1																								
Test V1																								
Préparation V2																								
Soumission V2																								
Carte de test et architecture du test version 2																								
test V2																								
Ecriture documentation technique																								

DR interne 14-15 mai 2018

DR avec membres extérieurs 16-17 oct 2018

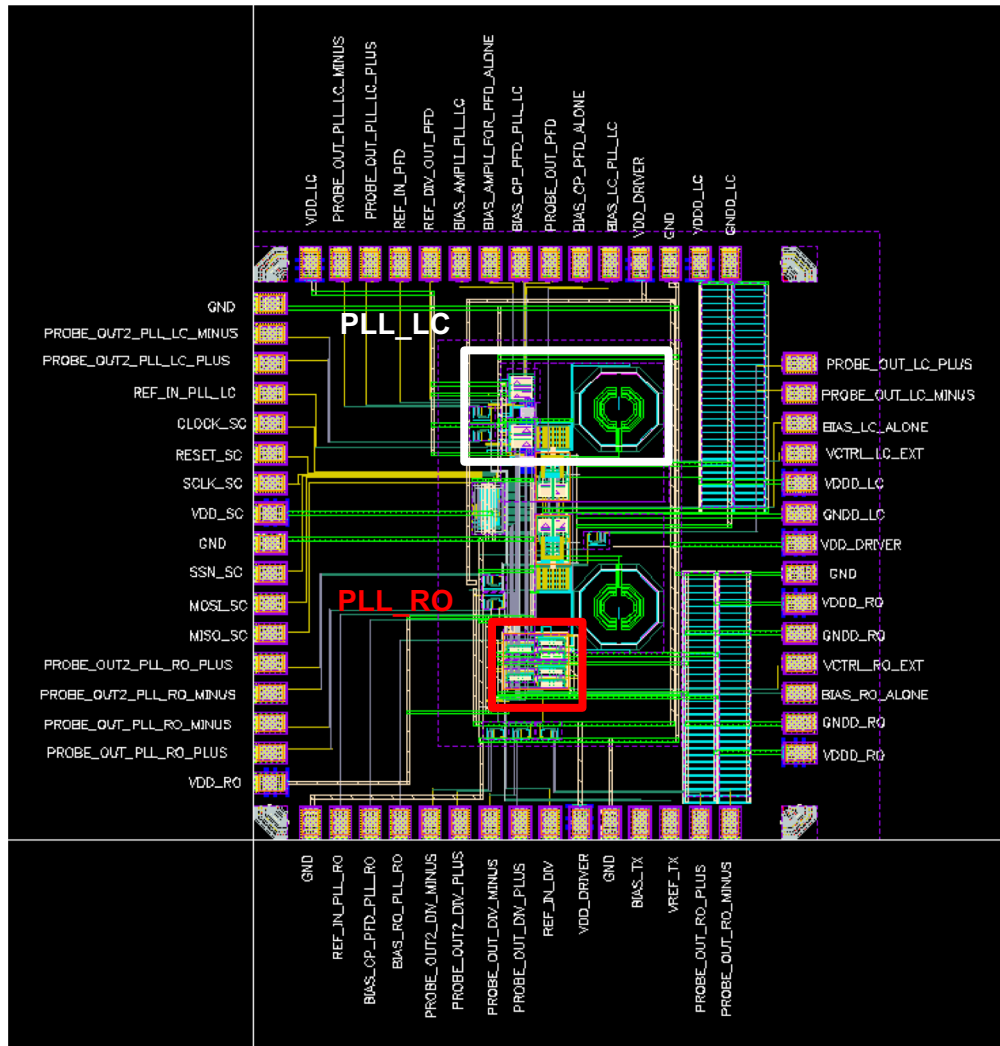
Soumission via BB130 (27 novembre 2018)

**10 mai 2019
Test en cours**

Réunion Bimensuelle de suivi de projet :

- Présentation technique
- Choix des architectures
- Répartition des blocs
- Mise en places des plannings
- GED (CR réunion, notes techniques, publications

3 - PLLs Résultats



Liste des blocs :

- Comparateur Phase Fréquence et la Pompe de Charge (PFD_CP)
- Diviseur de Fréquence (DIV)
- VCO_LC
- VCO_RO
- PLL_LC
- PLL_RO

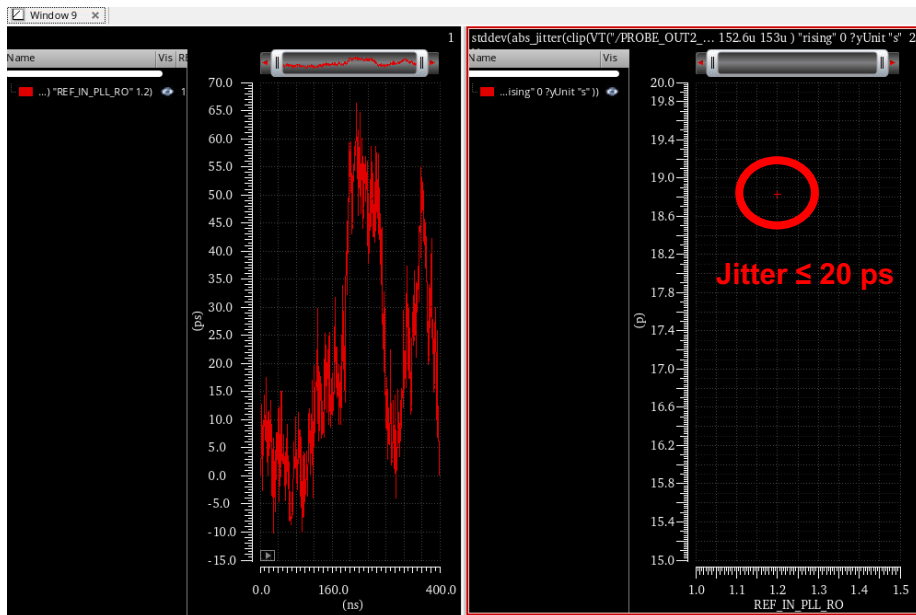
3 - PLLs Résultats

Simulation Schématique :

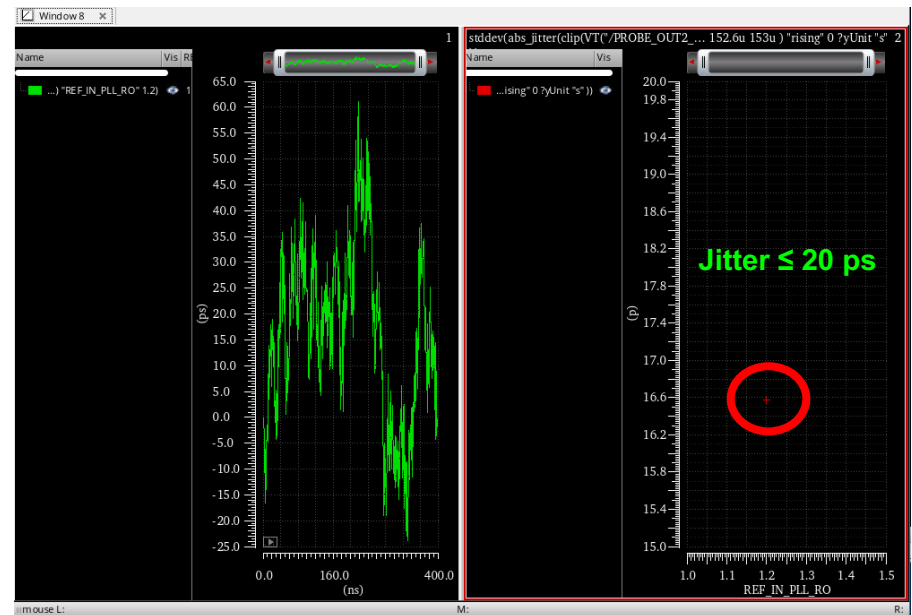
- Jitter sur le front ≤ 2 ps
- Temps de verrouillage $< 2\mu$ s

Simulation Post-Layout

PLL_RO



PLL_LC



Variation de la position du front après verrouillage de la PLL

3 - PLLs

Conclusion PLLs

- R&D soutenu par l'IN2P3
- Travail collaboratif
 - 2,5 ETPs réparti sur 7 personnes
 - GED Atrium
 - SOS
 - Vidyo
 - Utilisation serveur de calcul BB130
- Réunions bimensuelles
- DR interne
- DR avec membres extérieurs
- Approche Bottom-Up