



Laboratoire LEPRINCE-RINGUET
Ecole polytechnique IN2P3/CNRS

Séminaire

Conception à haut niveau pour FPGA et (r)évolution en marche pour les composants programmables

Développer plus rapidement des composants programmables de plus en plus gros en capacité devient depuis quelques années une réelle nécessité. Ceci ne peut être envisagé que par l'utilisation de langages à plus haut niveau d'abstraction et par la disponibilité de logiciels de synthèse logique mature montrant des performances au moins équivalentes voire supérieures à ce qui existait jusqu'ici. Ces conditions sont aujourd'hui remplies, c'est ce que présentera Laura Pacheco Rodriguez par l'emploi du logiciel Vivado HLS pour la conception d'un IP pour le projet HGCal de l'expérience CMS.

La société Xilinx a présenté, il y a peu de temps, une nouvelle architecture de composants programmable et des méthodes de conception associées qui bouleverseront le paysage de l'électronique numérique qui se vaudra à présent «Adaptable et accélératrice». Cette (r)évolution planifiée, tant en terme de performance et capacité qu'en méthodologie pour sa conception et mise en œuvre, sera introduite par Thierry Romanteau pour vous faire appréhender ce qui pourrait quelque peu changer ces prochaines années.

**Laura
PACHECO
&
Thierry
ROMANTEAU
LLR**

Salle de conférence
du LLR 05-2021

**Lundi 12 novembre
14h00**

seminaires@llr.in2p3.fr



Responsables séminaires

Sami Caroff
Jean-Baptiste Sauvan