

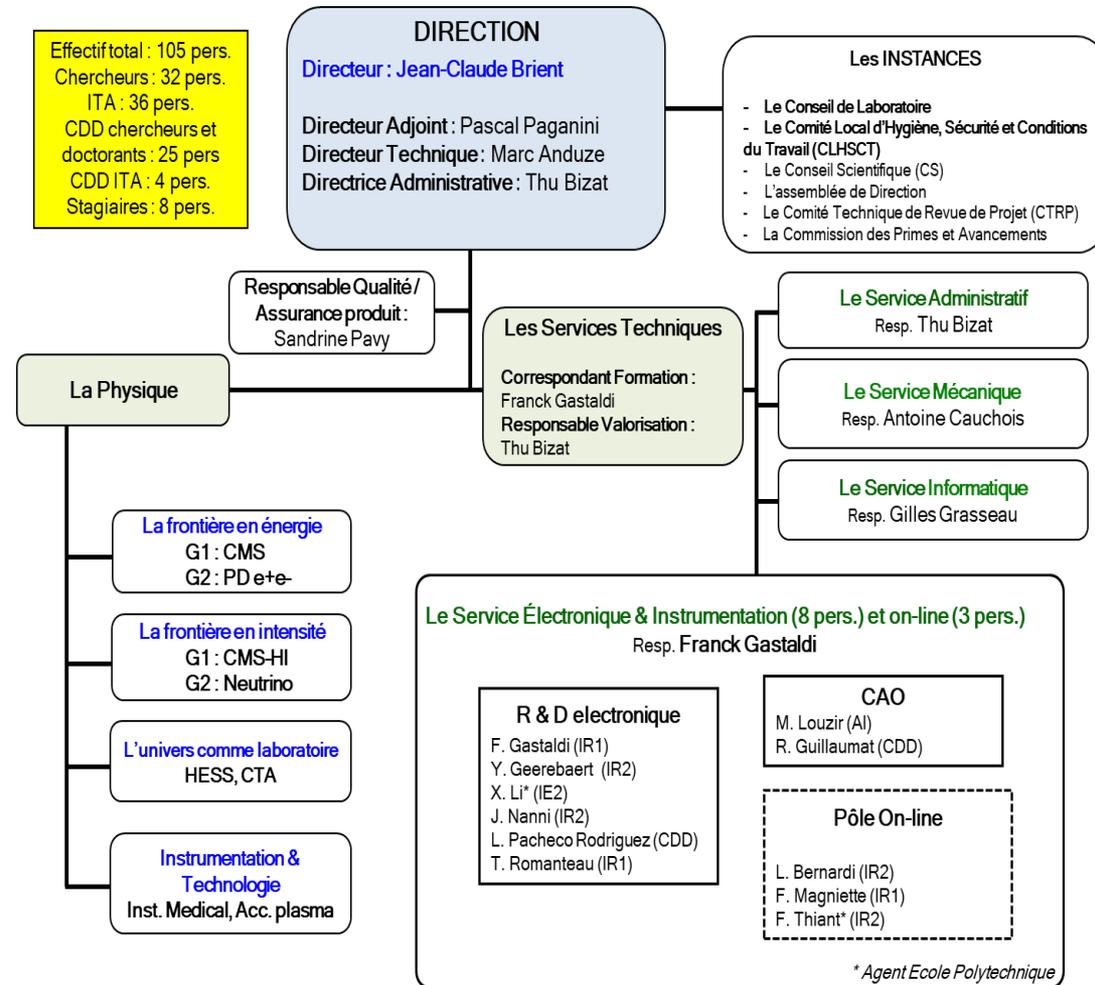
Service Electronique/Instrumentation

Tourniquet Section 01
Date: 6 novembre 2018

Laboratoire Leprince-Ringuet
Bilan 2013-2018

Organisation du service

- Responsable du service:
 - Franck Gastaldi (depuis 02/2017)
- Adjoint:
 - Thierry Romanteau
- Organisation matricielle
 - Affectation par projets
- Activité on-line
 - Rattaché fonctionnellement au service
 - Etude et développement des contrôle/commande de système électronique



Compétences

- Electronique
 - Electronique Générale
 - Métrologie et caractérisation de composants, capteurs silicium
 - Conception de cartes électronique pour systèmes d'acquisition et de déclenchement
 - PCB complexes et de grandes dimensions
 - Conception de banc test
 - Mise en œuvre de liaisons séries hautes vitesses
 - Conception de fonctions électroniques en langage HDL et leur implémentation dans des composants programmables (FPGA)
- Gestion de projet/coordination de projet

Projets et Responsabilités (1/4)

- CMS (2014- ...)
 - ECAL (2014 – 2018)
 - Maintenance firmware (ajout de fonctionnalités) et matériel des cartes TCC
 - Développement d'algorithmes de déclenchement pour la sélection « Electron/Gamma et Tau » ciblé sur FPGA et carte au format μ TCA



TCC48



TCC68

Participation à la définition de l'électronique High Granulometry Callorimeter (HGICAL) de la partie EndCap pour les upgrade planifiés pour 2022

- HGICAL (2015 - ...)
 - Développement et évaluation sur FGPA de firmware d'algorithme de déclenchement.
 - Participation à la définition de l'électronique de front-end
 - Développement du banc de test de circuits ASICs prototypes OMEGA pour HGICAL



μ TCA
(test algo)



HGICAL
(test card)

Projets et Responsabilités (2/4)

ILC/CALICE (2014 - ...)

- Développement d'une chaîne d'acquisition de capteur à base de diode PIN dans le cadre de la R&D pour les prochaines générations de détecteur auprès d'un futur collisionneur linéaire.
 - Développement du firmware de la carte d'interface du détecteur.
 - Conception des carte de front-end équipées d'ASIC OMEGA
 - Conception des cartes d'Agrégation de données et développement du firmware associé
- Etude et caractérisation des capteurs silicium du calorimètre.



Slab court / structure mécanique



Slab Long

Projets et Responsabilités (3/4)

- HARPO (2010 – 2015)
 - Conception et validation du système de collection et d'amplification de charges basé sur 2 techniques: MICROME GAS et GEM
 - Intégration du système d'acquisition basé sur des circuits After(CEA)
 - Conception et validation du système de sélection (trigger).
- PEPITES (Instrumentation médicale) (2016 - ...)
 - Conception d'une chaîne de lecture bas bruit
 - Mesurer des courants de qqs fA à 10 nA
 - Participation aux campagnes de mesures auprès du cyclotron ARRONAX à Nantes.
 - Participation à la définition de l'ASIC de lecture conçu par l'IRFU



Carte de lecture PMT & détecteur Harpo



Instrumentation profileur faisceau PEPITES

Projets et Responsabilités (4/4)

- WAGASCI (2014- 2018)
 - Développement d'un système complet d'acquisition de données pour lire 7760 MPPC et son banc de test de production
 - LLR : Production des cartes de la DAQ et adaptation des firmwares associés.
 - 26 cartes de gestion de lecture des ASIC de front-end (OMEGA)
 - 6 cartes d'agrégation de données
 - Japon : Production de 252 cartes front end pour lecture des MPPC à partir des fichiers CAO LLR
 - Mise en oeuvre du banc de tests de production



ASU (Active Sensor unit)



DIF (Detector Interface)



GDCC (Gigabit Data Concentrator Card)

Moyens

- Moyens Financiers:
 - 8000€ de fonctionnement
 - Charges récurrentes annuelle (licences ~1500€)
 - Synthétiseur/Simulateur & bloc IP
 - 2000€ Missions

 - Licences CAO/IAO annuelle: ~4200€
 - Cadence/Xilinx/Altera

- Moyens matériels:
 - Chaîne logicielle CAO PCB Cadence
 - Chaîne logicielle IAO Xilinx (et Altera)
 - Matériel de mesures et tests (oscilloscopes, SDA 16GHz, générateurs de fonction, sources de tension,....)
 - Nécessaire de câblage et perçage
 - Enceinte Climatique (température, hygrométrie)
 - Banc laser (1055 nm)
 - Salle blanche ISO 7

Fonctionnement

- Réunions de service tous les 2/3mois
 - Projets
 - Partage informations
 - Budget / achats
- Réunion régulière responsables de service avec la direction
 - Assemblée de direction / Comité de direction
- Cellule de suivi de projet
 - Responsable de service / agent(s) concernés par le projet
- Interaction forte entre services
- Formation (2017 : 8 agents/10 formations)
 - Cadence pour la CAO
 - IN2P3 : Ecole (détecteur, DAQ, projet, électronique)
 - CNRS
 - Individuelle : technique spécifique (FPGA)
 - Collective : Technique spécifique/efficacité personnelle/management

Evolution prévue

- RH:
 - Départ en retraite en 2021 d'un IR
 - Perte d'une expertise sur FPGA
 - Cependant*
 - CDD de 2 ans (fin 2020) et transfert de compétences
 - ⇒ Nécessité de pérenniser le poste
 - Recrutement en cours d'un CDD IE (contrat Ecole)
- Technique
 - Investissement dans la veille technologique:
 - Nouvelles méthodologie de design FPGA
 - Nouvelle architecture pour électronique neuronale
 - accélération des traitements de données à haut débit
 - Maintient des compétences sur les systèmes DAQ
 - Approfondir les compétences sur la simulation PCB

Auto analyse du service

Points forts	Points faibles
<ul style="list-style-type: none">• Diversité des compétences : maitrise d'une chaine d'acquisition de lecture de détecteur• Compétence reconnues au niveau national et international• Codage sur FPGA• Intégration ASICs OMEGA/IRFU• Contexte formateur pour de nouvelles recrues• Suivre de formation pour s'adapter à l'évolution des métiers en électronique numérique (FPGA) et en conception de cartes (intégrité du signal)	<ul style="list-style-type: none">• Peu de temps pour une veille technologique• <i>Connaissance des langages C/C++, applicable aux nouvelles méthodologies de design FPGA, pas assez répandue au sein du groupe</i>• Déséquilibre moyens RH / demande projets• Fractionnement des équipes dû au nombre de projets
Opportunités	Risques
<ul style="list-style-type: none">• Réutilisation du savoir-faire acquis pour de nouveaux projets (DAQ versatile)• <i>Etre précurseur sur les nouvelles méthodologie de design FPGA (description comportementale en C => outil HLS)</i>• Développer des compétences en simulation de cartes électronique (intégrité du signal)• Valoriser les savoir-faire auprès de nos partenaires (fédération, institut, réseaux)	<ul style="list-style-type: none">• Un IR à la retraite dans 3 ans => pertes de visibilité pour le laboratoire versus l'expertise• Difficulté à recruter un électronicien• Difficulté à pérenniser les CDD• Salaires peu attractif pour l'IDF et situation géographique