

Etude d'un Convertisseur Analogique-Numérique (ADC) pipeline 12bits-40MHz

Contexte :

Notre équipe développe des circuits intégrés complexes destinés à équiper des détecteurs de particules pour les expériences au CERN. Ces circuits multivoies intègrent généralement des **convertisseurs analogique-numérique (ADC)** afin de s'interfacer directement avec les systèmes d'acquisition en aval. Ainsi, l'électronique attachée aux calorimètres, les détecteurs qui mesurent l'énergie des particules, doit être en mesure de réaliser ces conversions à **une vitesse de 40MHz avec une résolution d'au moins 12 bits**. Différents types d'architectures d'ADC peuvent être mise en œuvre pour répondre à ces spécifications. L'une d'elle est dite de type **pipeline** et présente un compromis entre consommation, précision et vitesse adapté à notre cahier des charges.

Cet ADC pipeline présente trois éléments principaux que sont l'amplificateur de résidu, le comparateur et le convertisseur numérique-analogique (DAC). L'amplificateur a fait l'objet d'une étude préalable, alors que les deux autres éléments restent à concevoir, ainsi que la réalisation complète de l'ADC.

L'objectif de ce stage est donc d'étudier et de concevoir un **ADC** ayant pour caractéristiques principales :

- ✓ Technologie TSMC CMOS 130nm
- ✓ Résolution de 12 bits, précision (ENOB) d'au moins 11 bits à Nyquist
- ✓ Fréquence d'échantillonnage maximale de 40MS/s
- ✓ Tension d'alimentation : 1.2V
- ✓ Architecture différentielle

Le travail débutera par une analyse du cahier des charges et une étude bibliographique approfondie notamment de l'architecture d'ADC pipeline et des comparateurs. La ou les architectures choisies pour le comparateur seront étudiées analytiquement puis simulées sous l'environnement Virtuoso de Cadence. Ils seront ensuite intégrés à l'architecture complète de l'ADC pour validation des performances globales. A noter que l'optimisation des nombreux interrupteurs intégrant le convertisseur sera un étape clé pour atteindre les performances visées. Le dessin des masques (layout) constituera l'étape ultime du travail de conception de cet ADC.

Les résultats seront communiqués au fur et à mesure de l'avancée des travaux.

L'étudiant(e) sera accueilli(e) au sein du service de microélectronique du Laboratoire de Physique de Clermont-Ferrand. Ce groupe est constitué de six ingénieurs et d'un maître de conférences. Ce service est associé à l'Institut de Physique Nucléaire de Lyon (IPNL) dans la cadre du pôle MICRoélectronique RHône-AUvergne (MicRhAu).

Ce stage se déroulera au LPC de Clermont. La gratification réglementaire sera versée à la ou au stagiaire.

Bibliographie

- S. Manen, L. Royer, Pascal Gay. A custom 12-bit cyclic ADC for the electromagnetic calorimeter of the International Linear Collider. *2008 Nuclear Science Symposium, Medical Imaging Conference and 16th Room Temperature Semiconductor Detector Workshop*, Oct 2008, Dresden, Germany. IEEE, 2008. [<in2p3-00344387>](#)
- L. Royer, S. Manen. A 10-bits pipeline ADC dedicated to the VFE Electronics of Si-W Ecal. *International Linear Collider Workshop 2007: LCWS2007 and ILC2007*, May 2007, Hamburg (DESY), Germany. Desy, 2007. [<in2p3-00174945>](#)