



## *Stage M2/Ingénieur (2019)*

# **Développement d'un composant de vérification UVM pour un module de compression de données**

**Mots clefs:** VHDL/Verilog, UVM-System Verilog, testbench

Le groupe de microélectronique de l'IPHC a mené au cours de ces 10 dernières années la R&D sur les capteurs à pixel intégrés (CPS) pour des expériences de physique subatomique. Il est actuellement impliqué dans le développement d'un capteur pour la phase SIS-100 du MVD (Micro Vertex Detector) de l'expérience CBM (Darmstadt, Allemagne). Cet ASIC, développé en technologie 0.18  $\mu\text{m}$ , intègre de nombreux modules numériques. Leurs fonctionnalités sont vérifiées à l'aide de bancs de simulation basés sur la méthodologie UVM (Universal Verification Methodology). Ce standard (norme IEEE 1800.2) permet le développement d'environnements de test afin de garantir la fonctionnalité de blocs propriétaires (IP) ou de System On Chip (SOC) durant la phase de conception.

### **Activité principale**

Lors de ce stage, l'étudiant devra dans un premier temps étudier un algorithme de compression de données, son implémentation en verilog/vhdl et proposer des solutions alternatives ou des améliorations de ce design. Puis, en collaboration avec les autres membres de l'équipe, il sera chargé du développement d'un composant de vérification UVM (UVC). Enfin, il participera à l'intégration de son UVC au banc de test top du circuit.

### **Connaissances requises :**

- Bonnes connaissances du design numérique et des langages VHDL ou Verilog
- Utilisation du flot de simulation numérique de chez Cadence
- Des connaissances en langage orienté objet seraient un plus

**Equipe d'accueil :** Equipe MICPHC (groupe de micro-electronique de l'IPHC)

Contact : [Christine.Hu@iphc.cnrs.fr](mailto:Christine.Hu@iphc.cnrs.fr)