

Stage Ingénieur - Master II en conception Microélectronique

« Etude et conception d'un circuit d'émission de données à 5 Gbit/s en technologie 65 nm »

ATLAS est l'un des deux détecteurs polyvalents du grand collisionneur de hadrons (LHC). Il a été conçu et construit pour mettre en évidence le boson de Higgs (découvert en 2014), tester de nouveaux modèles de physique et rechercher les signatures de nouvelles particules. Au CPPM, on s'intéresse en particulier au développement du détecteur de vertex (trajectographe), détecteur interne le plus proche du point d'interaction.

La collaboration RD53 regroupant plusieurs instituts a été mise en place au CERN pour le développement de la future génération des circuits de lecture des pixels en technologie CMOS 65 nm afin de réduire la taille des pixels ($50 \mu\text{m} \times 50 \mu\text{m}$) et donc améliorer la résolution spatiale du détecteur.

L'un des challenges réside dans l'augmentation du nombre de données à acheminer depuis le détecteur vers les centres de calculateurs.

Les circuits intégrés à très haut débit et durcis contre les irradiations sont des éléments essentiels pour la transmission de ces données. Ces circuits permettront de concevoir des liens série affichant une faible consommation d'énergie, une bonne conformité aux contraintes temporelles et une très bonne qualité en terme d'intégrité du signal.

Activité principale :

Le but de ce stage est de proposer, simuler et concevoir une architecture très basse consommation pour le circuit d'émission de données à 5 Gbit/s en technologie 65 nm.

Le stage de 6 mois sera organisé en plusieurs étapes :

- Bibliographie et documentation sur le circuit de lecture et l'interface de transmission des données à haut débit
- Etude et optimisation du circuit de réception à 5 Gbit/s
- Etude des effets de la dose ionisante
- Simulation et optimisation du circuit sous Virtuoso (Cadence)
- Dessin des masques sous cadence

Ce travail dans un environnement de recherche international constituera pour le ou la stagiaire un aspect important de sa formation, des déplacements au CERN sont possibles.

Connaissances requises :

- Bonnes connaissances en conception de circuits analogiques CMOS
- Connaissance de bancs de test basés sur des composants programmables de type FPGA est considéré comme un avantage.

Contact : CV + lettre de motivation avec la référence « ATLAS_microelec » à Frédéric HACHON, Ingénieur de Recherche CPPM
Tél : 04 91 82 76 71 email : hachon@cppm.in2p3.fr

Le stage de 6 mois sera conventionné et rémunéré.

Marseille, le 08 octobre 2018