

Nouvelle carte ATCA pour l'électronique BACK-END du calorimètre électromagnétique de ATLAS

Franck Salomon

Journées VLSI
Clermont-Ferrand
16 mai 2018

Responsables de projet :

Bernard Dinkespiler : responsable de projet

Emmanuel Monnier : directeur de Recherche

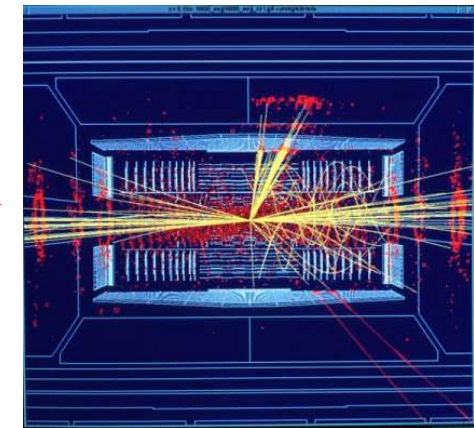
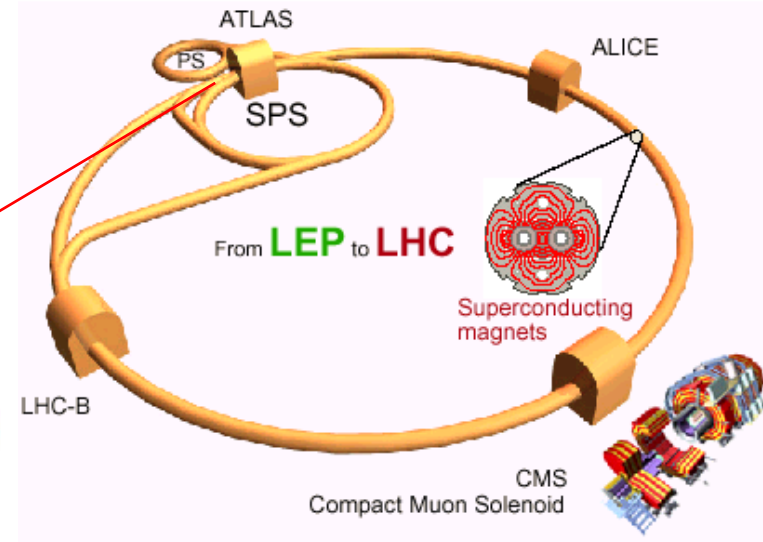
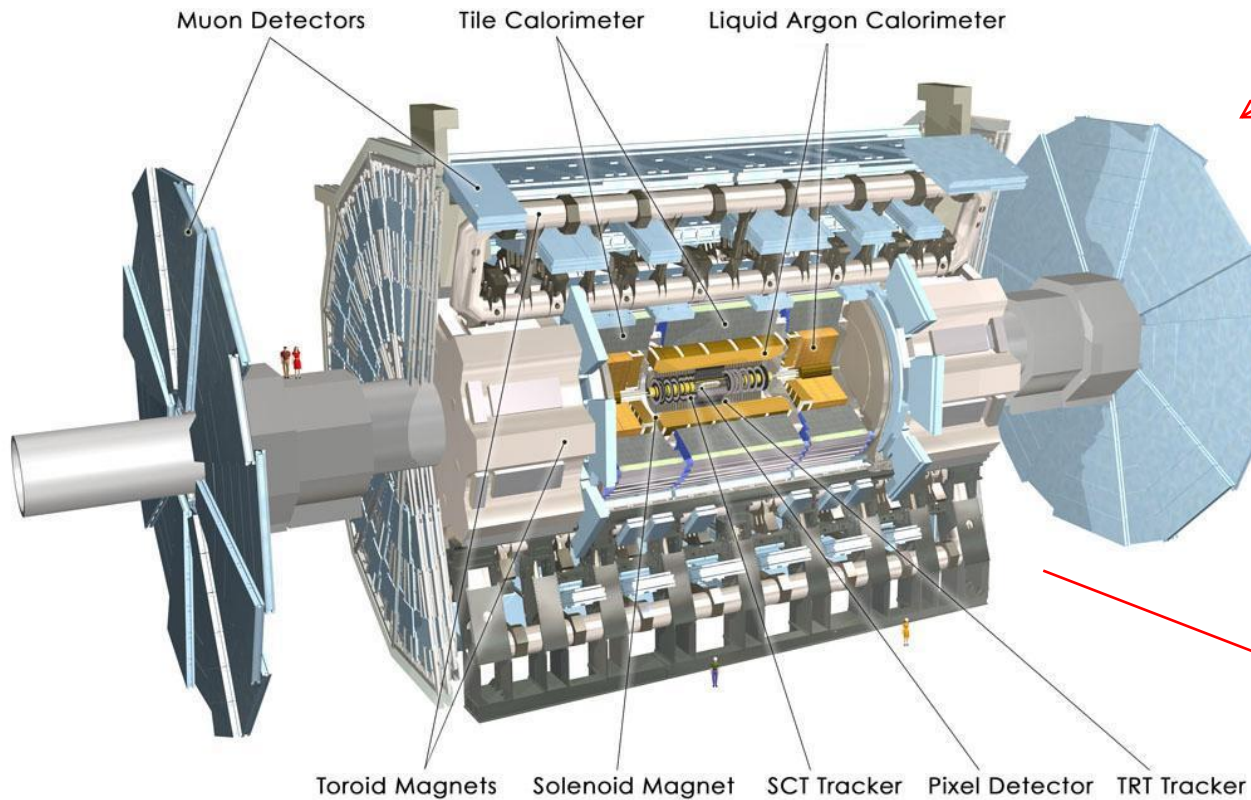
Georges Aad : physicien



ATLAS dans le LHC

The Large Hadron Collider (LHC)

Multi-detecteur qui combine plusieurs technologies



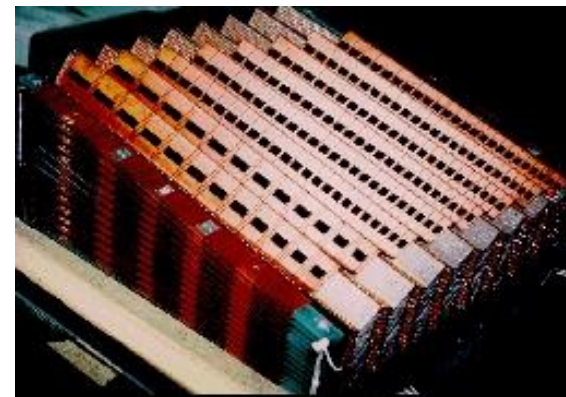
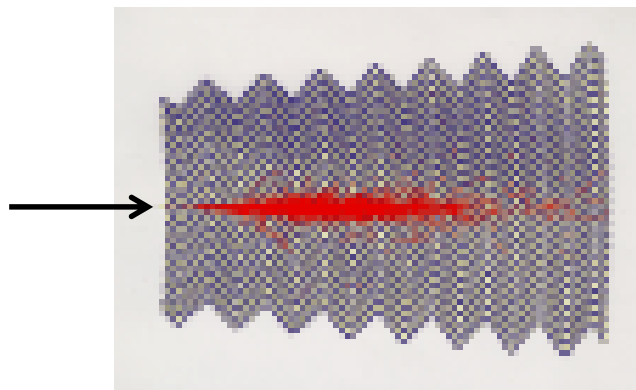
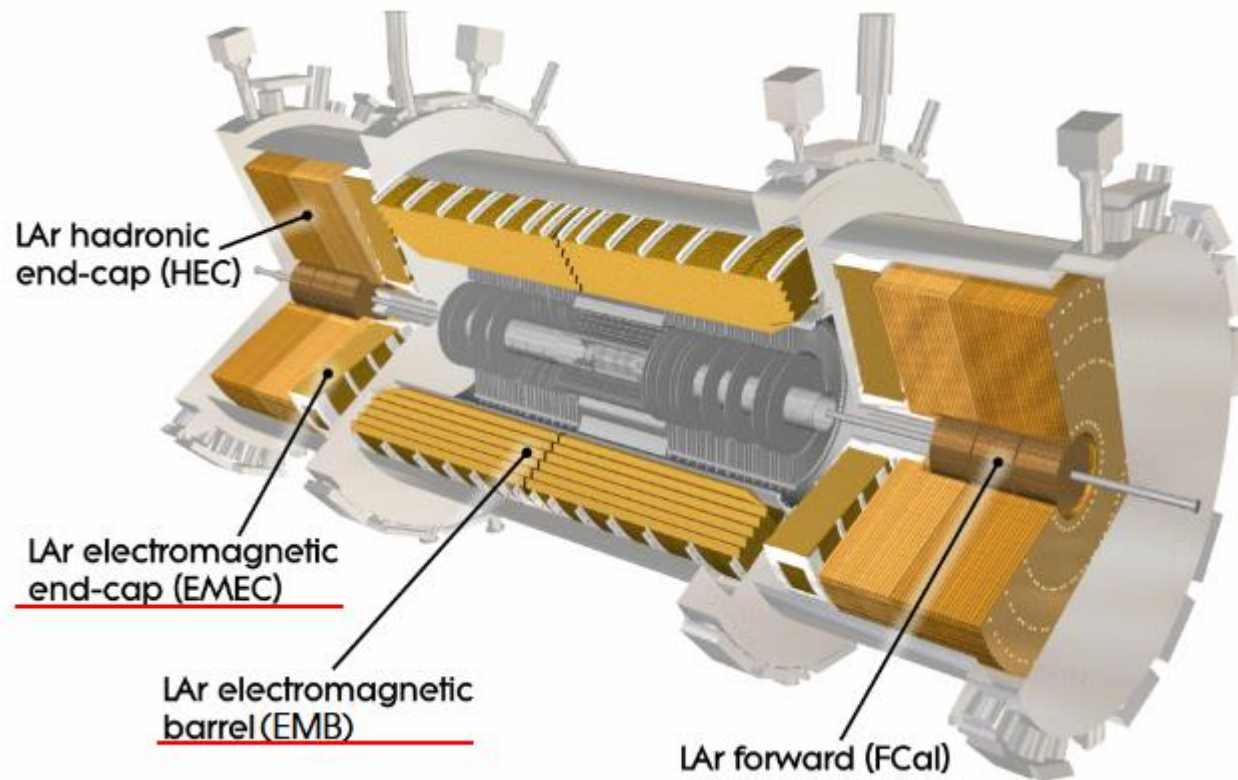
ATLAS : **A**Toroïdal **LHC** **A**pparatu**S**

40m x 22m

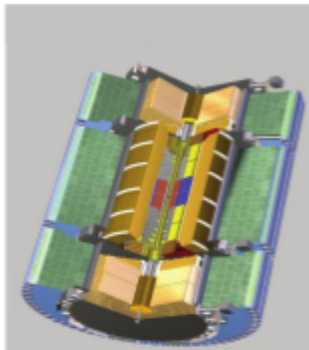
7000 tonnes

1 collision toutes les 25 ns
soit
40 millions de collisions / s

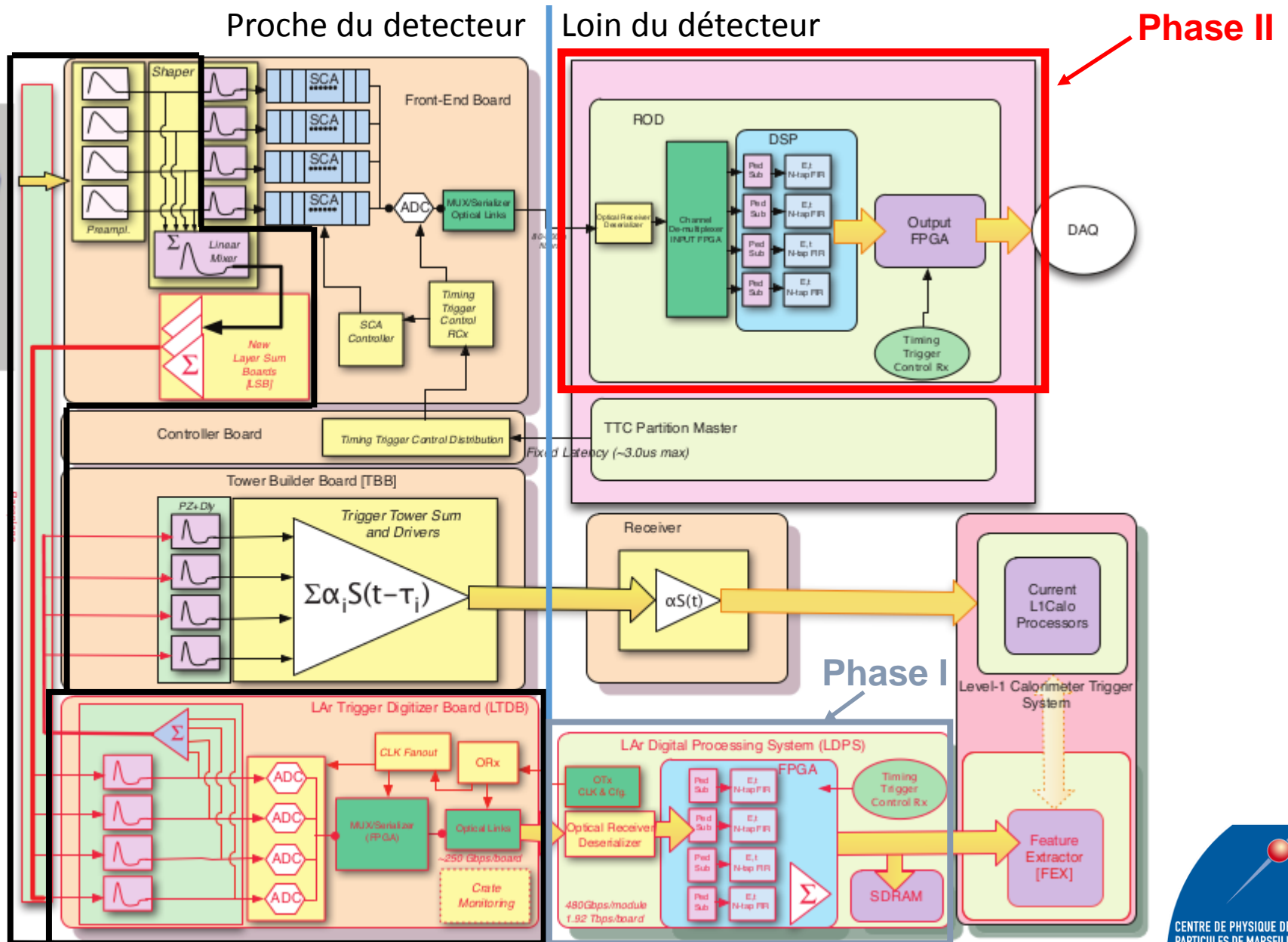
Le calorimètre électromagnétique



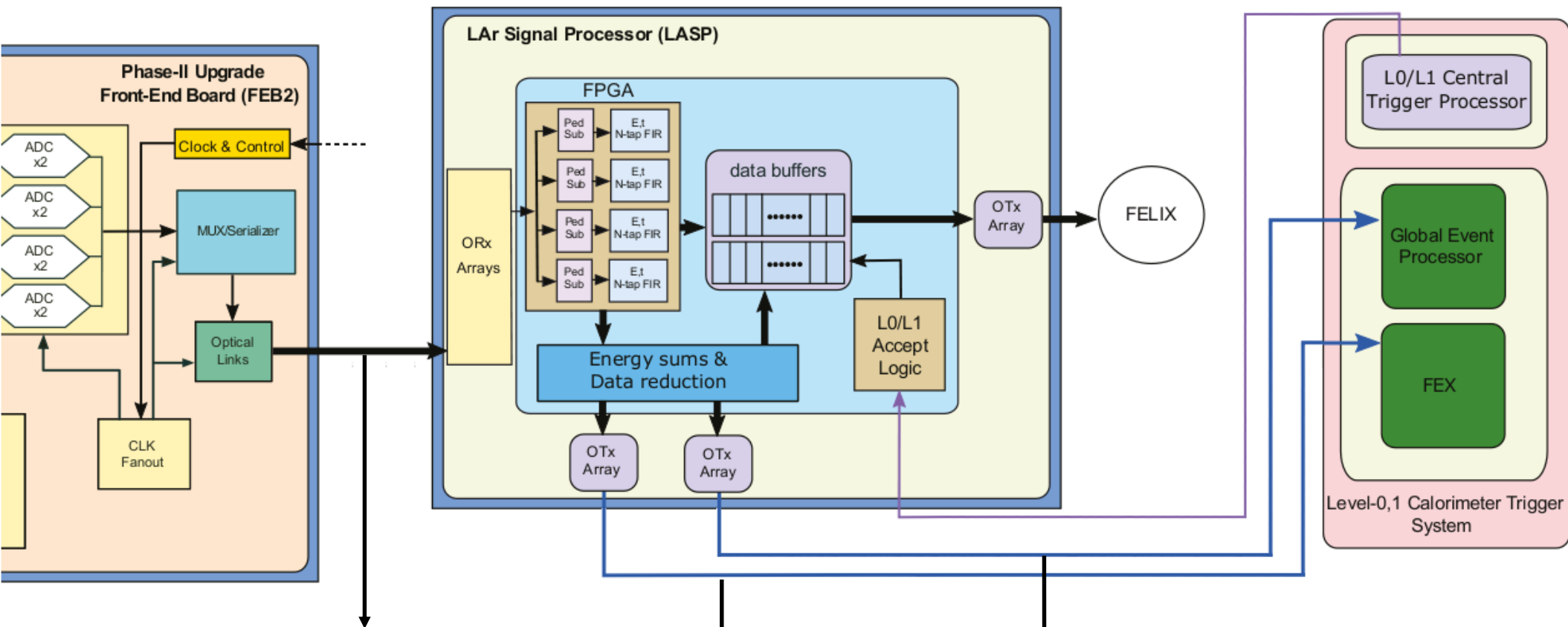
Electronique de lecture et traitement du signal



180 000
voies



LAr Signal Processor (LASP)



- 1524 cartes FEB2
- 31912 liens IpGBT @ 10.24 Gbps
- ~327 Tbps de bande passante d'entrée
- 22 liens par carte FEB2

810 liens @ 11.2 Gbps pour les FEX

1484 liens @ 25.78 Gbps pour le global event processor

Fonctions du LASP

Le LASP :

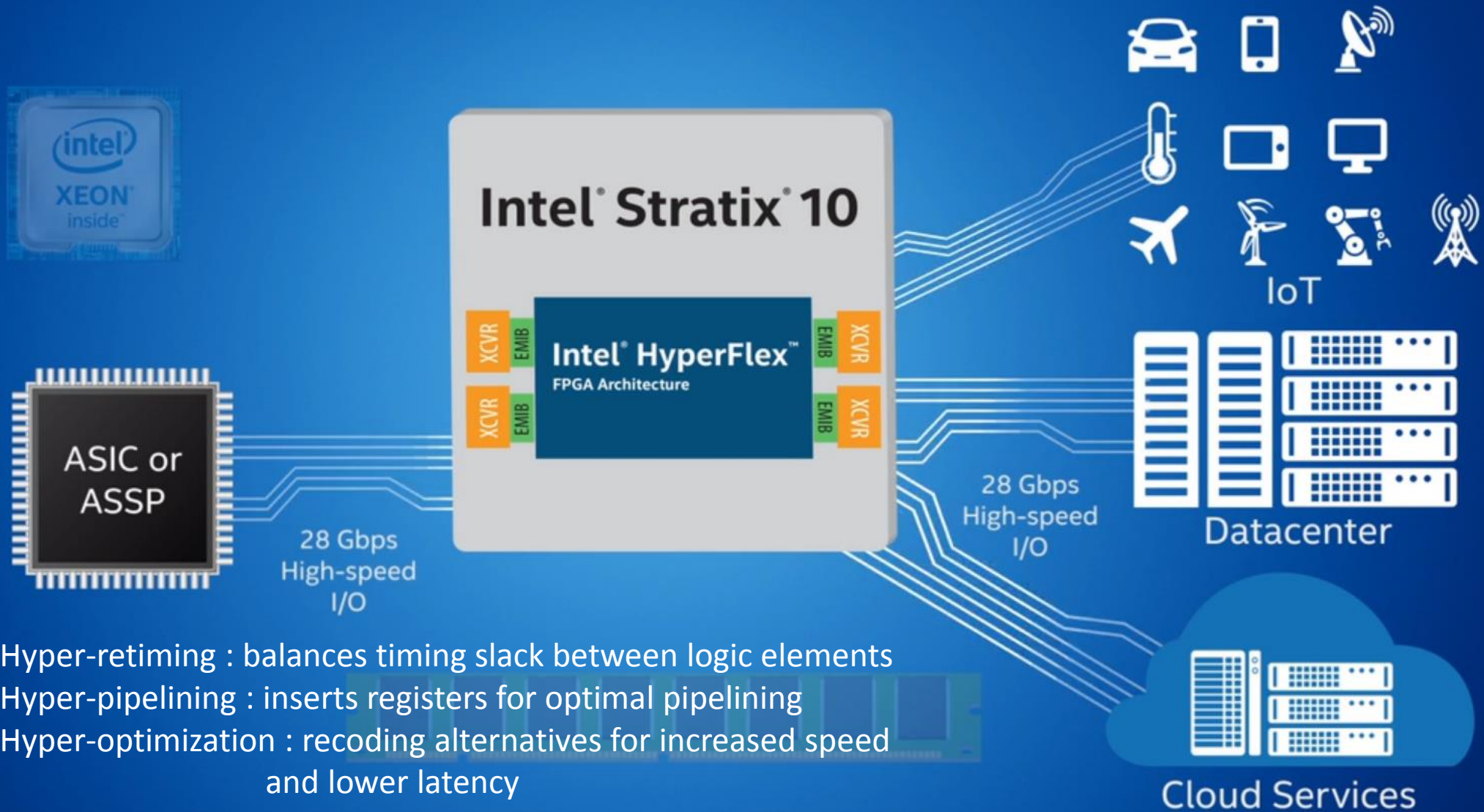
- Reçoit les données optiques @ 10.24 Gbps
- Stocke en mémoire tampon des données @ 650 Gbps pendant 35 micro-s
- Effectue des calculs de reconstruction d'énergie et des mesures de temps à partir des impulsions de signaux du LAr par filtrage numérique
- Le bruit d'empilement par forte luminosité est pris en compte
- Envoie les données sous forme optique jusqu'à 25.78 Gbps

Matériel du LASP

- ✓ Technologie **ATCA** préférée au **PCIe**
- ✓ 1^{er} prototype : carte **ATCA monolithique**
- ✓ Jusqu'à 22 fibres optiques @ 10 Gb/s par FEB2
- ✓ Chaque FPGA gèrera 4 FEB2
- ✓ 2 FPGAs haut-de gamme par carte ATCA
- ✓ 200 cartes ATCA
- ✓ 12-14 cartes per châssis ATCA
- ✓ **Limite ~ 400 W par slot**

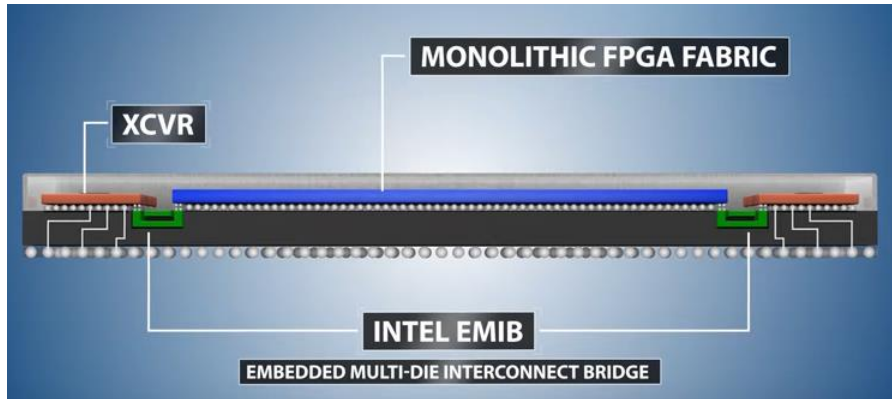
Quel sera ce FPGA ?

Architecture hyperflex du STRATIX 10

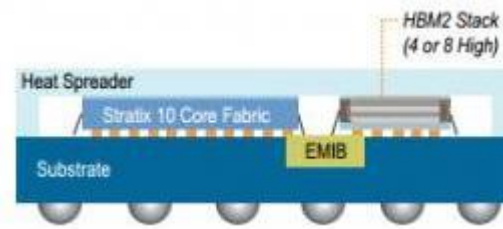


Types retenus de STRATIX 10

STRATIX 10 type GX



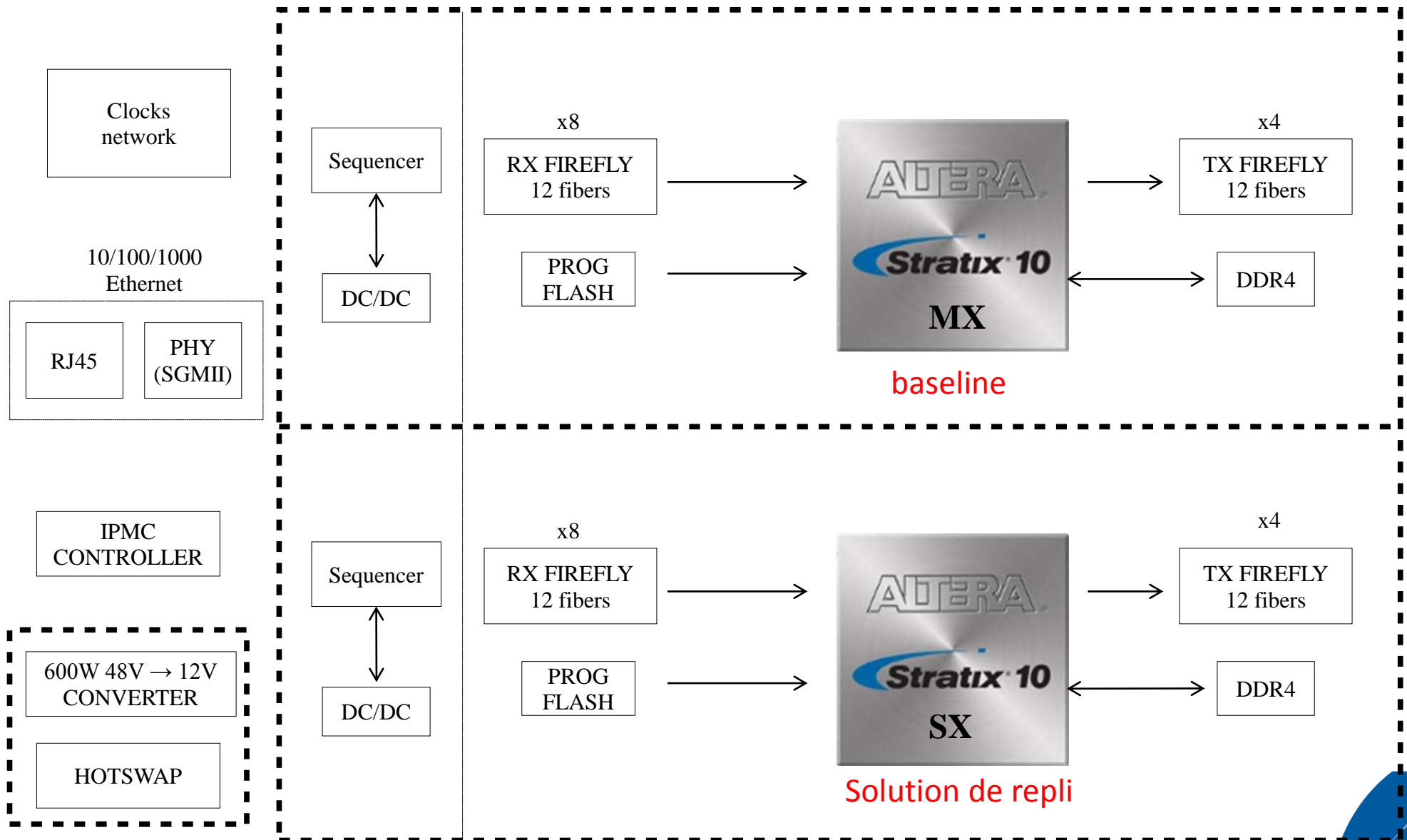
STRATIX 10 type MX : ajout d'une mémoire HBM2



- 1024 canaux @ 2Gbps chacun
- Capacité : 8 Go

STRATIX 10 type SX : ajout d'un processeur cortex-A53 (SOC)

Block diagramme de la carte ATCA prototype



Alimentation du STRATIX 10

Problématique complexe :

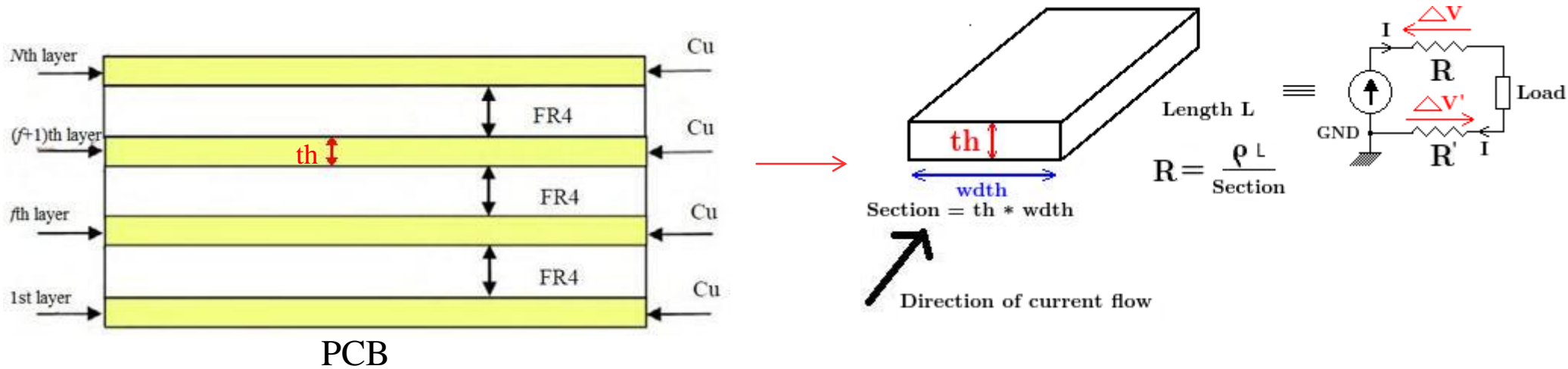
- Fort courant et plusieurs alimentations
- Chute de tension et dissipation de puissance dans les couches de PCB
- Nécessité de procéder à des tests en mode isolé
- Fort découplage requis

Aide de la part de INTEL/ALTERA (SLU)

Estimation de consommation de puissance du FPGA

Watt	LOW	MEDIUM	HIGH
Core logic	10	40	56
Internal memory block	2	16	40
DSP	4	40	66
Transceivers	2	7	45
Clocks	1	7	13
TOTAL for SX	19	110	220
Correction for MX	10	81	163

Chute de tension et dissipation de puissance



Epaisseur	Largeur	Longueur	Resistance	Courant	Chute de tension	Puissance dissipée
35 microns	15 cm	10 cm	$3.24 * 10^{-4} \Omega$	120 A	77.72 mV	9.33 W
70 microns	15 cm	10 cm	$1.62 * 10^{-4} \Omega$	120 A	38.86 mV	4.67 W
400 microns	15 cm	10 cm	$2.83 * 10^{-5} \Omega$	120 A	6.8 mV	0.82 W

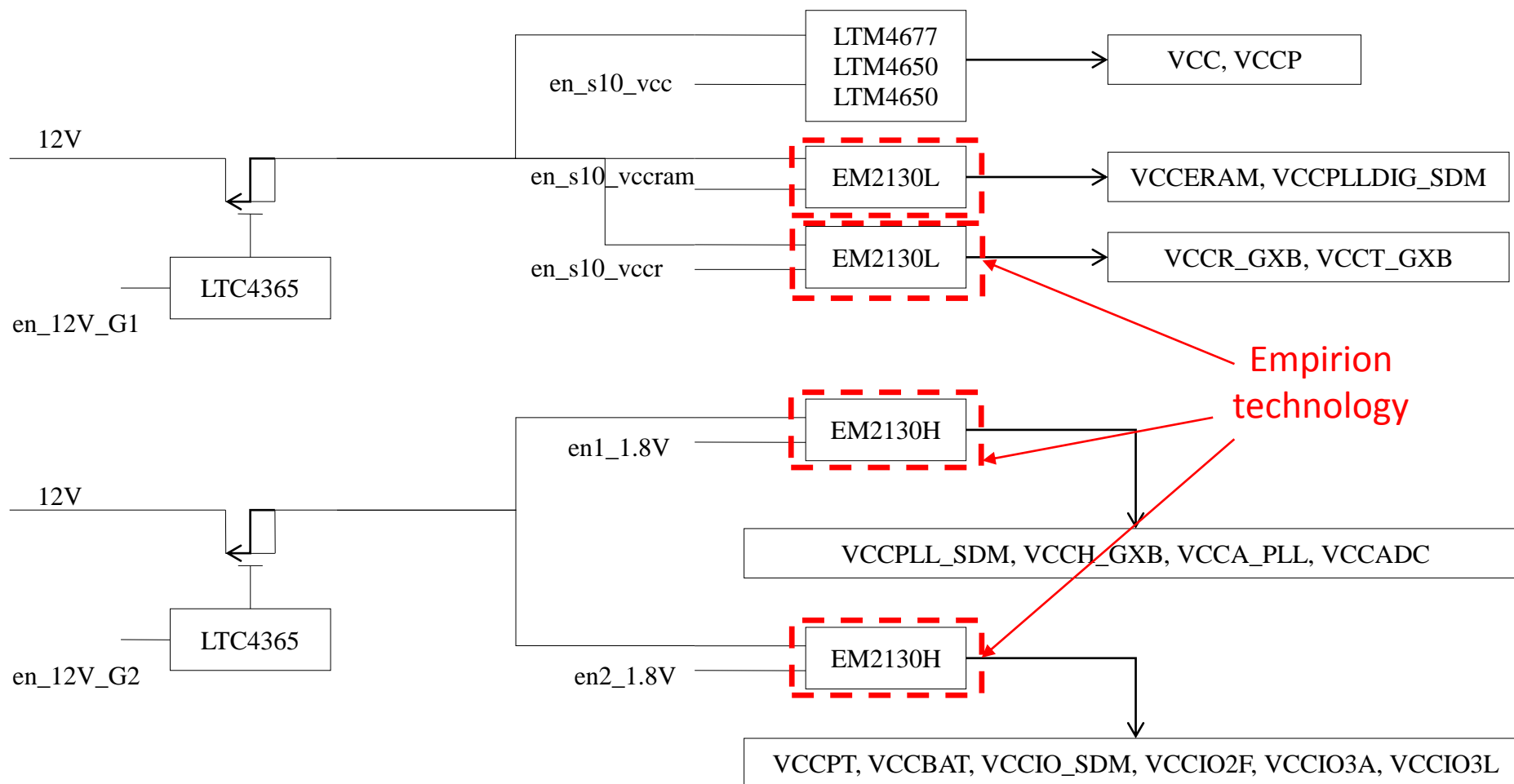


OK

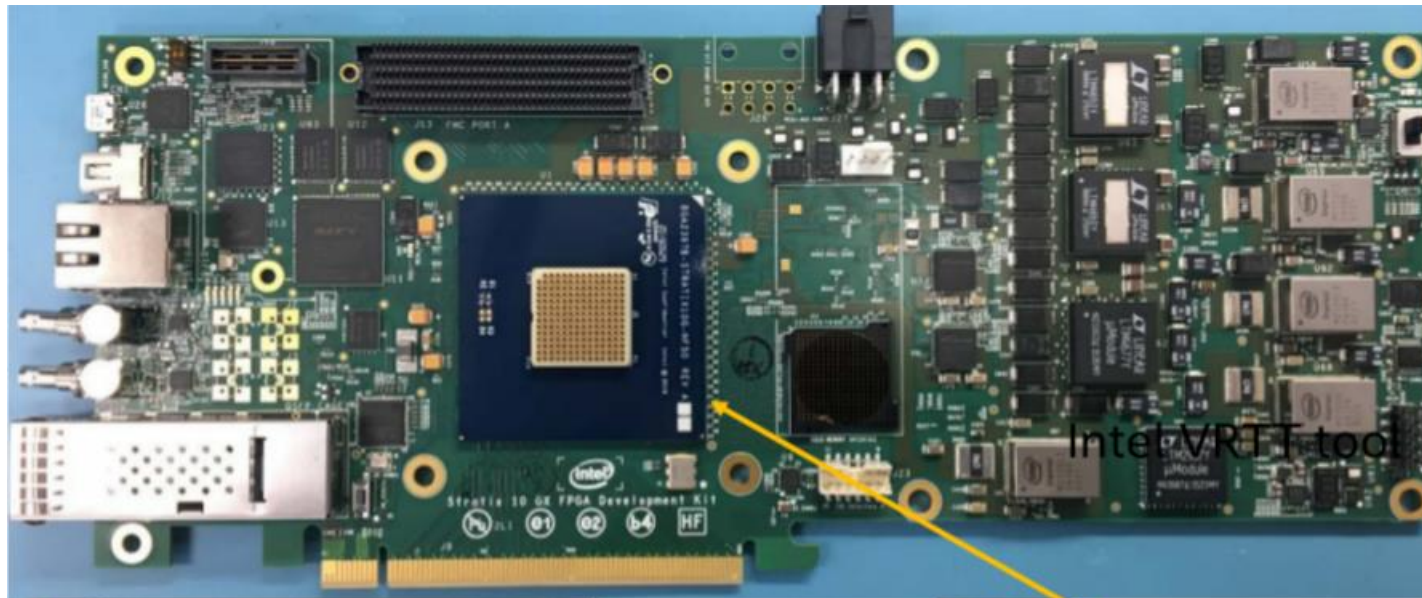
Example with
STRATIX 10
VCC core

VCC CORE	Min	Typ	Max
	0.80 V	0.87 V	0.94 V

Solution proposée par INTEL pour l'alimentation des FPGA



Test des alimentations sans FPGA (1/2)

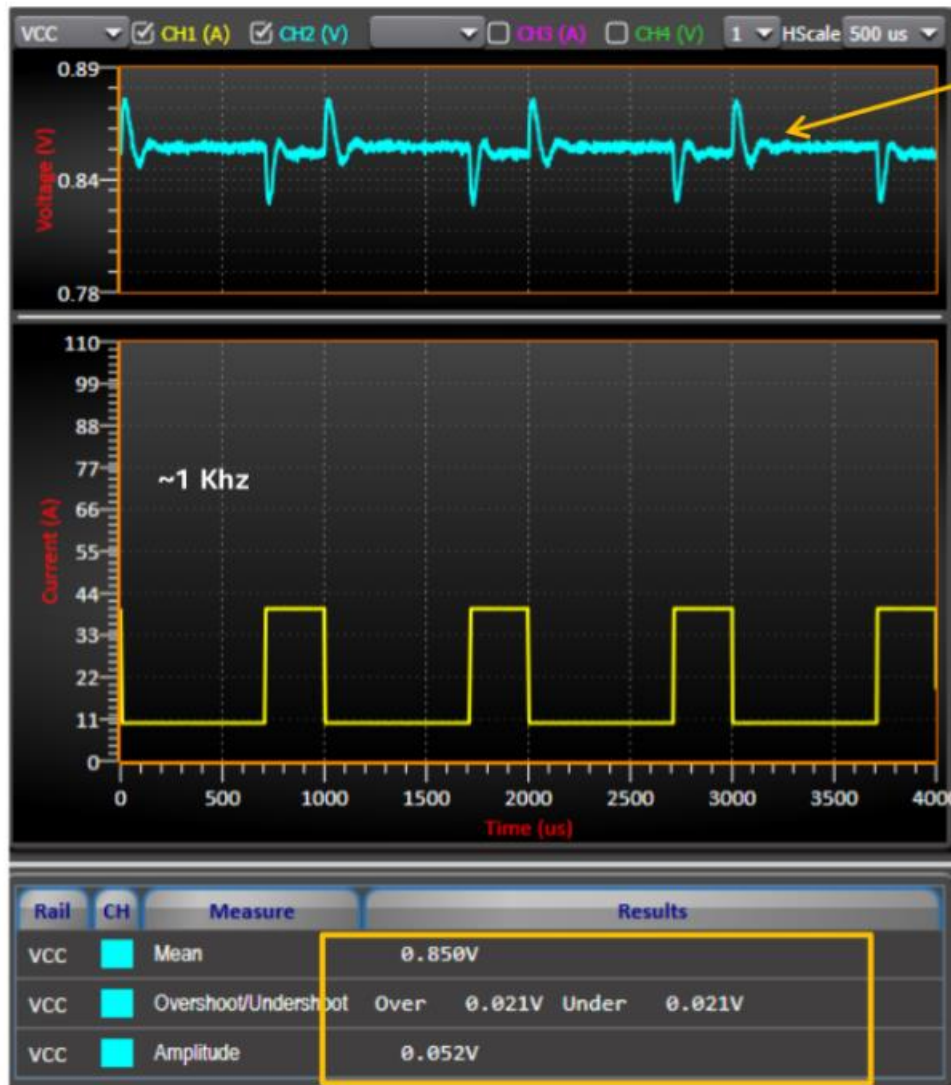


Test avec la sonde
VRTT sur un PCB
sans FPGA



Test des alimentations sans FPGA (2/2)

VCC core 10A – 40A load step



Load step ramp < 1us

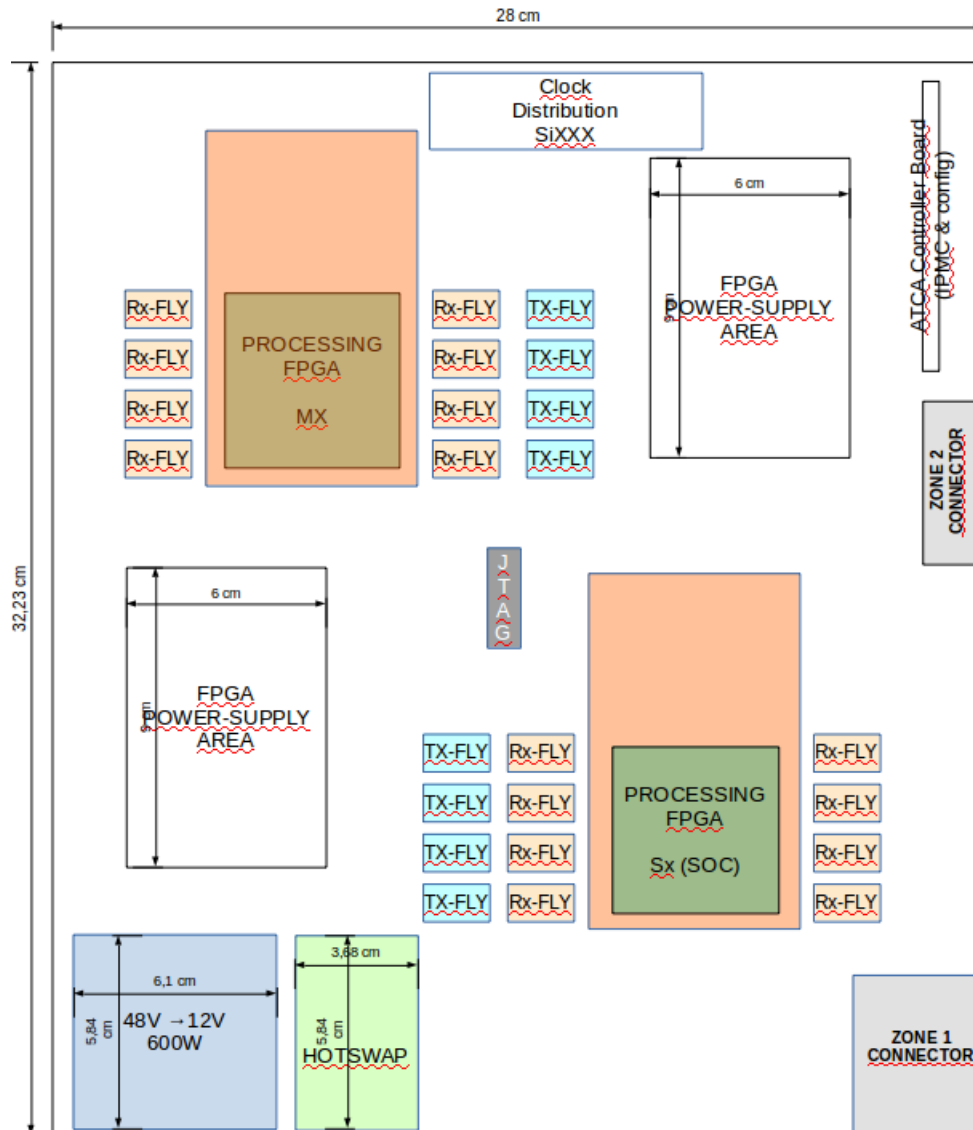
Family / Device	Stratix 10 GX
Available Devices	S10GX280F50ES
Power Supply Rail	VCC

Summary	Options	R (Ω)	L (nH)	C (μ F)
VRM	Switcher	1.0E-03	2.0E+01	N/A
Spreading	Low	0.0005	0.0150	N/A
BGA Via	Calculate	0.0000	0.0028	N/A
Plane Cap	Calculate	0.0019	N/A	0.0630

Target Impedance	Units	Value	Legend
Supply Voltage (Min)	V	0.8	N/A
I max	A	74.8968	N/A
Transient Current	%	30	N/A
Vripple (+/-)	%	5	N/A
Effective Frequency	MHz	13.75	Effective
Ztarget = $\Delta V / \Delta I$	Ω	0.0018	Ztarget

System is designed for this Max & Transient load

Solution de placement sur carte ATCA



Solution de placement choisie après beaucoup de réflexion

Positionnement des FPGA en quinconce

Autres composants principaux:

- 96 fibres RX (8 firefly x 12) / FPGA
- 48 fibres TX (4 firefly x 12) / FPGA

Données de 4 cartes FEB2 -> FPGA :

- Entrée : $4 \times 22 = 88$ fibres d'entrée
- Sortie : 1 fibre de sortie au global event processor
- Sortie : jusqu'à 27 fibres pour FEX

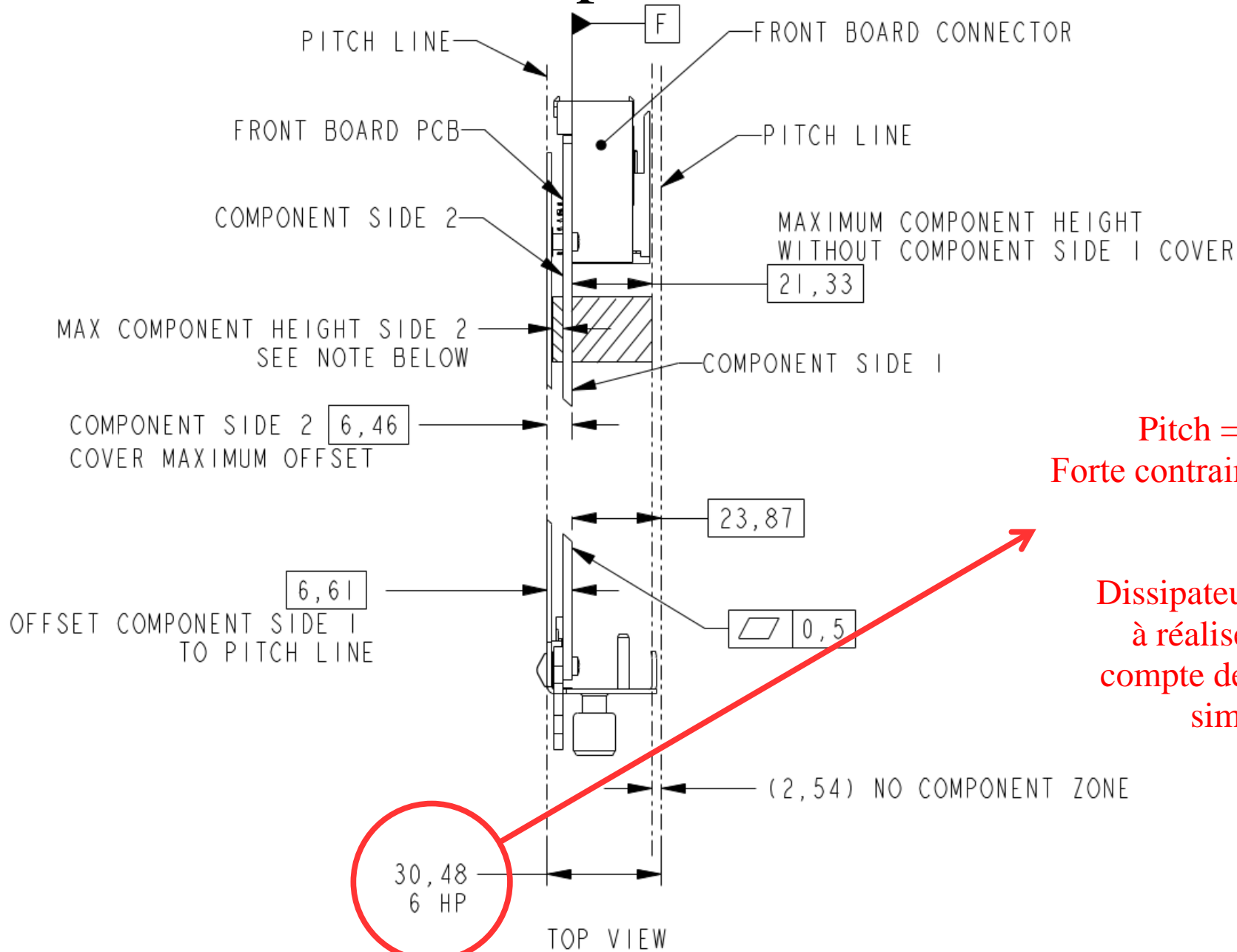
Composant firefly

Composant optique SAMTEC :

- Facilité d'interconnexion sur le PCB : pas de BGA
- Conception haute densité : électronique de réception 12 fibres dans un form-factor réduit
- Compagnie de taille moyenne
- Haut niveau d'engagement



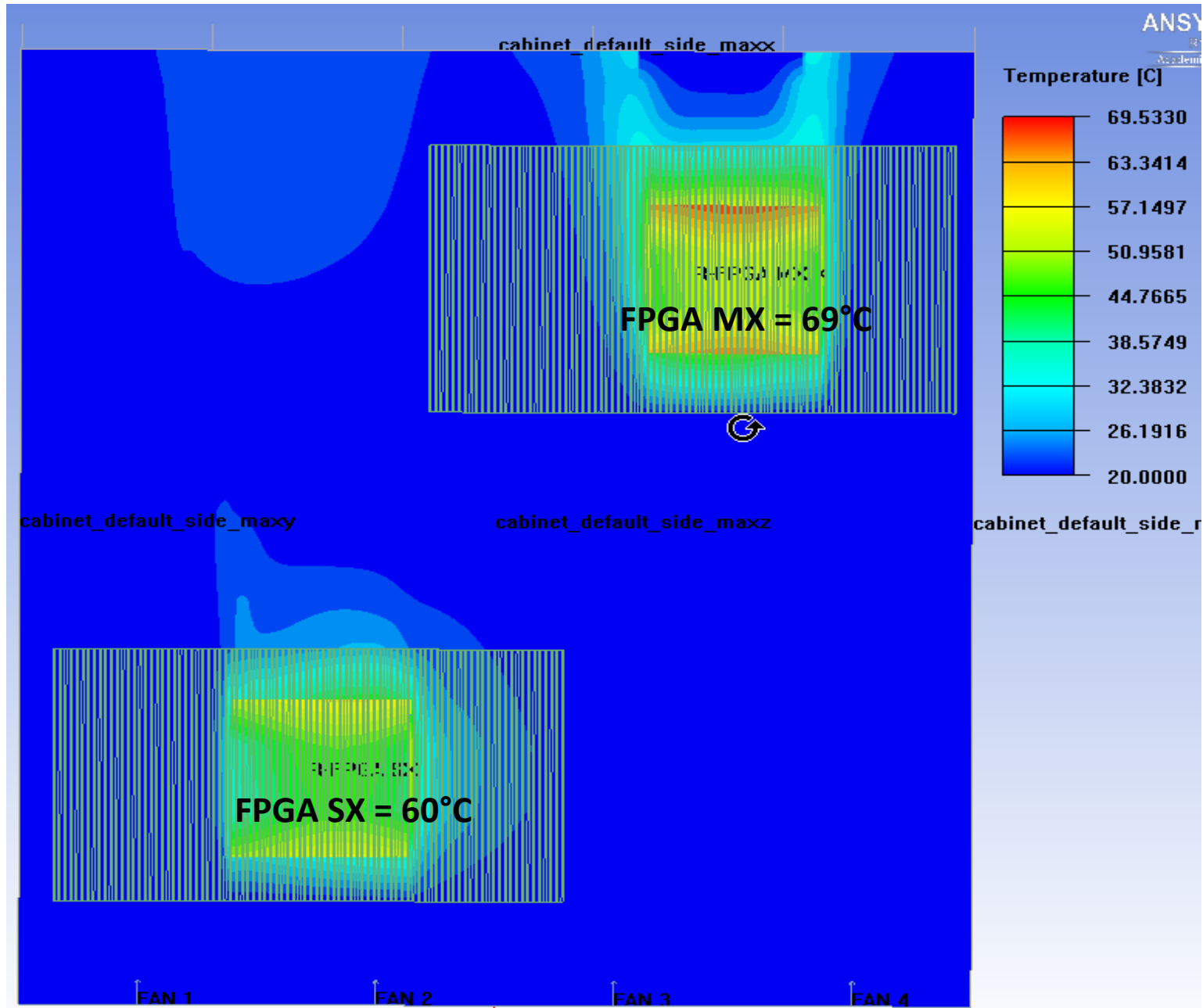
Refroidissement de la carte ATCA avec dissipateur à ailettes



Pitch = 30.48 mm
Forte contrainte d'espace

Dissipateur sur Mesure
à réaliser en tenant
compte des résultats de
simulation

Sans extraction – 4 ventilateurs 25 CFM – air ambiant – 180W – ailettes reliées (90x0,5mm)
Mohamed ZAYED (étudiant)



Prospectives

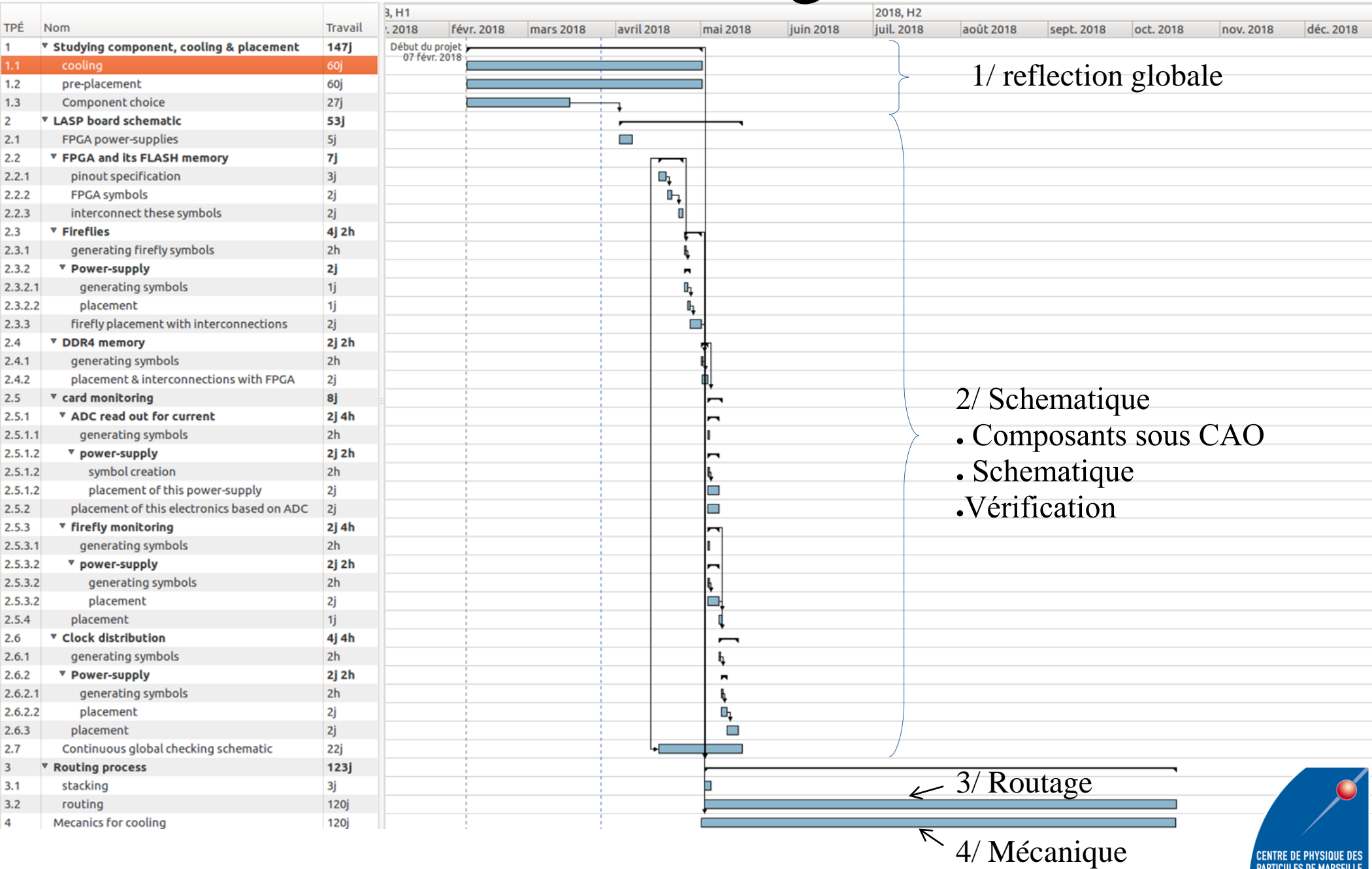
1/ Conception de ce prototype :

- Finir le schéma avant été 2018
- Câblage janvier 2019
- Tests pour la fin de l'année

2/ Tests, mise au point de ce prototype et réalisation d'un second pour 2019/2020

3/ Fabrication (pre-series, series) / Installation – commissioning pour 2021-2025

Planning



1/ reflection globale

2/ Schematique

- Composants sous CAO
- Schematique
- Vérification

3/ Routage

4/ Mécanique

Conclusion

- Approche en commençant par le produit final (« top-down »)
- Identification des points bloquants (alimentation, refroidissement, placement)
- Recrutement d'un étudiant pour les simulations thermiques sous ANSYS CAO
- Réalisation de la schématique en cours
- Planning de réalisation maintenu pour la fin 2018