



# ASIC TDC réalisés au LPC Caen

	TimeStamp	SNATS	Block_50ps	SCATS	FEAST	TEPIC
<b>Projet</b>	R&D	SuperNemo	R&D	SuperB R&D diamant	SuperNemo	FRACAS
<b>Type</b>	TDC	TDC	TDC	TDC	FEE analog + TDC	FEE analog + TDC
<b>Soumission</b>	01/2007	06/2008	12/2009	11/2011	12/2011	11/2016
<b>Techno AMS CMOS</b>	0,35 $\mu\text{m}$	0,35 $\mu\text{m}$	0,35 $\mu\text{m}$	0,35 $\mu\text{m}$	0,35 $\mu\text{m}$	0,18 $\mu\text{m}$
<b>Collaboration</b>	-	LAL d'Orsay	-	LAL d'Orsay	-	LAL d'Orsay
<b>Interpolateur principal</b>	DLL 16 cellules @ 390 ps	DLL 32 cellules @ 195 ps	DLL 32 cellules @ 195 ps	DLL 32 cellules @ 195 ps	Compteur 48 bits @ 12,5 ns	DLL 64 cellules @ 97,6 ps + Réseau RC @ 48,8 ps
<b>Interpolateur secondaire</b>	Ligne parallèle multi-hits (DAC externes)	-	Ligne série multi-hits asservie	-	-	Ligne série multi-hits (DAC internes)
<b>Pas de quantification</b>	97,6 ps	195 ps	48,8 ps	195 ps	12,5 ns	12,2 ps
<b>Nb de voie</b>	1	16	2	16	54	4



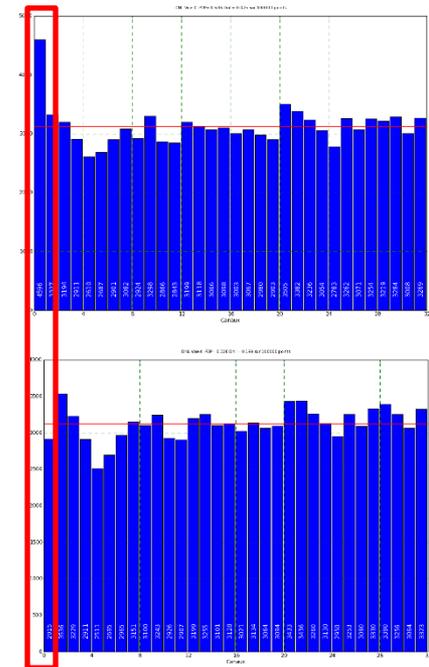
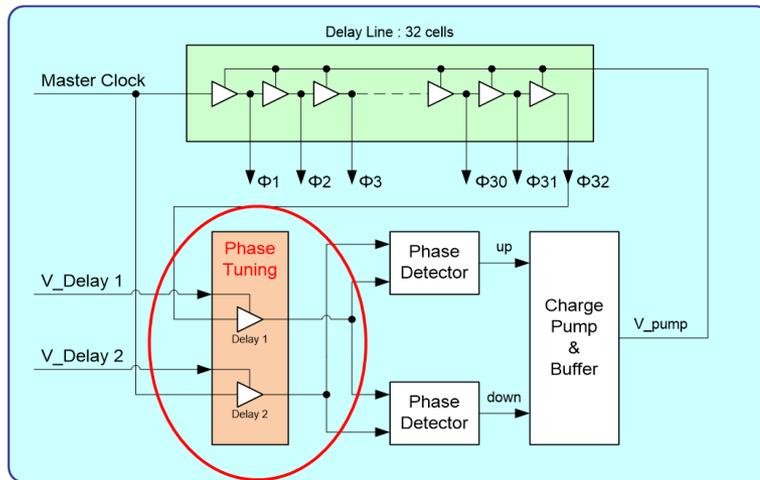
# ASIC TDC réalisés au LPC Caen

	TimeStamp	SNATS	Block_50ps	SCATS	FEAST	TEPIC
<b>Étage d'entrée</b>	-	Discr à seuil commun	Discr à seuil ou LVDS	Discr à seuil commun	Ampli filtre + Discr à seuil commun	Discr low walk Discr à seuil commun
<b>Compteur</b>	-	48 bits GRAY @ 160 MHz	-	48 bits GRAY @ 160 MHz	48 bits GRAY @ 80 MHz	16 bits GRAY @ 160 MHz
<b>Readout</b>	Bus parallèle 16 bits @ 10 MHz	Bus parallèle 16 bits @ 40 MHz	Bus parallèle 16 bits @ 40 MHz	Bus parallèle 16 bits @ 80 MHz	Bus parallèle 16 bits @ 10 MHz	Bus parallèle 16 bits @ 80 MHz
<b>Taux de comptage</b>	-	150 kHz / voie	-	1 MHz / voie	5 kHz /voie	-
<b>Temps mort individuel</b>	-	400 ns	-	43 ns FIFO 8 x 32	100 µs + 2 µs	530 ns (LWD)
<b>DNL</b>	39 ps	51 ps	16 ps	41 ps	369 ps	1,4 ps simulée
<b>INL</b>	160 ps	152 ps	85 ps	110 ps	806 ps	3,6 ps simulée
<b>Résolution RMS</b>	28 ps théorique 57 ps mesurée	56 ps théorique 78 ps mesurée	14 ps théorique 25 ps mesurée	56 ps théorique 80 ps mesurée	3,6 ns théorique 3,62 ns mesurée	3,5 ps théorique ? mesurée
<b>Puissance</b>	-	380 mW	20 mW interpol	500 mW	760 mW	3,6 mW interpol 30 mW LWD
<b>Taille</b>	-	12,7 mm <sup>2</sup>	3,56 mm <sup>2</sup>	23,4 mm <sup>2</sup>	38,5 mm <sup>2</sup>	5,26 mm <sup>2</sup>

Quelques points intéressants :

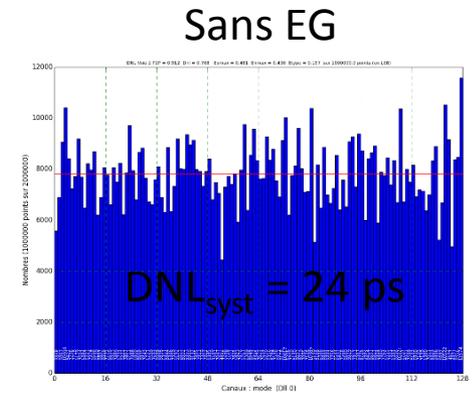
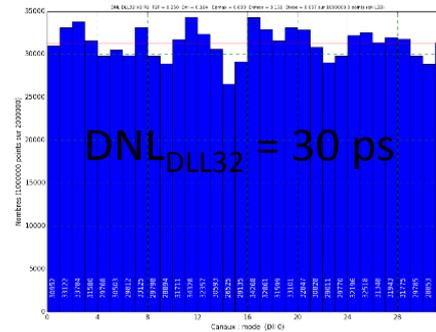
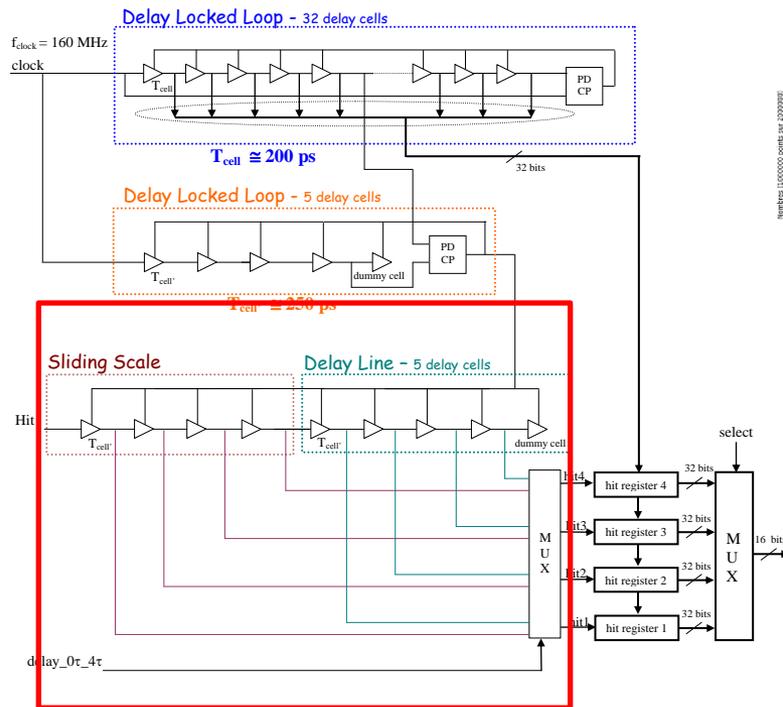
DLL sensible au bruit d'alimentation  $\Rightarrow$  **simulation avec self de bonding**

Optimisation de la DNL de la DLL  $\Rightarrow$  **système de tuning**

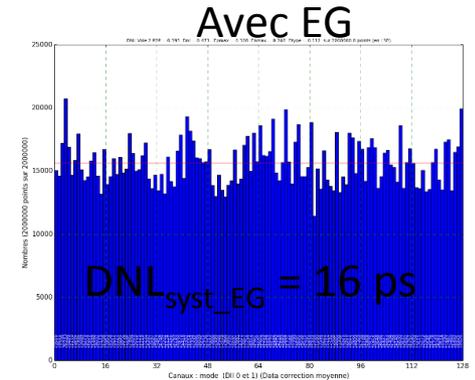
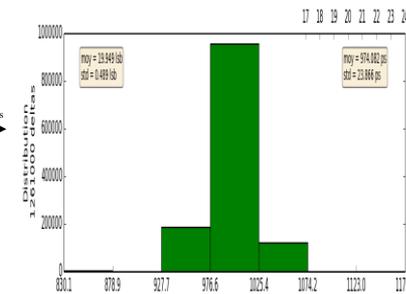


Quelques points intéressants (suite) :

Optimisation de la DNL sur système multi-hits asservi  $\Rightarrow$  **système d'échelle glissante**



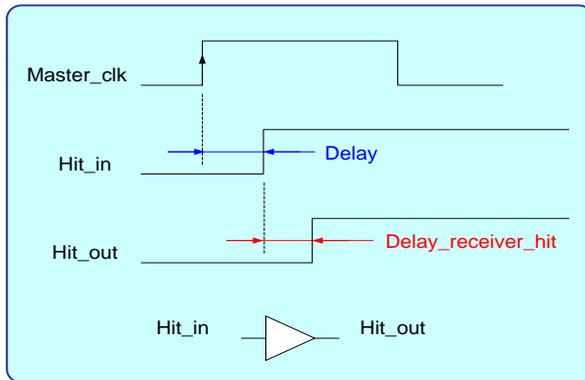
Calibration nécessaire



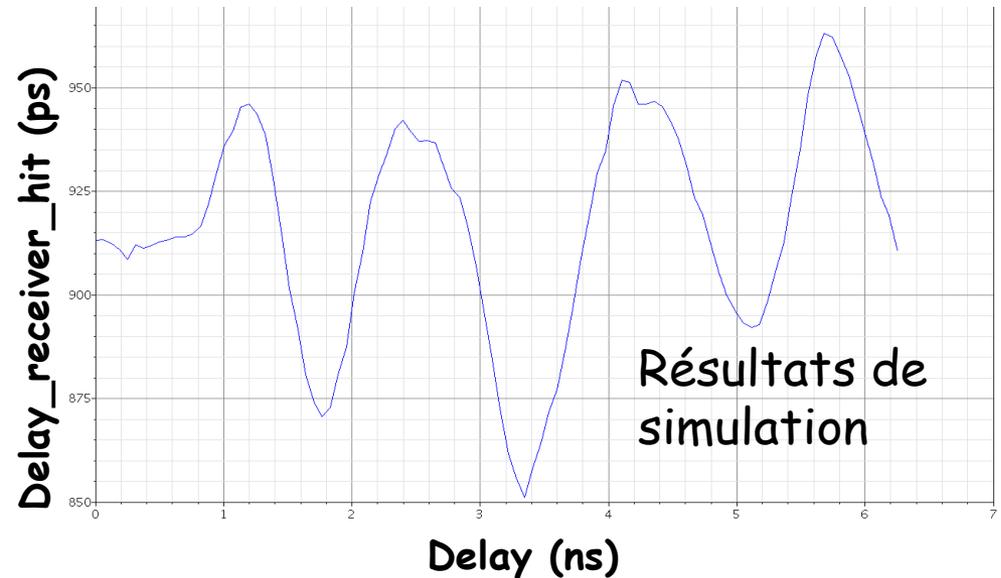
Quelques points intéressants (suite) :

Les récepteurs de Hit et le récepteur d'horloge partagent la même alimentation (SNATS).

↳ Le temps de propagation du récepteur de Hit est fonction de l'instant d'arrivée du signal Hit par rapport au signal d'horloge!



**Solution: Séparer les alimentations entre les récepteurs**



TEPIC : poster proche du bar !

