

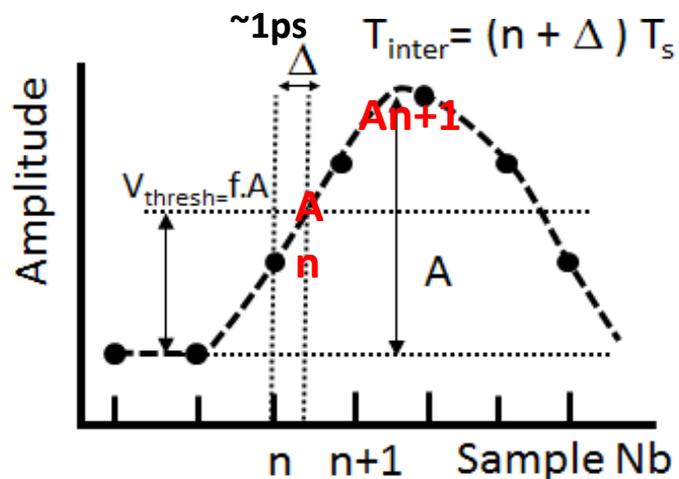


Les TDCs au Laboratoire de l'Accélérateur Linéaire d'Orsay

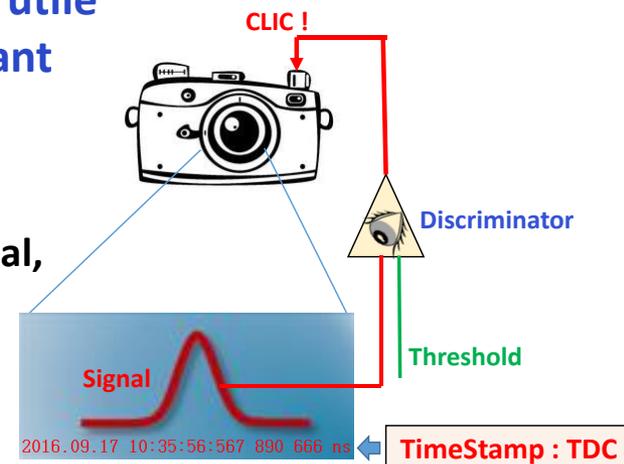
- ❑ **Les TDC digitaux classiques à base de DLL**
- **Collaboration avec le LPC Caen**
- ❑ **Les Waveforms TDC**
- **Collaboration avec l'IRFU**

WTDC : un TDC qui permet de prendre une photo de la partie utile d'un signal. Photo obtenue en échantillonnant et en numérisant ce signal.

- A partir des échantillons numérisés, en utilisant un algorithme digital, l'extraction du timing fin est obtenue.



$$t_0 = (n + \Delta) \cdot T_s \quad \text{avec} \quad \Delta = \frac{f \cdot A - A_n}{A_{n+1} - A_n}$$



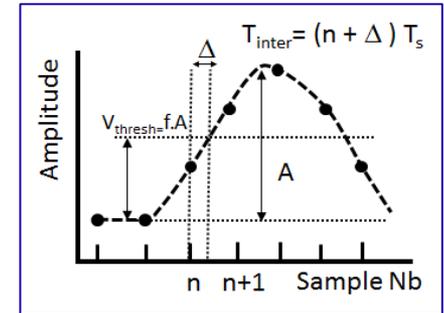
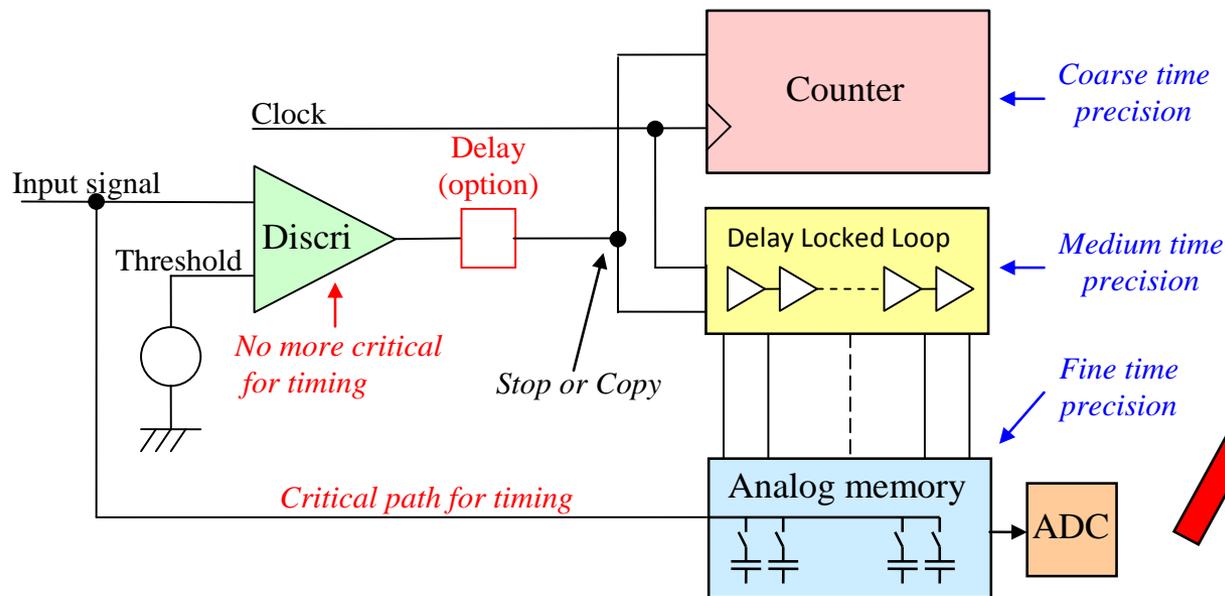
▪ Avantages:

- résolution temporelle \sim qq ps
- pas d'erreur de "time walk"
- possibilité de calculer d'autres paramètres : la charge, l'amplitude...

▪ Inconvénients:

- temps mort lié à la conversion AN et à la lecture ne permet pas des taux de comptage aussi élevés qu'un TDC classique

Schéma de principe d'un WaveformTDC



Global time =
 counter (~10ns)
 + DLL (~100ps)
 + waveform (~ps)

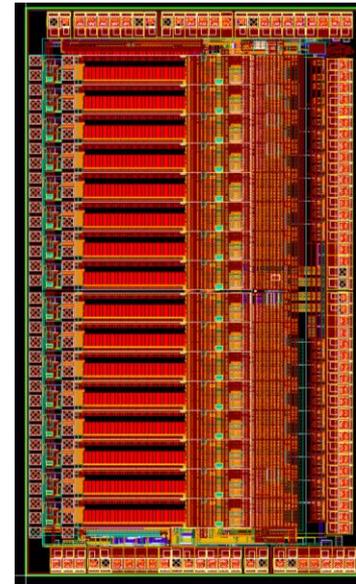
- L'information complète du temps est obtenue en combinant 3 temps :
 - **grossier** = compteur GRAY de "Timestamp" (pas de 6.25ns @ 160MHz)
 - **médium** = DLL verrouillée sur l'horloge (pas ~100 ps par cellule avec 64 cellules)
 - **fin** = interpolation des échantillons (résultat de **calcul** à qq ps de précision)

SAMPIC: a 16-channel, 10-GSPS WTDC digitizer chip for picosecond time measurement

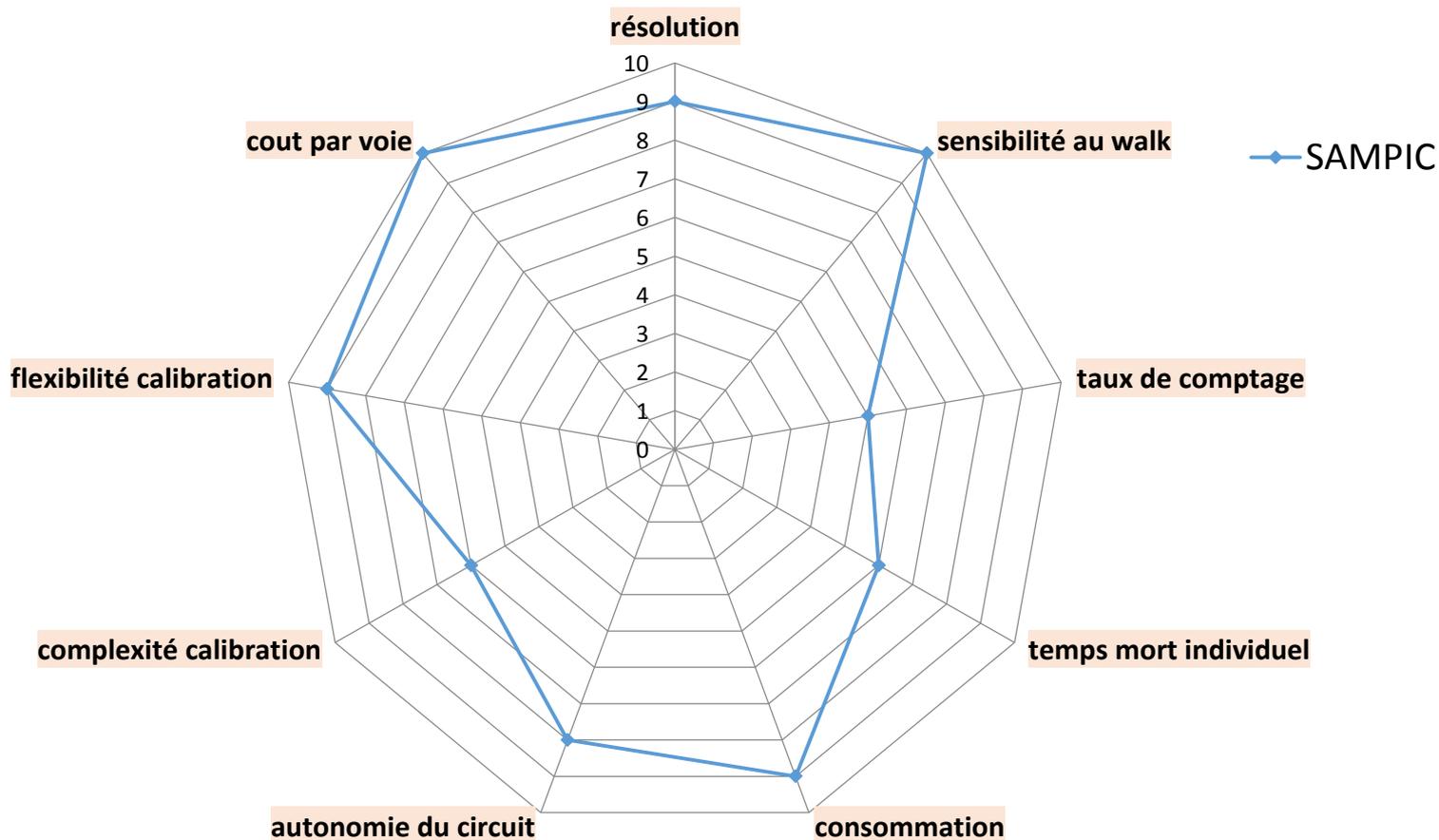
- R&D project started in **January 2012**, founded by P2IO labex.

Performances

- TDC à numérisation du signal d'entrée analogique ou digital
- ASIC en technologie AMS CMOS 0.18 μ m
- 16 voies avec trigger sur coïncidence intégré
- Gamme dynamique de 16 bits @ 160 MHz \rightarrow 410 μ s
- Pas de quantification minimal de 100ps soit $f_e=10$ GS/s
- Résolution de 3.5ps rms après interpolation à base de
Discrimination à Fraction Constante digitale
- Walk compensé totalement par DFC digital
- Temps mort par voie de 100ns (7 bits) à 1.6 μ s (11 bits)
- Taux de comptage 2Mevts/s (full chip, full waveform), jusqu'à 10 Mevts/s avec lecture sélective des échantillons
- Slow control configurable par lien série SPI
- Consommation 10mW/voie



Points forts / faiblesses



Difficultés/Défis

- Mise en oeuvre d'horloge low jitter (jitter clock ext ~ 2.2 ps rms)
- Distribution de signaux multiphases en minimisant la dégradation du rapport cyclique ; ex : signaux d'écriture de la DLL vers les cellules mémoires
Remise en forme par bufferisation à mi-hauteur du chip pour réduire la capacité de ligne mais attention au jitter du buffer !
- Design d'une cellule mémoire analogique : compromis bande passante vs linéarité
- Réalisation de switchs à bande passante élevé : visé 1.5 GHz, 750MHz mesuré
2 rangées de PAD pour accès direct et conserver les 1.5 GHz de BW
- Intégration de 1024 ADCs 11bits : compromis temps de conversion vs résolution
ADC Wilkinson à horloge de fréquence 1.3GHz (oscillateur intégré)
- Réalisation de bus de données à + de 200MHz
Difficile à atteindre dans des circuits multivoies qui partagent un même bus de données sur la hauteur du chip
- Réalisation d'un trigger central à temps de réponse ~ 500 ps
Somme de courant localisée pour minimiser les effets des capas de lignes

merci

BACKUP SLIDES

Points forts / faiblesses

