

DAQ versatile pour lecture des chips OMEGA

Franck GASTALDI



LLR Ecole Polytechnique
F - 91128 PALAISEAU Cedex

Introduction

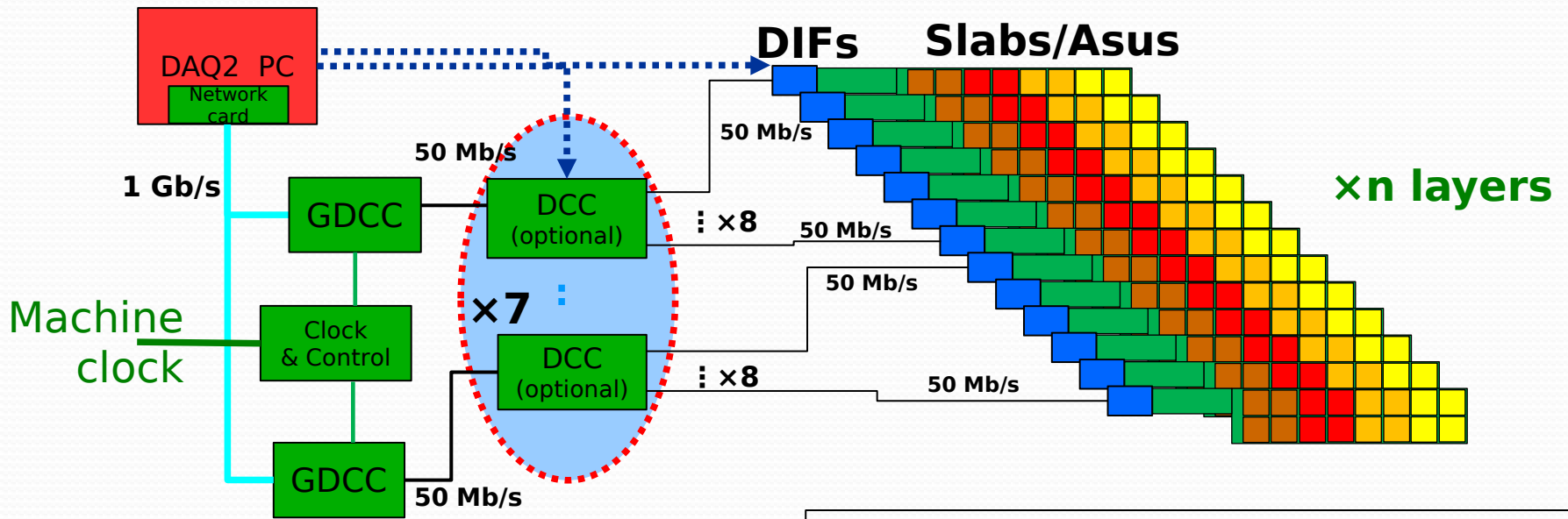
Objectif :

- Dans la plus part des cas, les détecteurs et leurs systèmes de lecture associés sont conçus, testés avant que la DAQ soit mise en œuvre.
- Notre objectif a été de développer un système autant que possible adaptable et basé sur des composants commerciaux.
- Cette DAQ peut-être alors configurée à volonté suivant les besoins exprimés.
- Ce travail a pu être mené grâce aux R&D effectuées sur le projet CALICE.

Conséquence:

- Adaptation au contrôle des chips OMEGA équipant un grand nombre de détecteurs de la discipline.

Vue d'ensemble de la DAQ



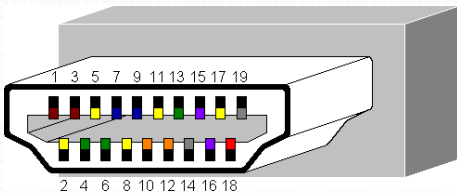
- Digital (Config, Control, Data)
- Clock & Sync
- Optic GigE or copper
- ⋯⋯⋯ Debug USB

Slabs (detector unit) / Asus (Active sensors unit) : detector with integrated front-end electronics and sensors
DIFs: Detector InterFace, servicing the detector unit
GDCC: Giga-Data-Concentrator-Card: Concentrates data, fanin/fanout for clock and control data
CCC: Clock & Control card: Fanout of clock and fast controls
DCC: Data concentrator Card: optional extra level of data concentration

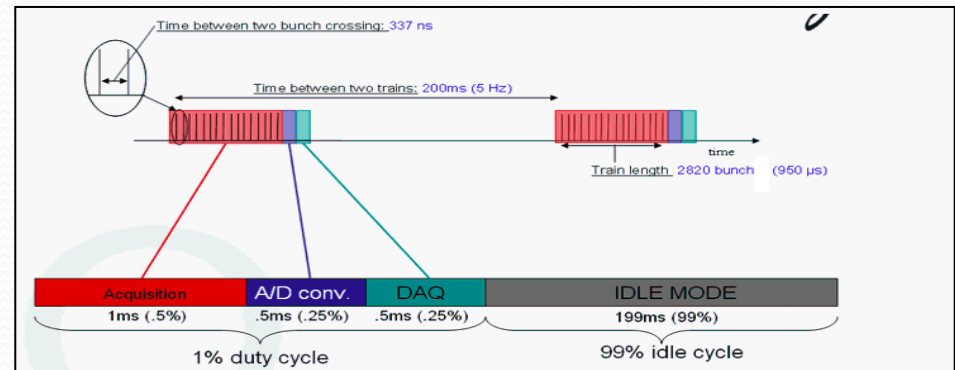
Pré requis

Connectique:

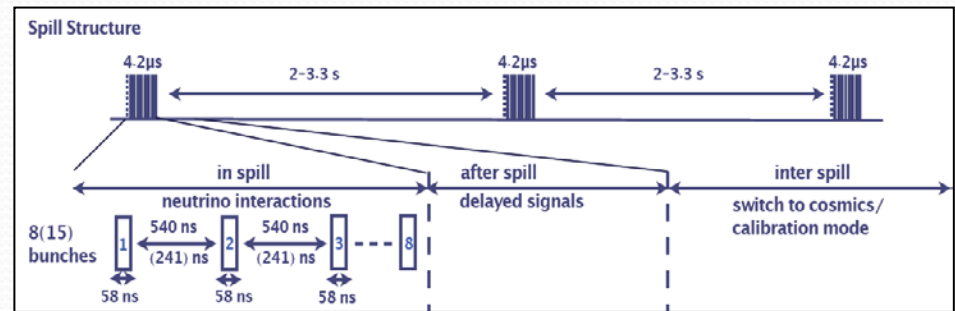
- HDMI
 - Standard commercial
 - Coût raisonnable
- 5 paires
 - Clock (50 MHz)
 - Contrôle
 - Read-Out
 - Trigger
 - Busy



DAQ validée pour ces structures de spill



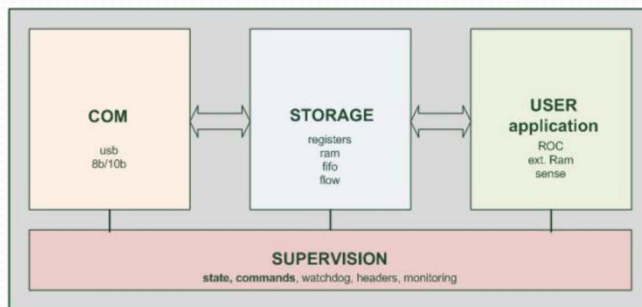
Spill ILC



Spill T2K

Carte DIF

- Concept générique
 - Basé sur un SPARTAN 3
 - Carte compact (73mm x 50 mm, 8 couches)
 - Control jusqu'à 10K canaux
- Blocs fonctionnels simples
 - Gestion des ASICs du front-end (power-pulsing, slow-control, Read_out)
 - Possibilité de stockage du slow control en local (flash memory)



Blocs fonctionnel du Firmware DIF_FPGA



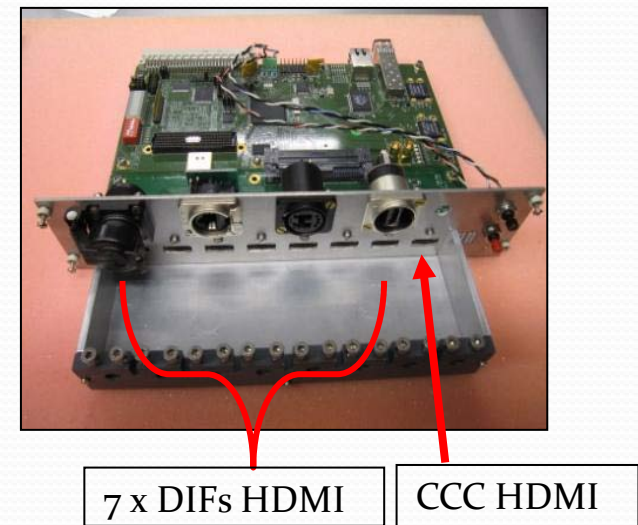
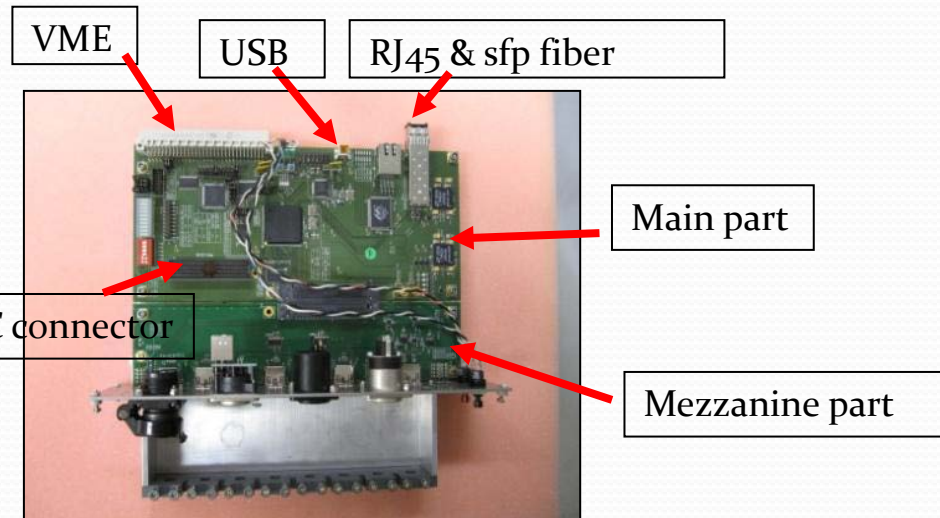
Carte DIF

Carte GDCC

- Format VME 6U (12 couches)
- Conçue en 2 parties : 1/3 - 2/3
 - 1/3 – Mezzanine : contient la connectique spécifique vers les cartes du front-end
 - 2/3 – le “cœur” : Basée autour d’un SPARTAN 6 et un composant Marvell pour la couche physique Ethernet
 - Control le flux entrant et sortant vers les DIF
 - Reçoit les commandes et transmet les données par lien Gigabit Ethernet
 - Reçoit et transmet les signaux spécifiques à la physique par voie dédiée (clock, busy, trigger,...)

GDCC : fonctionnalités

- 1 à 7 canaux HDMI vers les DIF
- Aiguilleur des données de contrôle pour les chips de readout
- Agrégat des données provenant des liens DIFs et transmission sur lien Gigabit Ethernet
 - La couche PHY est supportée par un composant spécifique Marvell 88E1111
 - Gestion simple d'un bus parallèle et quelques signaux de contrôle
- Options:
 - USB : « debug » ou autres
 - Accès Mémoire 1 Gb
 - Connexion par mezzanine FMC



GDCC : Les protocoles

Vers la DIF

- Readout & CNTL : Encodage 8b/10b
 - Certains K caractères utilisés en tant que identifiant de commande
- 2 transferts possible en CNTL
 - Fast : un K caractère particulier pour des commandes telles que: RESET, SYNCMD,..
 - Bloc transfert : envoie d'une séquence de bits pour de la configuration ou accès registres

Vers le lien Ethernet

- Basé sur du raw Ethernet
 - Contenu des champs: « homemade »

Dst MAC	Src MAC	Ethernet Type	GDCC_type	GDCC_modifier	GDCC_pktID	GDCC_dataLength	GDCC_Data	PAD	CRC32
6 Bytes	6 Bytes	2 Bytes	2 Bytes	2 Bytes	2 Bytes	2 Bytes	Variable	Min size Eth	4 Bytes

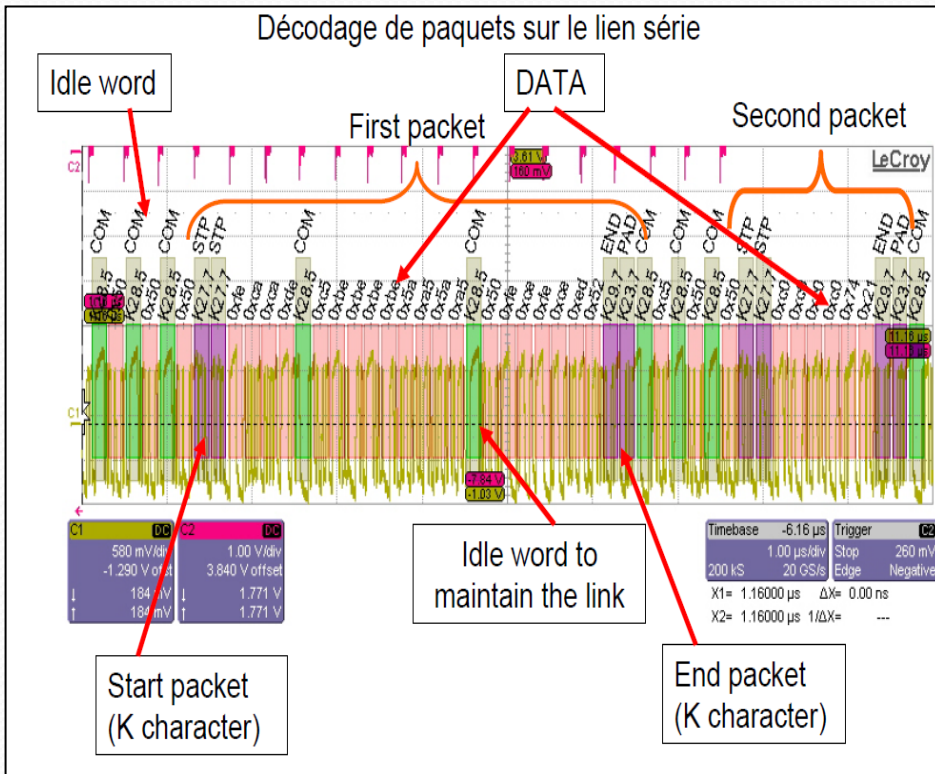
3 kinds of frame

Fast-command with a special Ethernet type 0x809 (GDCC →DIF)
 Control data with a special Ethernet type 0x810 (GDCC →DIF)
 Read-out data with the Ethernet type 0x811 (DIF → GDCC)

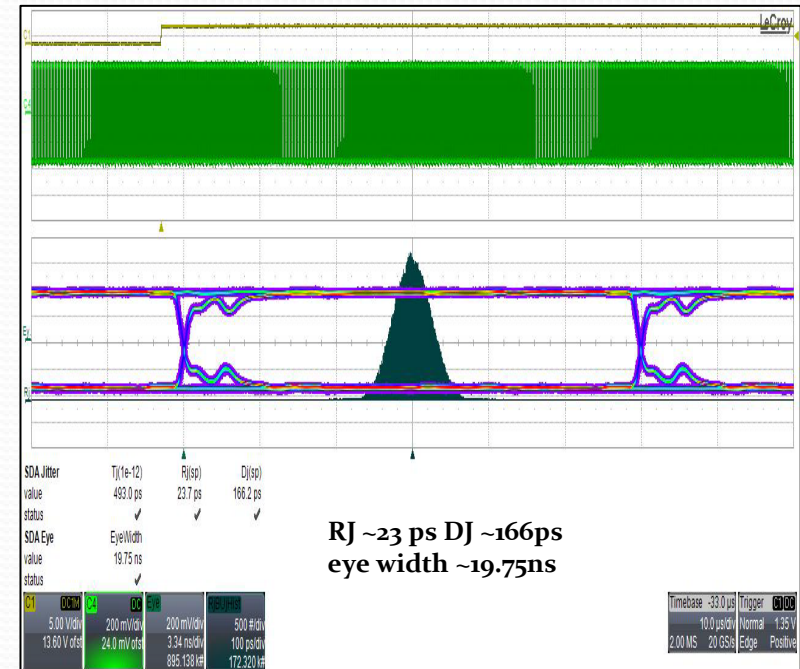
GDCC Header

Content of the DIF structure

GDCC: Quelques résultats



Décodage d'une trame de données



Example of results of eyes diagram and jitter on data readout

Carte DCC

Objectif: Réduction du nombre de carte situé sur la chaine d'acquisition et être autant que possible le plus « transparent » possible.

Mise en œuvre: Réutiliser des blocs existants et les ré-agencer

Caractéristiques:

- Format VME (8 couches)
- 1 connexion HDMI GDCC
- Jusqu'à 8 connexion HDMI DIF
- Débit entrée/sortie identique : 50 Mb/s



Carte DCC

Carte CCC

Objectif : Permettre la synchronisation de l'ensemble de l'acquisition.
En cours de transfert vers une GDCC

Fonctionnalités:

- Jusqu'à 7 voies HDMI
- Distribution de l'horloge de fonctionnement de la DAQ (locale ou externe)
- Distribution du trigger & réception du Busy

 UNIVERSITY OF
CAMBRIDGE



CCC Card



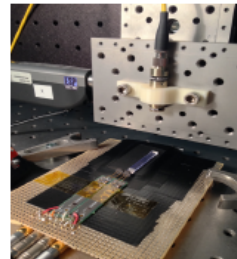
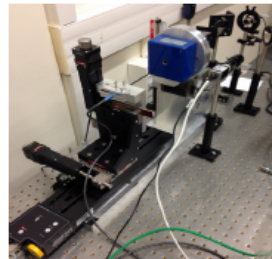
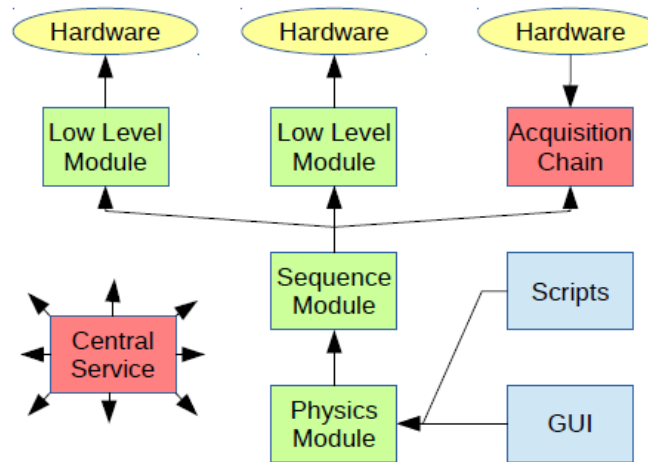
GDCC Card

Le logiciel



Pyrame online system for HEP

- Online Programming Framework
- Distributed over TCP network
- Numerous hardware drivers
- High performance data acquisition and monitoring
- Easily scriptable
- Evolutive : from basic test-bench to real detectors
- Multiple language and SCADA bindings



<http://llr.in2p3.fr/sites/pyrame/>

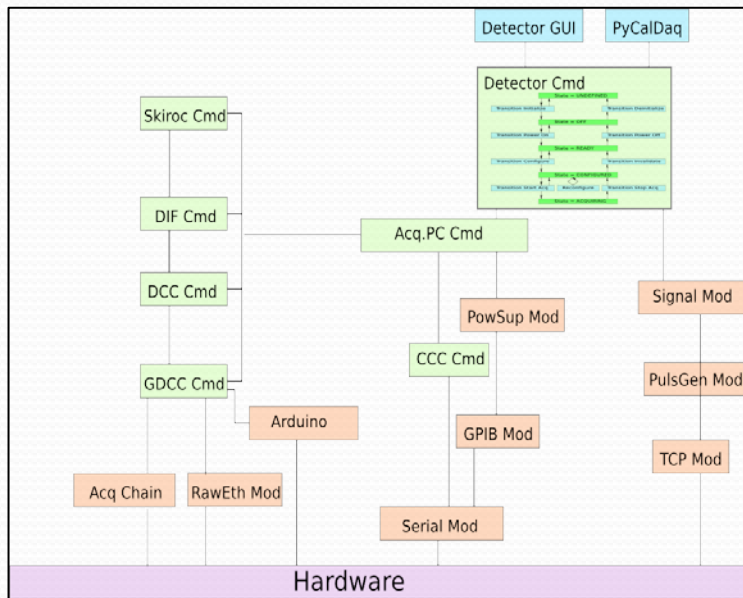
Frédéric Magniette, Miguel Rubio-Roy, Floris Thiant

Le logiciel : applications & GUI

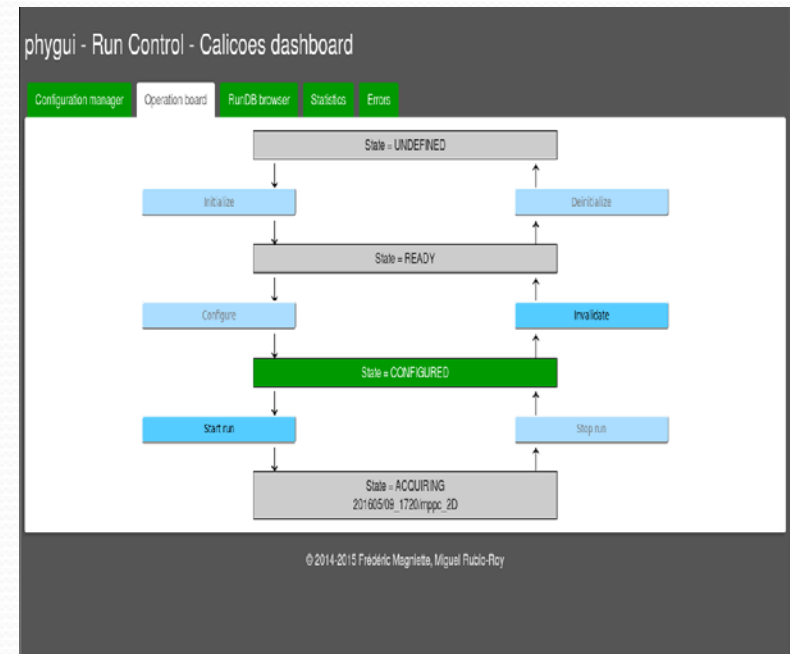
Polyvalent : adaptation au chip à lire

Permet de contrôler les différents instruments de la DAQ
(alimentation, générateurs,...)

Script Python



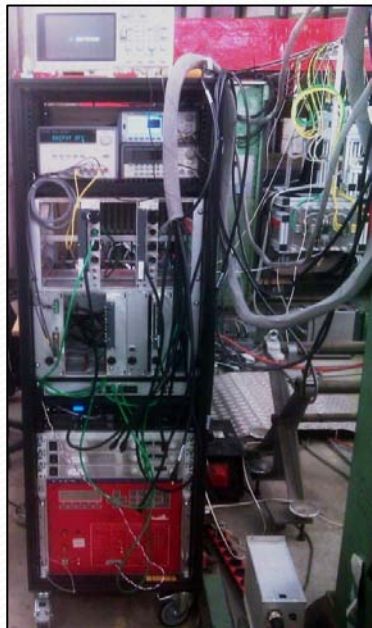
Architecture du contrôle-commande



Interface utilisateur

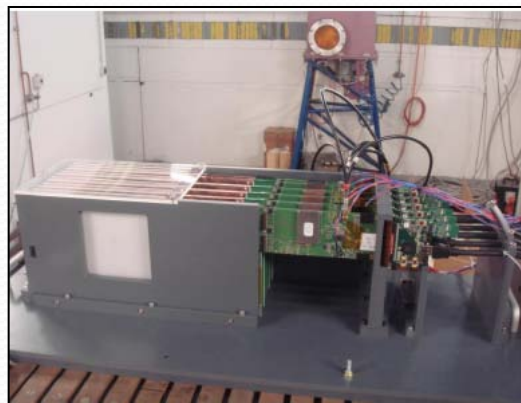
CALICE (Calorimétrie par imagerie)

Objectif scientifique: étude de la calorimétrie intra granulaire optimisée pour la reconstruction de flux de particule pour un détecteur Silicium-Tungstène (ECAL Si/W) auprès d'un collisionneur linéaire avec lecture du chip SKIROC

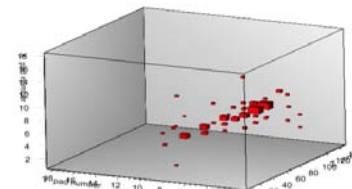


DAQ chassis

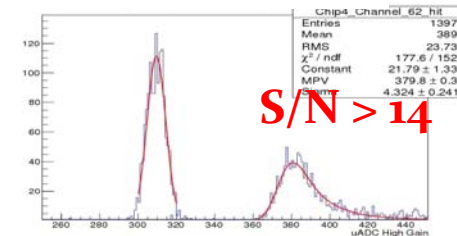
Beam test DESY
 250 GBytes of data have been generated
 This system has been validated for 10 Hz of spill frequency
 (ILC requirement is 5 Hz)



SLAB structure



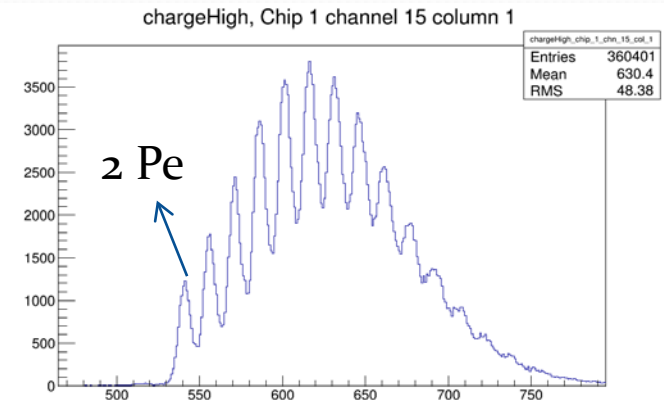
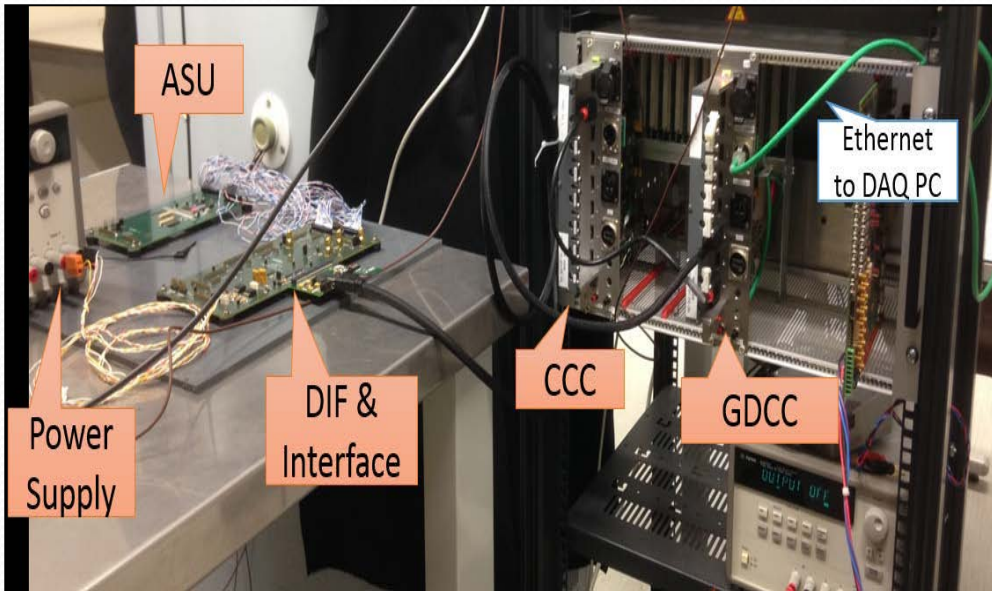
Exemple of event display
 1e- (5GeV)
 5 W plates
 between layers



WAGASCI (Water Grid And SCIntillator)

Objectif scientifique: Upgrade de T2k, mesure du rapport de section transversale de l'interaction neutrino chargée avec une incertitude de quelques pour cent. Utilisation de MPPC Hamamatsu et lecture des chips SPIROC

DAQ : 5 GDCC, 1GDCC (CCC) et 26 DIF => 7232 cx à lire



Pe distribution

Setup LLR pour la validation du système

JUNO (Jiangmen Underground Neutrino Observatory)

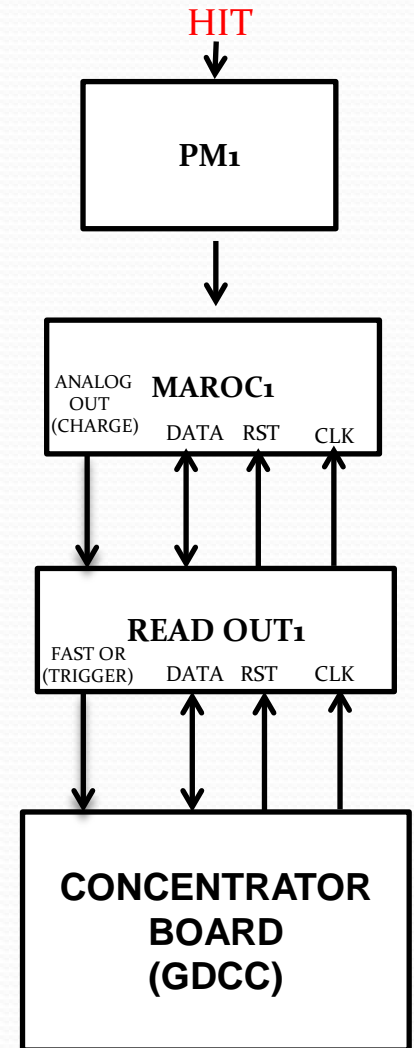
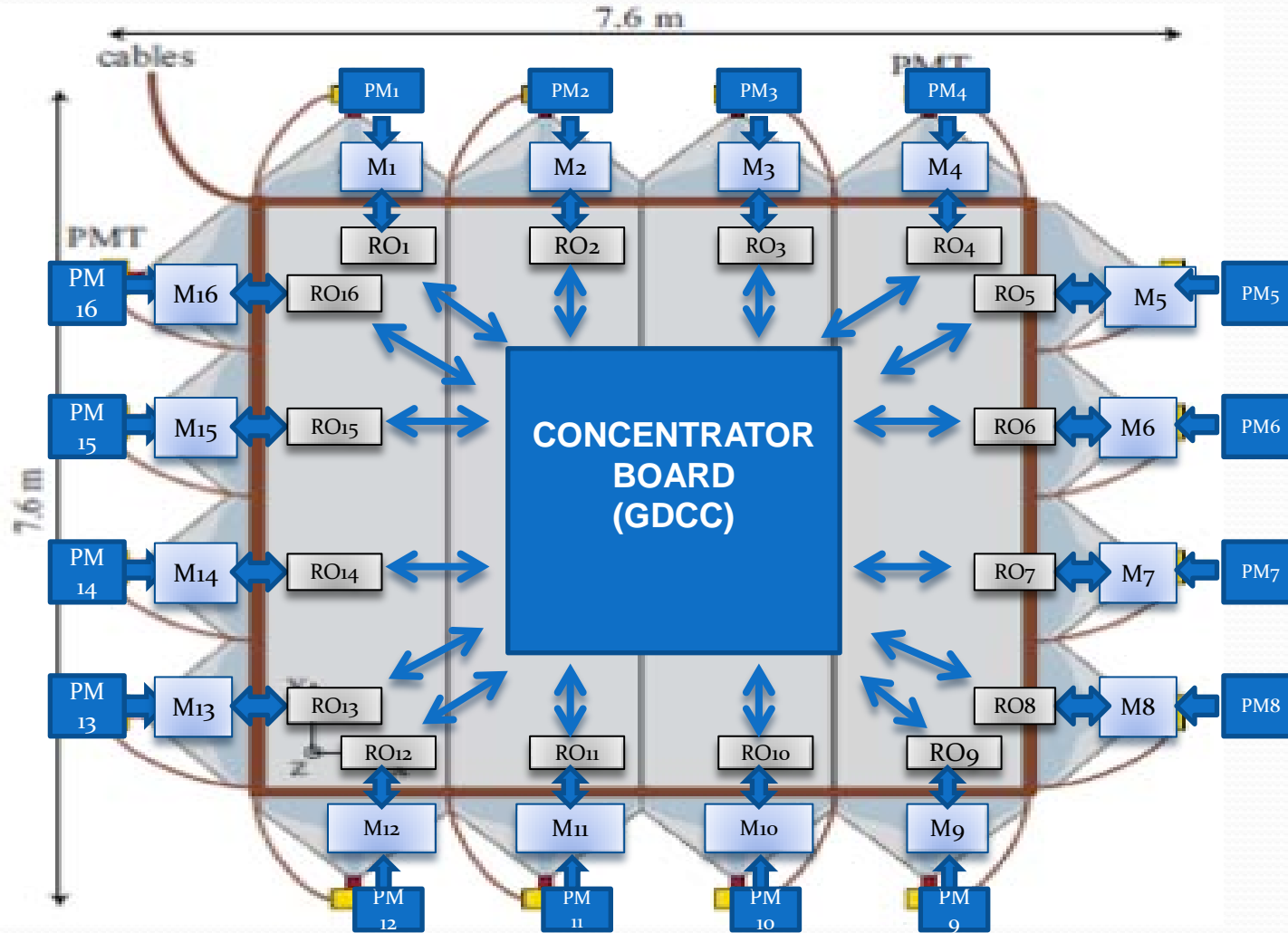
Objectif scientifique: Déterminer la hiérarchie de masse des neutrinos et mesurer précisément les paramètres gouvernant les oscillations par la détection des antineutrinos électroniques émis par les réacteurs nucléaires des centrales de Yangjang et Taishan en Chine.

Implication dans le Top Tracker pour le trigger (Front-end équipé des chips MAROC)

Etude de faisabilité par l'utilisation de la GDCC:

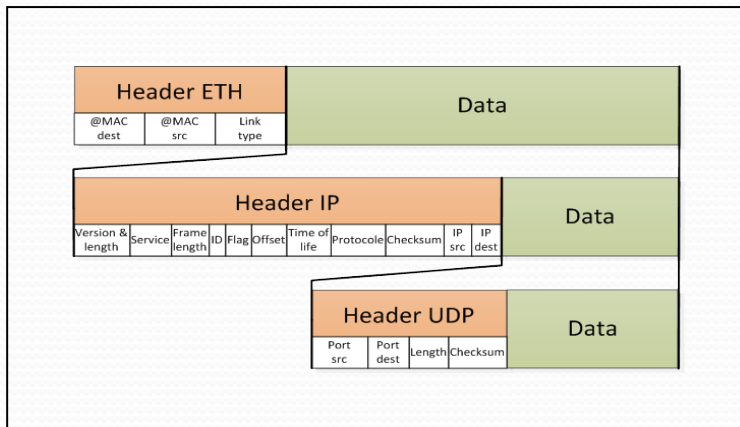
- Implémentation d'un algorithme de trigger
- Envoie de la configuration/commandes des chips MAROC
- Gestion de 16 voies de trigger

JUNO : Architecture envisagée

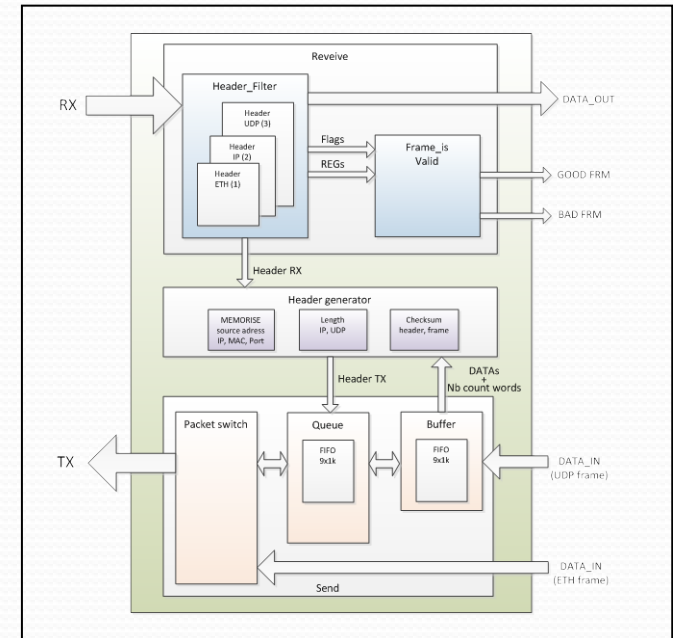


Autres applications

- Lecture EASIROC
 - Upgrade banc cosmique LLR
 - Suppression de la partie mezzanine GDCC et unification des firmwares GDCC/DIF
- Activité HGCAL CMS:
 - Utilisation du setup dans le cadre du test de la version SKIROC pour l'upgrade du Calorimètre de CMS
 - Mise en œuvre d'un banc de test au LLR et en CROATIE (FESB Split)
- Améliorations GDCC
 - Standardisation du protocole Giga-Ethernet : UDP



Ethernet frame structure with UDP Header



Architecture of UDP bloc

Conclusion

- Un système polyvalent
 - Firmware
 - Blocs réutilisables
 - Hardware
 - Souplesse sur l'adaptation de connectique
 - Logiciel
 - Framework évolutif et applications à la demande
- Adapté au catalogue des ASICs OMEGA
 - Mais implique un travail d'unification (hardware et logiciel)
-
- *Evolution envisagée sur le long terme*
 - *Vers de la série 7 de XILINX pour la GDCC*

Backup

GDCC: protocol format to the front-end

Two types of data transfer “frames” are defined between GDCC and front cards

1. Fast Command Frame (16-bit length):

15	8	7	0
komma character (K)		command word (D)	

Used for link synchronization,
timing-critical commands and broadcasts .

Several Ks and special sequences are predefined.

FAST Command <small>see section 1.1</small>	komma character	command word D	Operation
reset_BCID	K28.3	D1.1	reset BCID
start_acquire	K28.3	D2.1	start data-taking (int. trig)
		D2.2	start data-taking (ext. trigger)
		D2.3	stop data-taking

Example of Fast Command

GDCC: protocol format to the front -end

2. Block transfers :

packettype	pktID	type_modifier (command def.)	data_length	data	CRC
16 bit	16 bit	16 bit	16 bit	data_length *16 bit	16 bit

Used for standard commands and data transfer (e.g. slow-control, result data) between GDCC and Front-end.

packettype: defines block to be: block data / generic command ...

pktID: numeration of sent blocks, used to identify block losses.

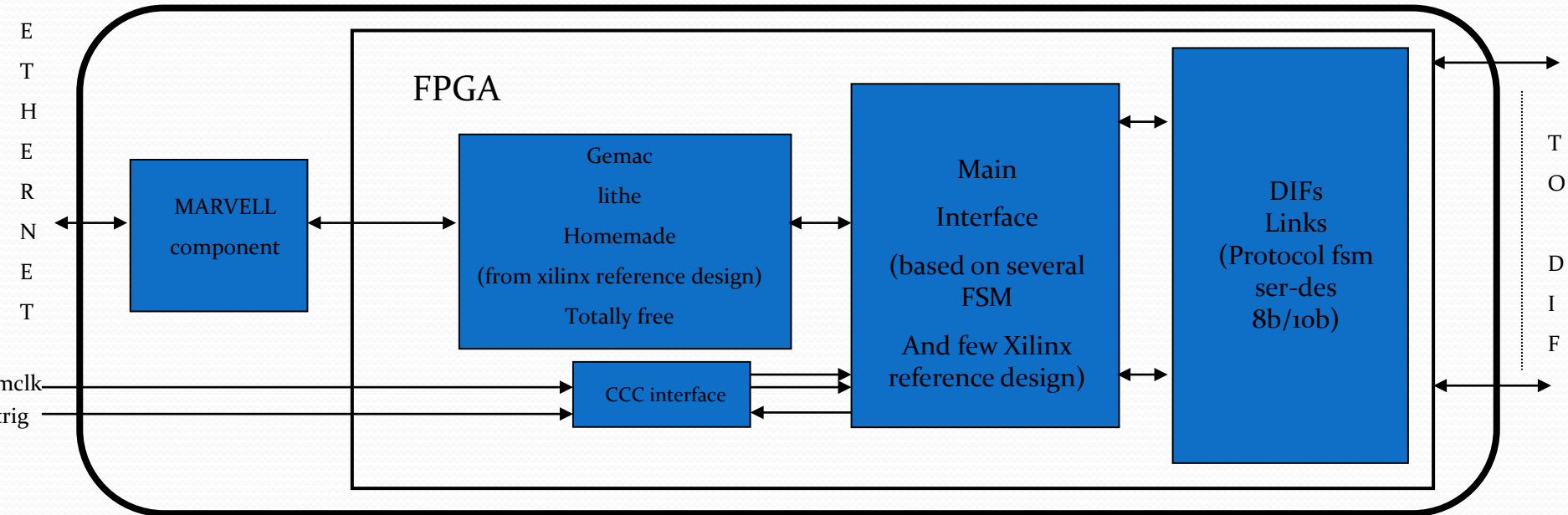
type_modifier: command definition.

data_length: Number of 16-bit vectors sent in the “data”-section of the block.

data: 16-bit data vectors, e.g. slow-control data for the ASICs

CRC: cyclic redundancy check (look for transmission errors).

Architecture GDCC



Single architecture of GDCC card

Architecture DCC

