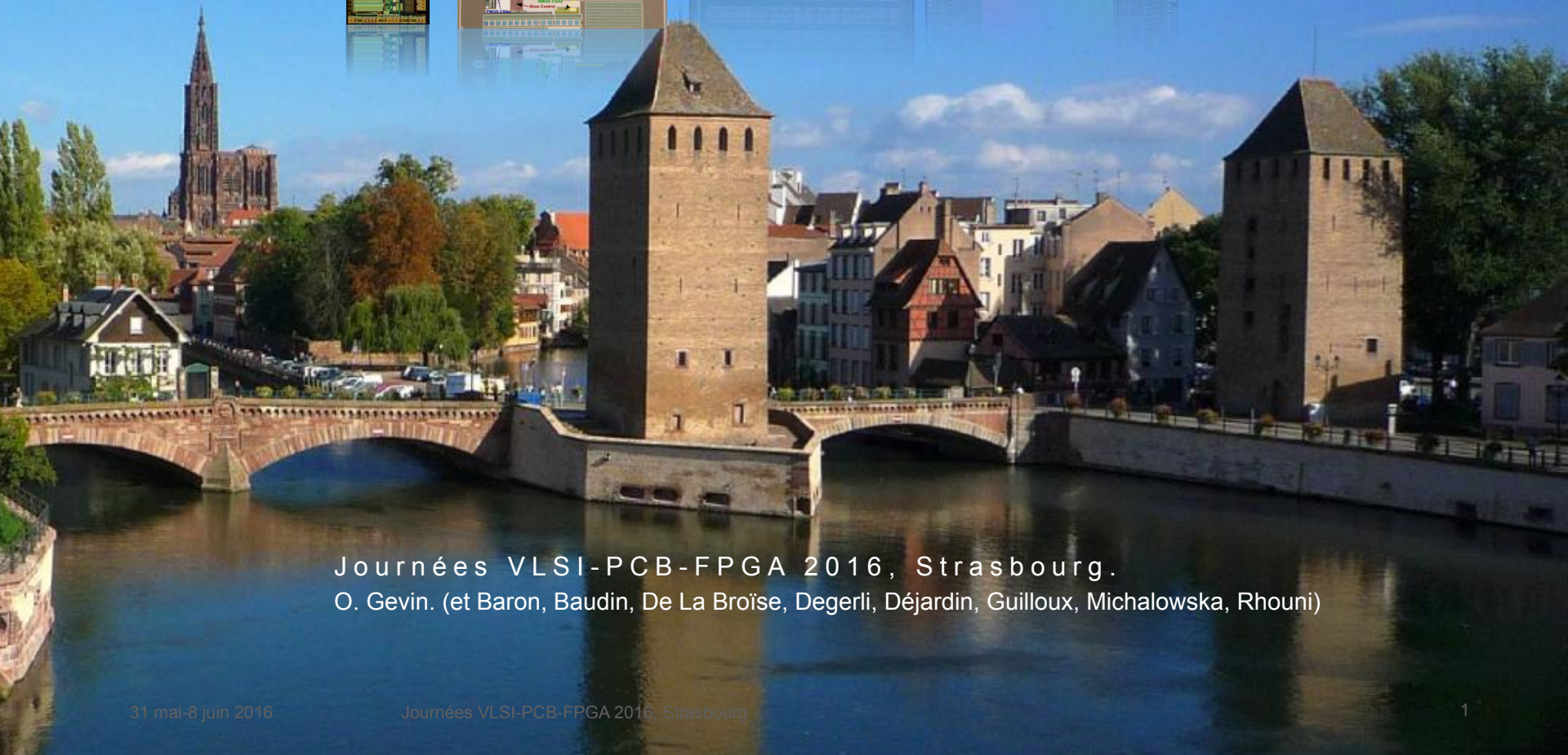
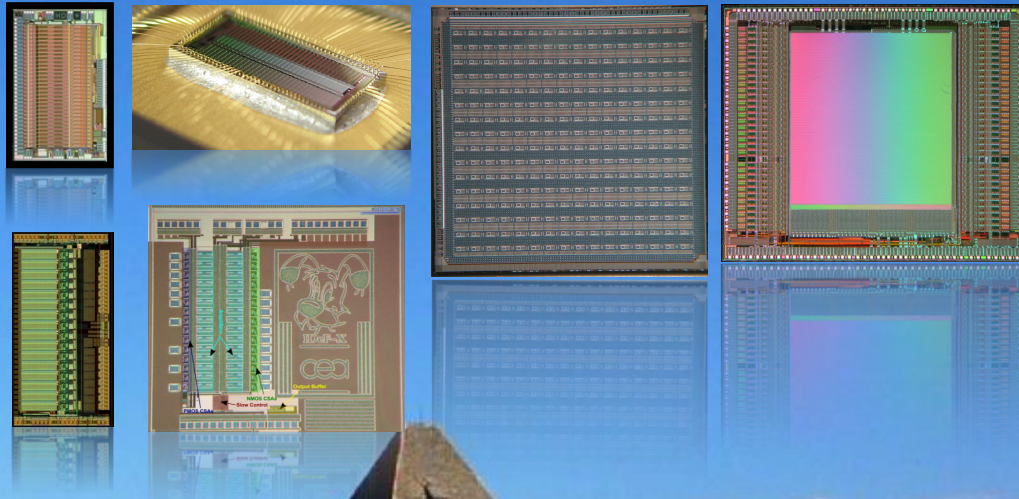


Développements récents à l'IRFU.



Journées VLSI-PCB-FPGA 2016, Strasbourg.

O. Gevin. (et Baron, Baudin, De La Broïse, Degerli, Déjardin, Guilloux, Michalowska, Rhouni)

« Nouveautés Catalogue printemps 2016 »

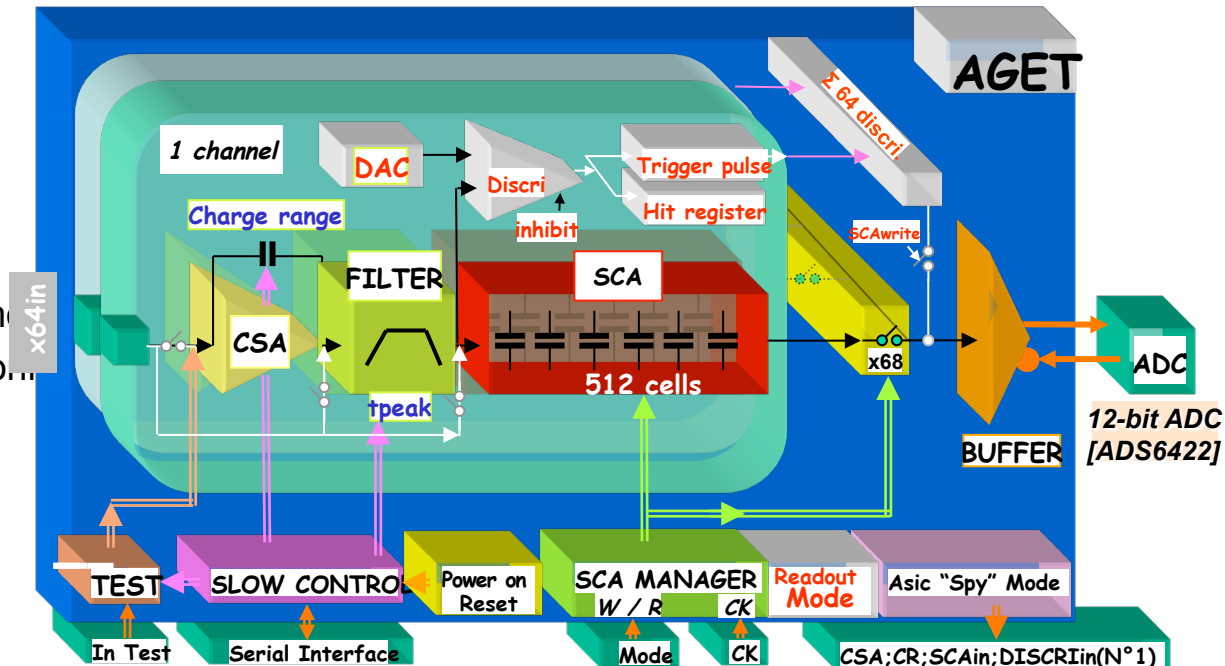
Name	Description	Cible	Production foreseen	Status	TSMC 0.13	LF 0.15	AMS 0.18	XFAB 0.18	TOWE R 0.18	AMS 0.35	AMS SiGe 0.35
ASTRE	FE for Space TPC	HARPO, PANDA X3...		Under design						X	
FPCSA-GES	CSA for implant-decay	GES		Under design						X	
NECTAR	GSPS digitizer	CTA	2016 ?	Integration						X	
D2R1	Ultra low noise FE	Spectro-Imageurs Spatiaux (CdTe, Si)		New tests				X			
IDeF-X	Ultra low noise FE	Solar Orbiter		Production ok						X	
OWB-1	multi-channel ADC	Spectro-imageurs spatiaux		Tested						X	
SAMPET	GSPS sampler for ps timing.			Under test			X				
ALPIDE V4	MAPS tracker	Alice MFT	2016	Final chip?					X		
LFCPIX	FE //	ATLAS/tracker Up2		in fab		X					
TIA	Transimp pour apd	CMS/ECAL Up2		Under design	X						
Bolochips	Ultracryo Mux ASIC for micro-cal X	ATHENA/IXO	?	Under test							X
RoBo1 RoBo2	Ultracryo Mux ASIC for micro-cal X	SPICA (M5 ESA)		Under test Under design						X	



ASTRE: AGET dans l'espace

AMS 0.35 (CMOS)

- 64 (72) canaux
- 4 Gains / canal:
120 fC; 240 fC;
1pC; 10 pC (600fC)
- 16 valeurs de filtrage:
50(100)ns à 1(2) μ s
- 512(511) cellules mém
- Fréquence d'échantillonnage:
1MHz à 100 MHz
- Fréquence de lecture:
25(20)MHz



- Auto trigger: discriminateur + seuil réglable (3 bits globaux + 4 bits / canal)
- Information de multiplicité: « OU » analogique des 64 discriminateurs
- Adresse des canaux touchés
- Lecture du SCA: tous; canaux touchés; canaux sélectionnés
- Lecture d'un nombre de cellules prédéfinies (1 à 512) / trigger
- Possibilité de court-circuiter le CSA et d'entrer directement sur le filtre RC2 ou le SCA



ASTRE : Asic with Sca and Trigger for detector Readout Electronics

AGET v2



ASTRE*

Characteristics	AGET	ASTRE
Latchup Hardening (LET_{th})	15 Mev/(mg/cm ²)	>120 Mev/(mg/cm ²) (estimation)
Peaking Time	50ns < T_{peak} < 1μs	50ns < T_{peak} < 7,8μs
LVDS Trigger	Trigger on 1 channel activation	Selectable : 1,2,4,8 channel
Multiplicity	64	Selectable : 64, 32, 16, 8
Readout Offset on 1 st column	/	Corrected

- Applications: Harpo (TPC pour polarimétrie), PANDA X3 (expérience double beta chinoise), ...
- Soumission imminente (juin).
- PIN compatible avec banc de test actuel

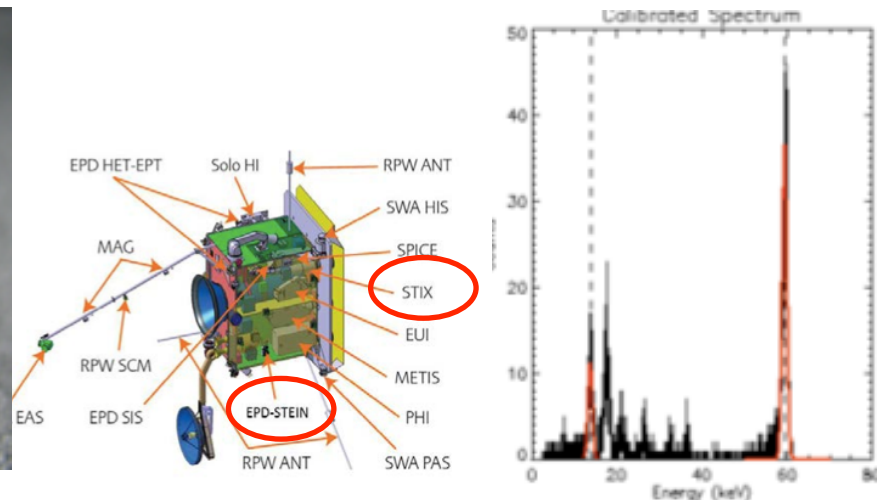
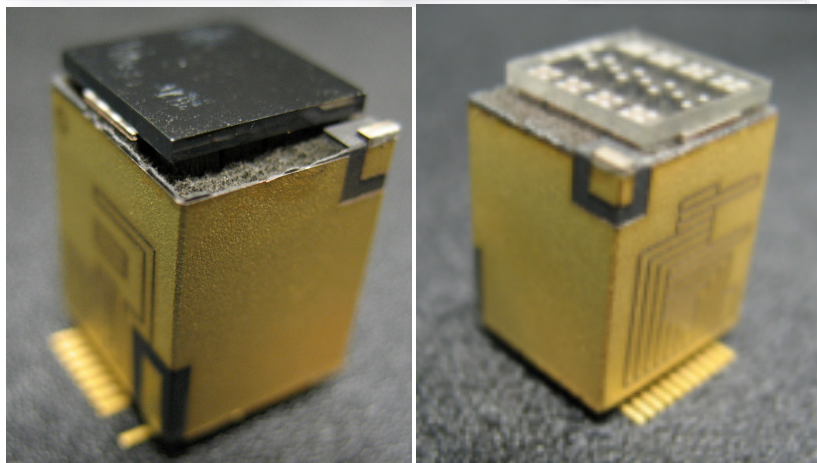
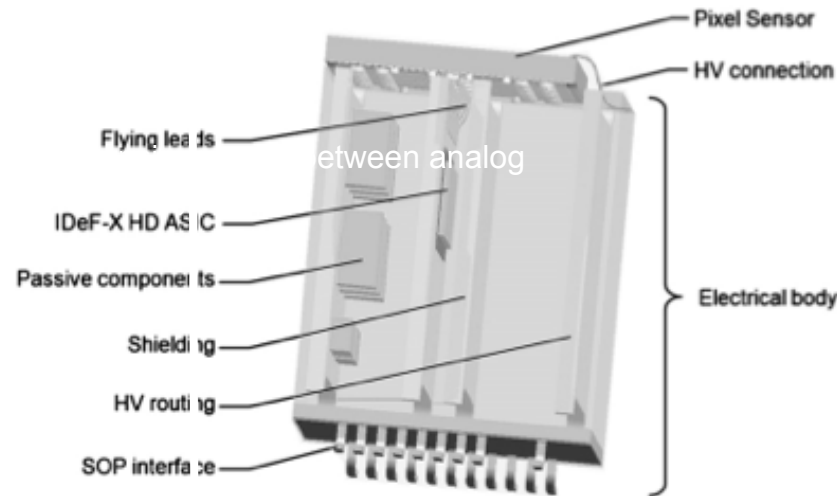
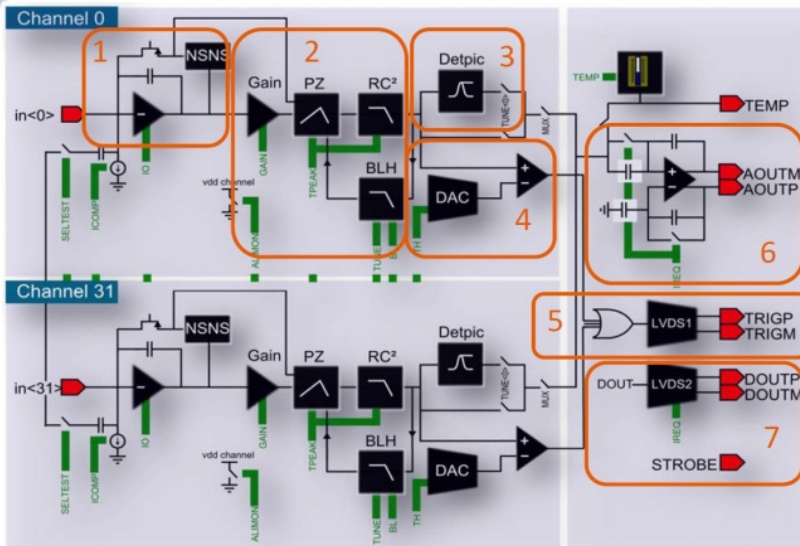


NECTAR: Mémoire analogique + ADC

Potentiellement 60000 puces (AMS 0.35) à produire et tester.
=> Conception d'un robot « bon marché » de test de puce.
Projet Centrale Paris (Ingénierie des Systèmes informatiques et avancés)



IDeF-Xs pour Solar Orbiter: IDeF-X HD dans Caliste SO

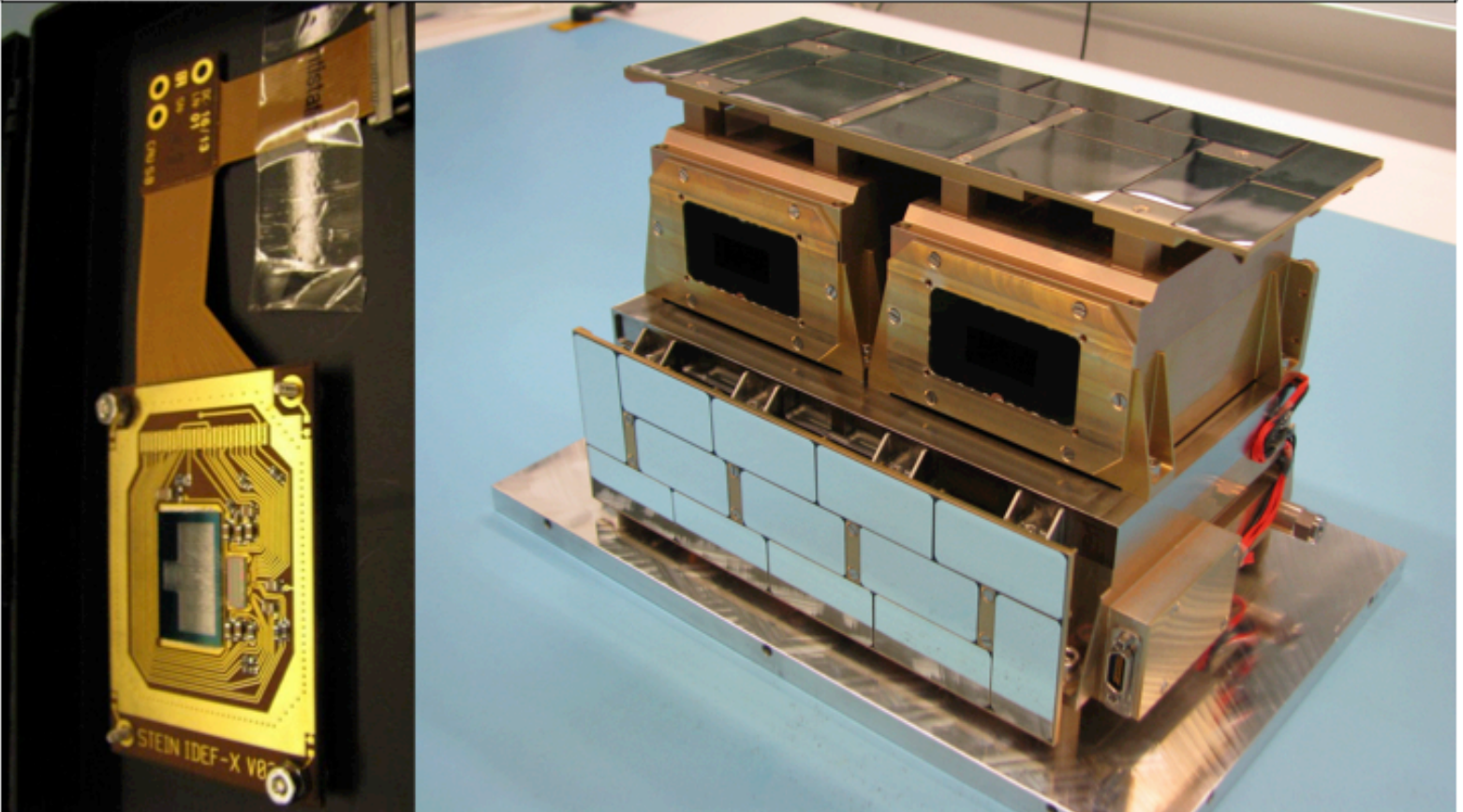


Livraison des 100 modèles de vol fin 2015 pour instrument STIX. Prochaine étape: lancement 2018, arrivée « sur site » 3 ans plus tard pour 3 ans de mission.



IDeF-Xs pour Solar Orbiter: IDeF-X BD dans STEP(STEIN)

SOLAR ORBITER / EPD / STEP – A ion and electron silicon detector array with IDeF-X BD inside PQM model

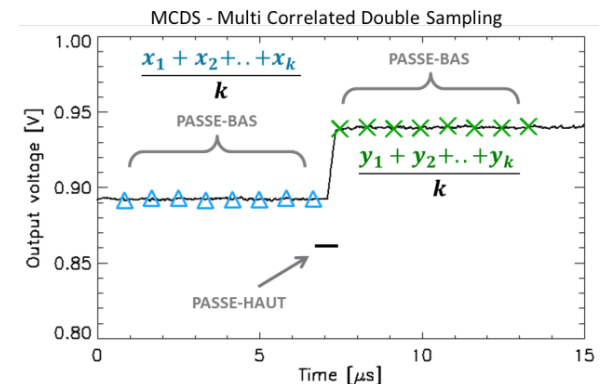
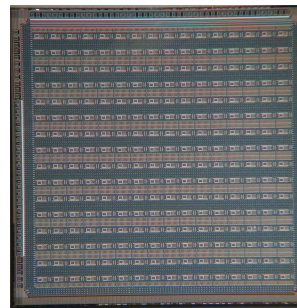
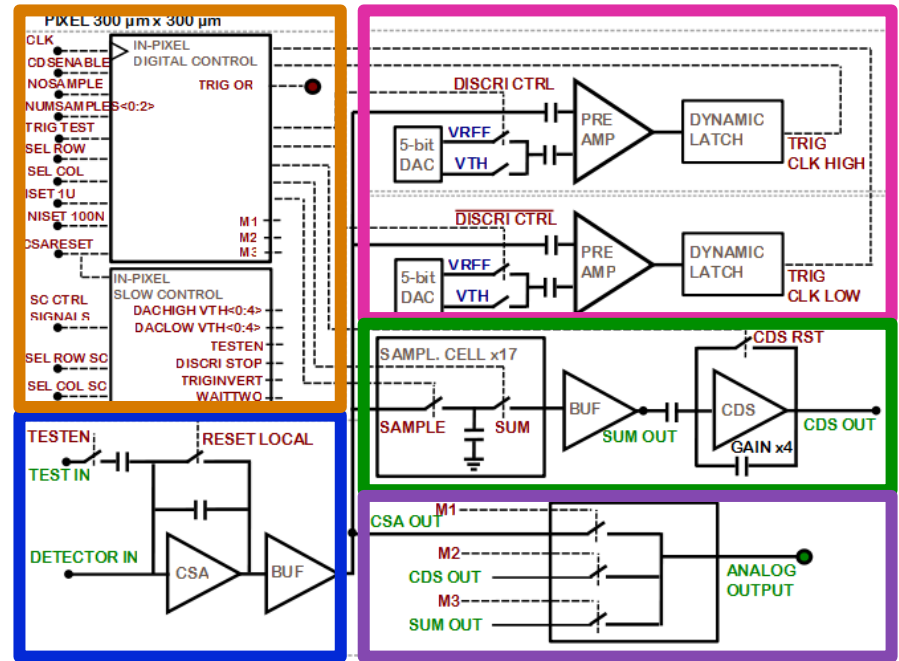


Irfu - CEA Saclay
Institut de recherche
sur les lois fondamentales
de l'Univers

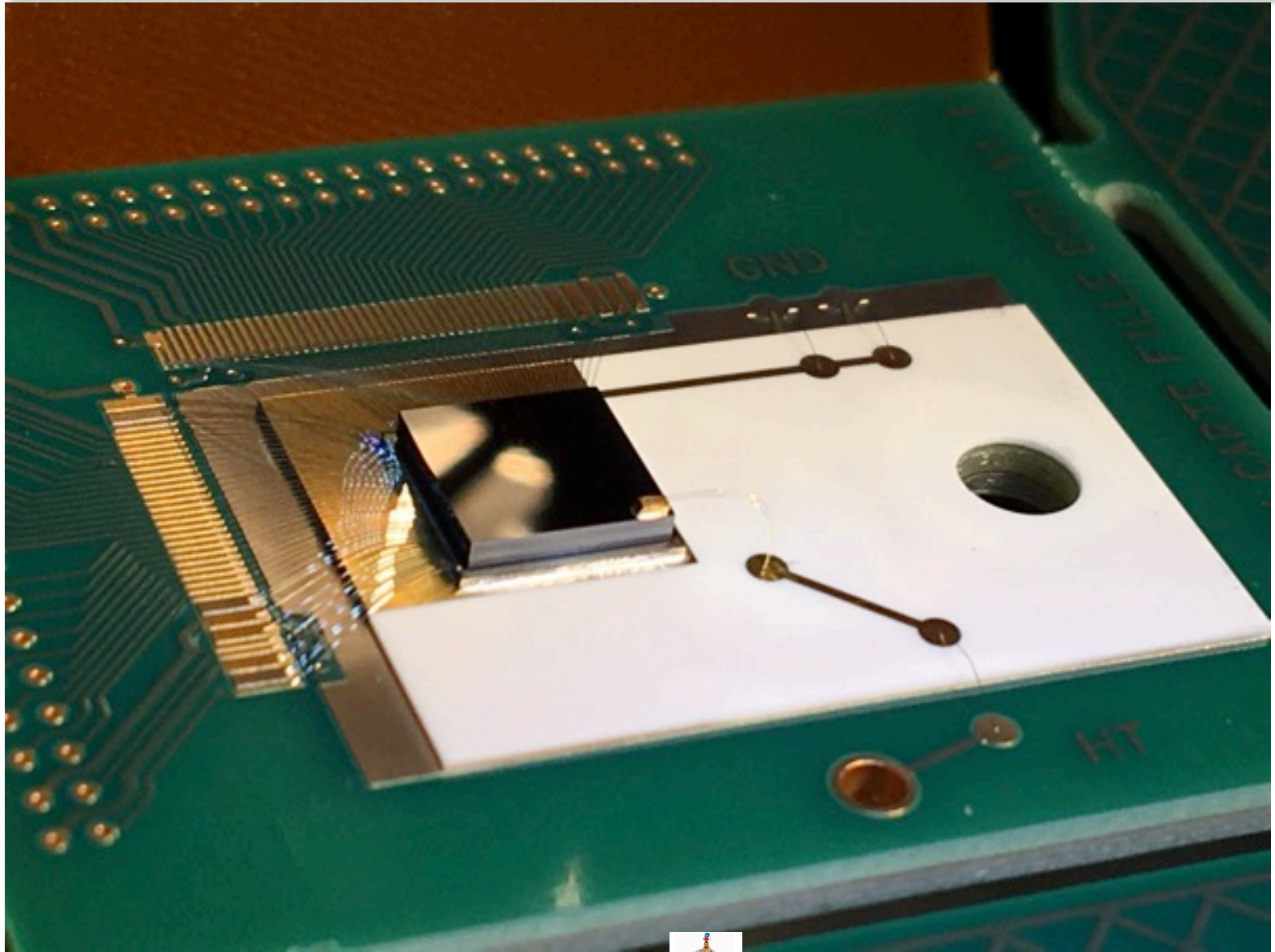


D²R₁ (puce matricielles pour spectro-imagerie, XFAB 0.18)

- **CSA optimized for 0.5 → 2pF**
 - Folded cascode, 2-20 μW
 - Pulsed reset
 - I_{leak} < 5pA
- **2 CDS discriminators (1/edge)**
 - Self triggered
 - (DACs 5bits)X2
 - Positive/negative threshold
- **Sampling Capacitor Array:**
 - k=1 to 16 depth
- **Average stage**
- **CDS stage**
- **Digital stage:**
 - In-pixel Slow Control (Threshold, Test_enable, pix_enable)
 - Sampling and MCDS sequencing
- **3 readout modes:**
 - MCDS
 - Stored Samples out
 - CSA out (test)

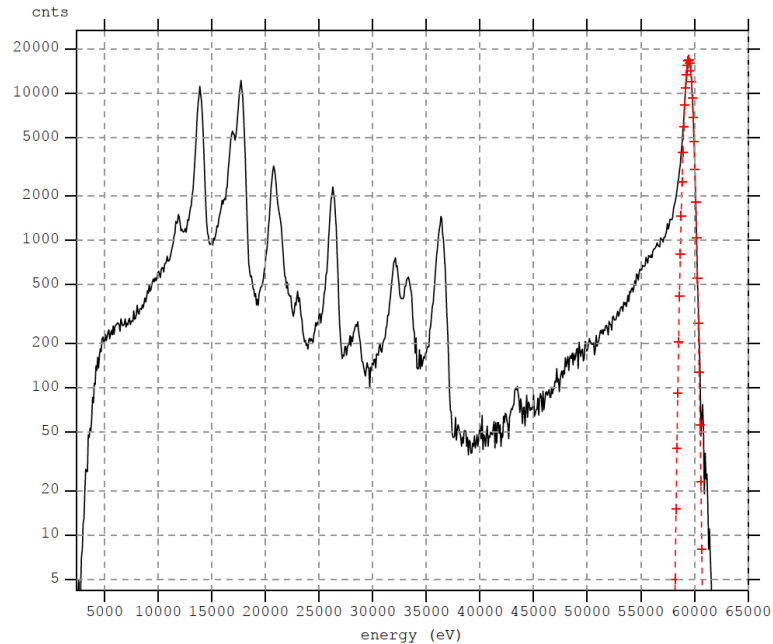


D²R₁(puce matricielles pour spectro-imagerie, XFAB 0.18)



Spectroscopie ⁴¹Am

Am-241, all pixels, single events, 55ks, 742 eV FWHM



Spectre somme:

742 eV FWHM @ 60keV

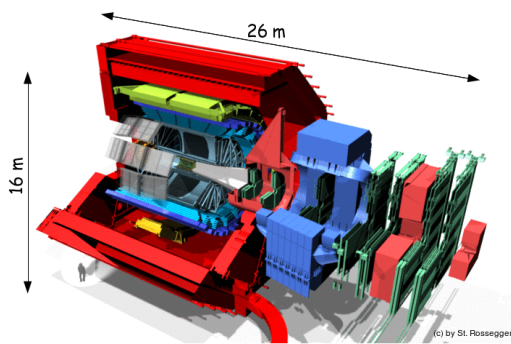
55 électrons rms

=>Prochain développements: Thèse de David Baudin

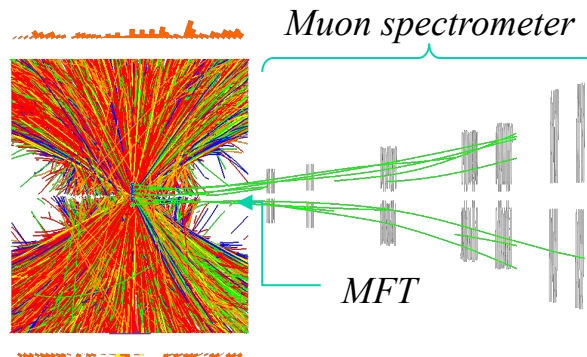


ALPIDE pour MFT d'ALICE

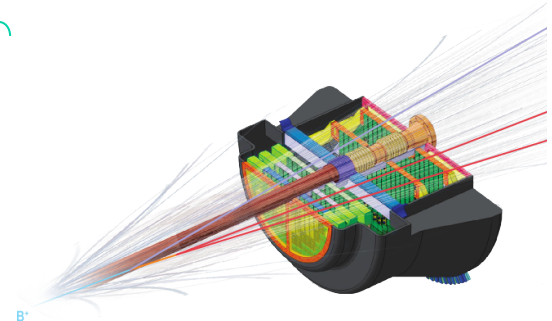
- Inner Tracker System and Muon Forward Tracker : 2 experiments, 1 MAPS.



Alice detector

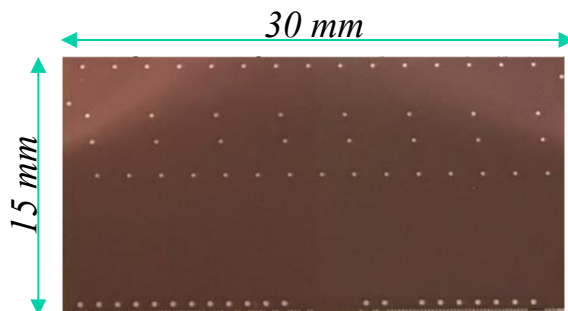


An event in Alice



Half MFT detector

- ALPIDE R&D and design activity for 4 years, team of 20 designers from 9 institutes, lead by the CERN.



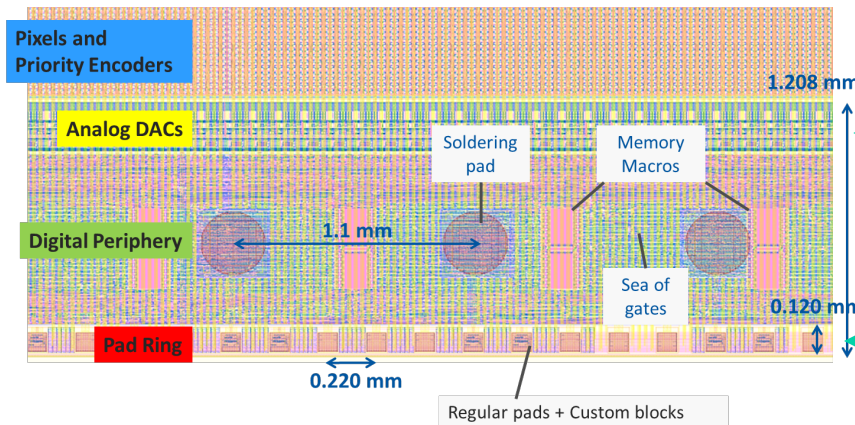
- TowerJazz 180 nm.
 - Deep pwell → in-pixel CMOS
 - HR epi-layer → ↑ Coll. charges
- Radiation Hardness : 700 krad, 1.7×10^{13} 1MeV n_{eq}/cm^2 .
- Spatial resolution : 5 μm .
- Silicon thickness : 50 μm .
- Contact pads distributed over the matrix.



ALPIDE pour MFT

- ALPIDE R&D et design:
 - Prochaine étape : Production Readiness Review.
 - Dernière (?) soumission le 8 mai 2016.
- Développements IRFU dans ALPIDE

Image of the bottom of the Alpide layout



IRFU Designs

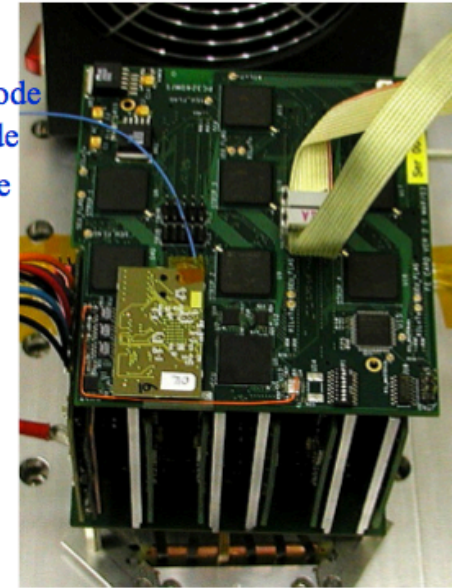
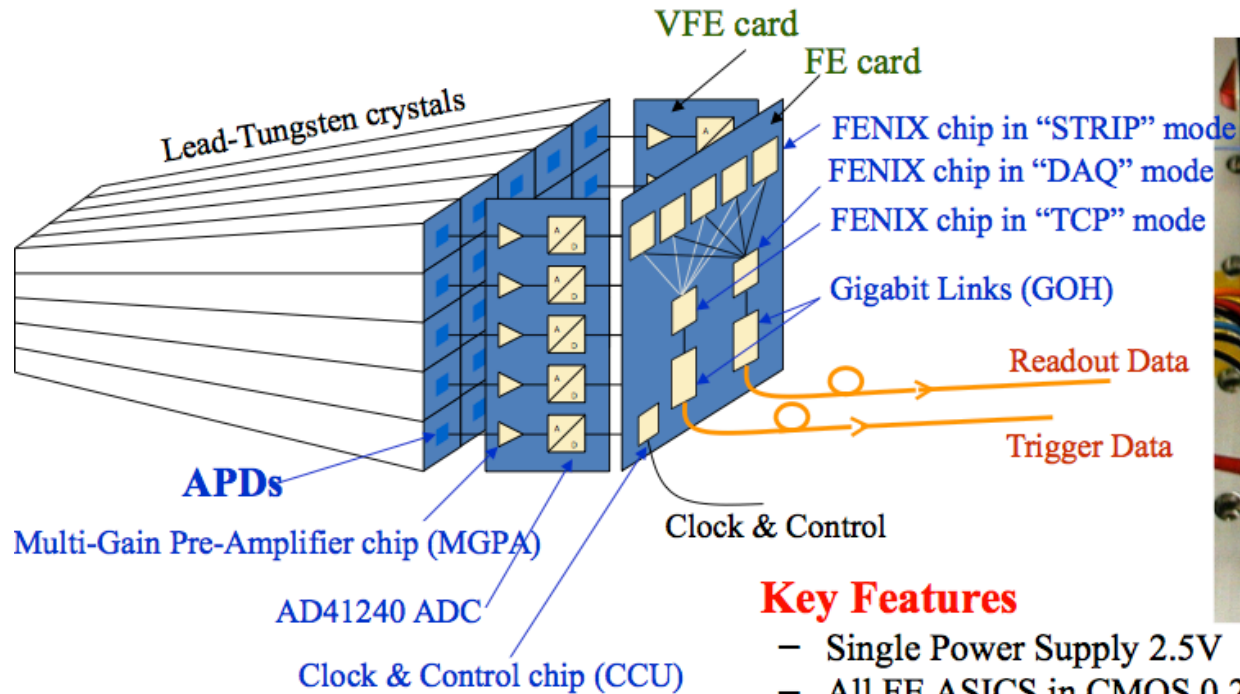
- Analog DAC
- Readout Management
- Power On Reset
- Monitoring ADC

*Yavuz Degerli
Christophe Flouzat
Fabrice Guilloux*

- L' équipe (une partie du moins) va être impliquée dans la production et la qualification pour le MFT (~ 1000 ASIC) jusqu'à l'intégration dans les échelles.



TIA pour upgrade phase 2 de ECAL Barrel



FE card replacement mandatory !

Key Features

- Single Power Supply 2.5V
- All FE ASICs in CMOS 0.25 μm Rad-Tol process
- Maximum buffer length is 6.4 μs
- Maximum rate reached for data link is 100-120 kHz (today limited by off-detector board),
- FE limitation is probably ~ 200 kHz.
- **HL-LHC requirements : 1MHz L1 rate & 25 μs buffer**



TIA pour upgrade phase 2 de ECAL Barrel

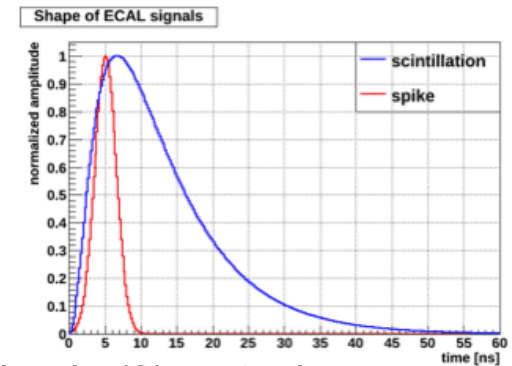
Détecteur (80000):

2 APDs => 200pF

Pas remplacé => I_{leak} : $2\mu A \Rightarrow 100\mu A$

Dynamique: 70 pC

Dose 5-10 Mrad en fin de LHC phase 2.



Architecture actuelle:

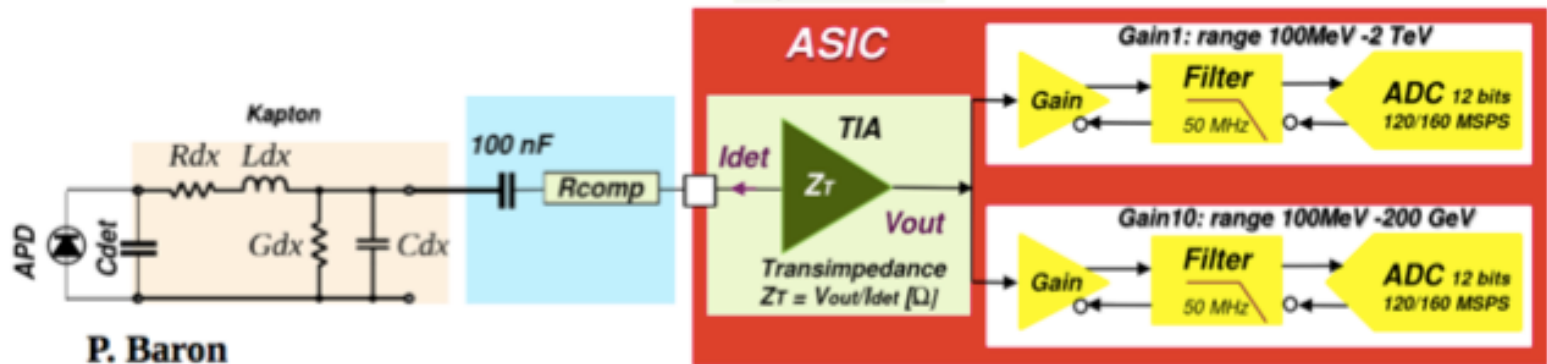
MGPA (imperial college et RAL): préampli shaper multi-gain (3) en techno CMOS 0.25.

Options souhaitées par la collaboration: Discrimination de spike, « gestion de pile up » timing...

Architecture proposée (IRFU):

Ampli Transimpédance+ADC rapide (10-12 bits, 160 MHz)

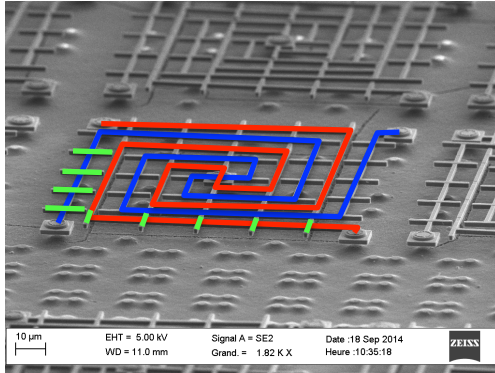
Prototype en TSMC 130nm soumis prochainement (schéma terminé).



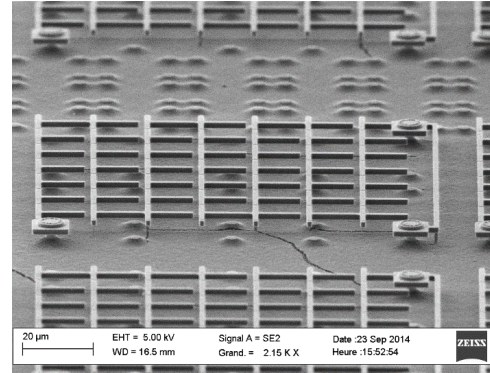
ASICs cryogéniques

R&D Brahms

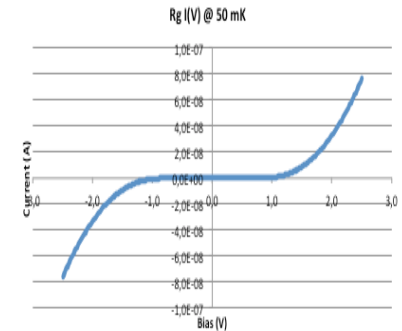
➤ **Détecteur** : Fabrication à la PTA (CEA Grenoble) des premiers éléments et tests à Saclay



Détecteur Bipol Spirales



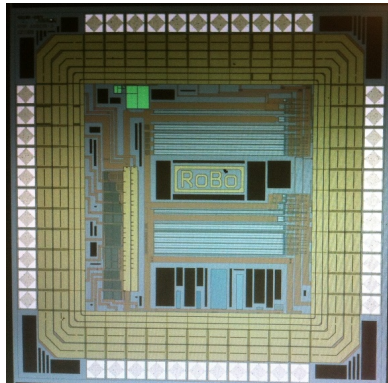
Détecteur ULG15



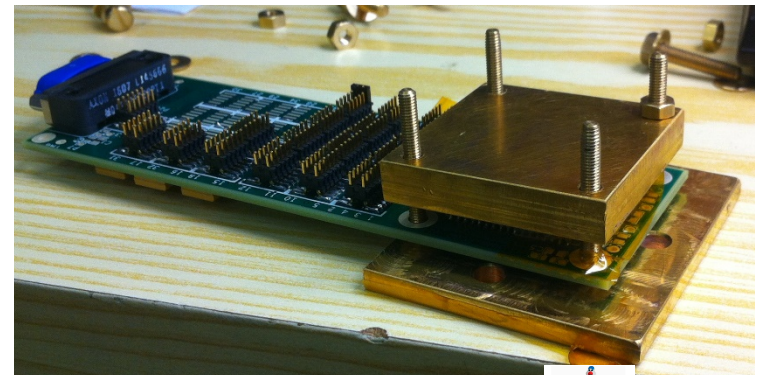
$I=f(V)$ ULG15

➤ **Électronique** :

- Test et validation d'un prototype de caractérisation technologique **Readout for Bolometer**.
- Conception d'un chip matriciel 200pW/canal, 50-100mK. nouveaux ASIC cryogéniques : CryoCanal et CryoCom.



ASIC **RoBo (CMOS AMS 0.35µm)**: Motifs de tests (NMOS, PMOS, Res, HighRes, Cpoly1&2) pour caractérisation à 50-100 mK: les premiers tests sont en cours.



Conclusions

-La dispersion technologique continue !

-Visibilité difficile au sein des gros chips fortement collaboratifs parce que tests des building blocks difficiles voire impossibles et « morceaux » de chips pas toujours très nobles (sauf si on dirige).

Soumissions:

- CMOS AMS 0.35:

Gros chip (ASTRE) en AMS 0.35 μ m: 13 juin, 26 septembre ou 14 novembre.

Nouvelles soumission fin 2016 début 2017 (cryo).

- TSMC 130 nm: 7 septembre. Les 25 mm² ne seront sans doute pas remplis... Avis aux amateurs.
- Manifestement pas mal d'expérience en design TSMC 130 nm à l'IN2P3=> on va continuer à vous solliciter (merci à Nicolas et Laurent déjà!)



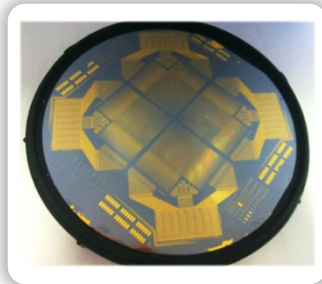
Questions?



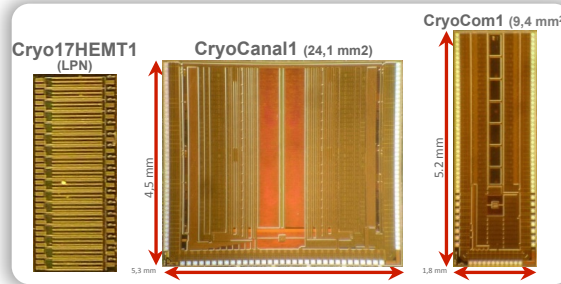
ASICs cryogéniques

R&D MicroCal-X

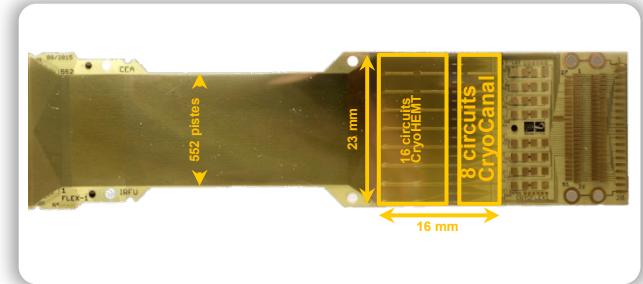
- **Détecteur** : Fabrication à la PTA (CEA Grenoble) des premiers éléments de matrices 32 x 32 pixels : circuiterie et plateformes thermométriques suspendues. La CAO a été réalisée au SEDI.
- **Électronique** : Test et validation des nouveaux ASIC cryogéniques : CryoCanal et CryoCom.
- **Intégration** : Fabrication et livraison des premiers prototypes de limandes supraconductrices 552 pistes.



Quatre matrices 32 x 32 pixels créés sur une même tranche de silicium



Les trois ASIC développés pour l'électronique cryogénique de lecture : Cryo17HEMT (LPN), CryoCanal (SEDI), CryoCom (SEDI)



Limande supraconductrice 552 pistes qui accueillera 24 ASIC implantés sur 4 cm²

Projet dérivés

- Démarrage du projet **ESA** de réalisation de **limandes supraconductrices multicouches**, dans le cadre du satellite Athéna.
- Développement d'une nouvelle application : électronique cryo. pour la future Plateforme de caractérisation de détecteurs (SAp/ESA).



ASICs cryogéniques

