

# Timemarker multi-phase basé sur la capacité de sur-échantillonnage des désérialiseurs Xilinx

**Journées VLSI-FPGA-PCB-CAO de l'IN2P3**

**Du 31 mai au 2 juin 2016**

Nicolas Chevillon  
pour l'équipe Imagerie Moléculaire  
Département DRHIM

# Imagerie TEP\* clinique

## Feuille de route :

- Imagerie simultanée TEP / IRM
- imagerie TEP basée sur la mesure du **temps de vol** (« Time-of-Flight ») (TOF)

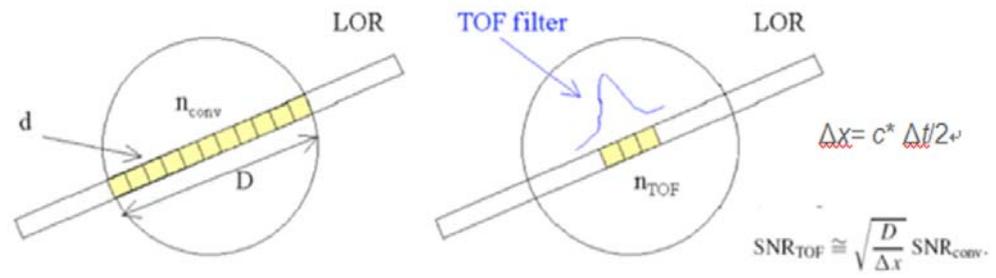
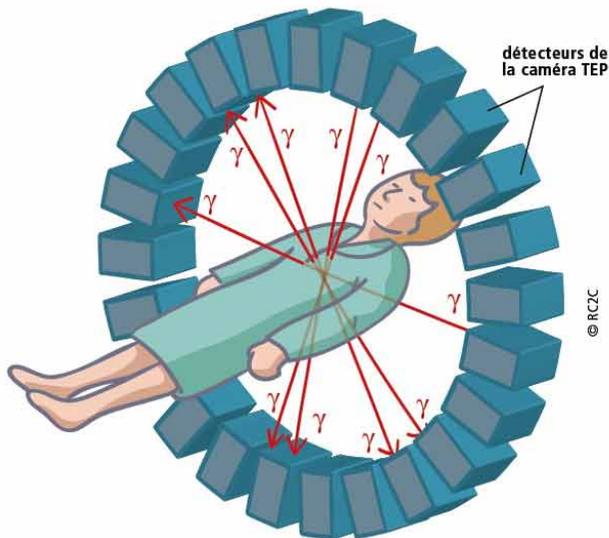


Image elements contributing to a LOR, for conventional PET (left) and TOF PET (right).

Source : <http://mil.stanford.edu/research/tofdetector.html>

### Besoin :

- Mesure de l'énergie des photons détectés
- Identifier les événements coïncident

### Performances actuelles :

- Résolution temporelle en coïncidence de 400 ps => 6 cm
- Résolution spatiale de 4 mm

Résolution temporelle en coïncidence de 20 ps => 3 mm  
(besoin de bin de temps < 5 ps)

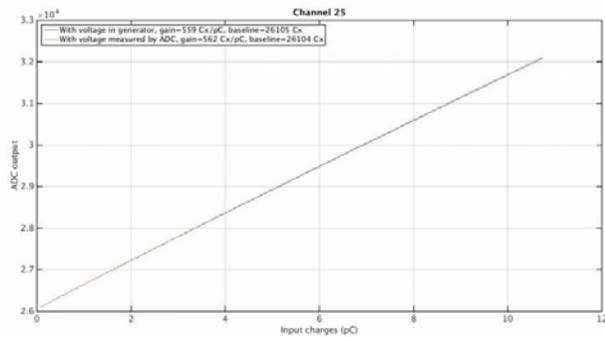
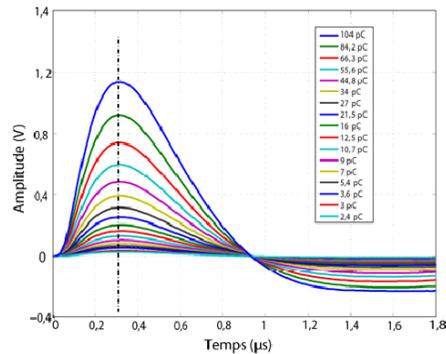
\* TEP = Tomographie à Emission de Positons

# Mesure d'énergie

## 2 grandes tendances dans les méthodes de mesure d'énergie

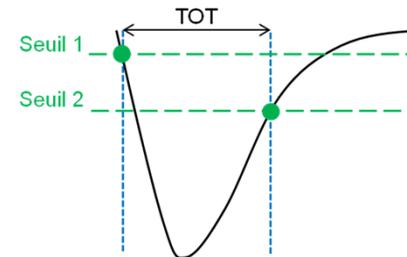
utilisées chacune dans 1/3 des ASICs de lecture de Si-PM ces dernières années :

### Intégrateur – shaper

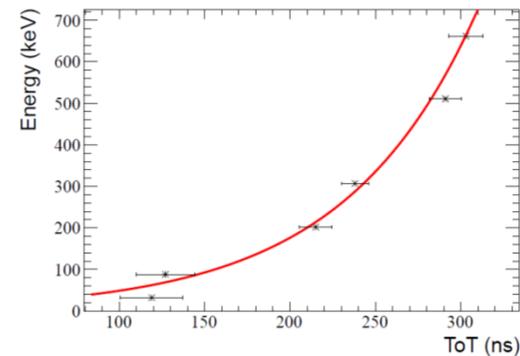


Source : ASIC IMOTEP, Imagerie Moléculaire, IPHC

### « Time-Over-Threshold » (TOT)



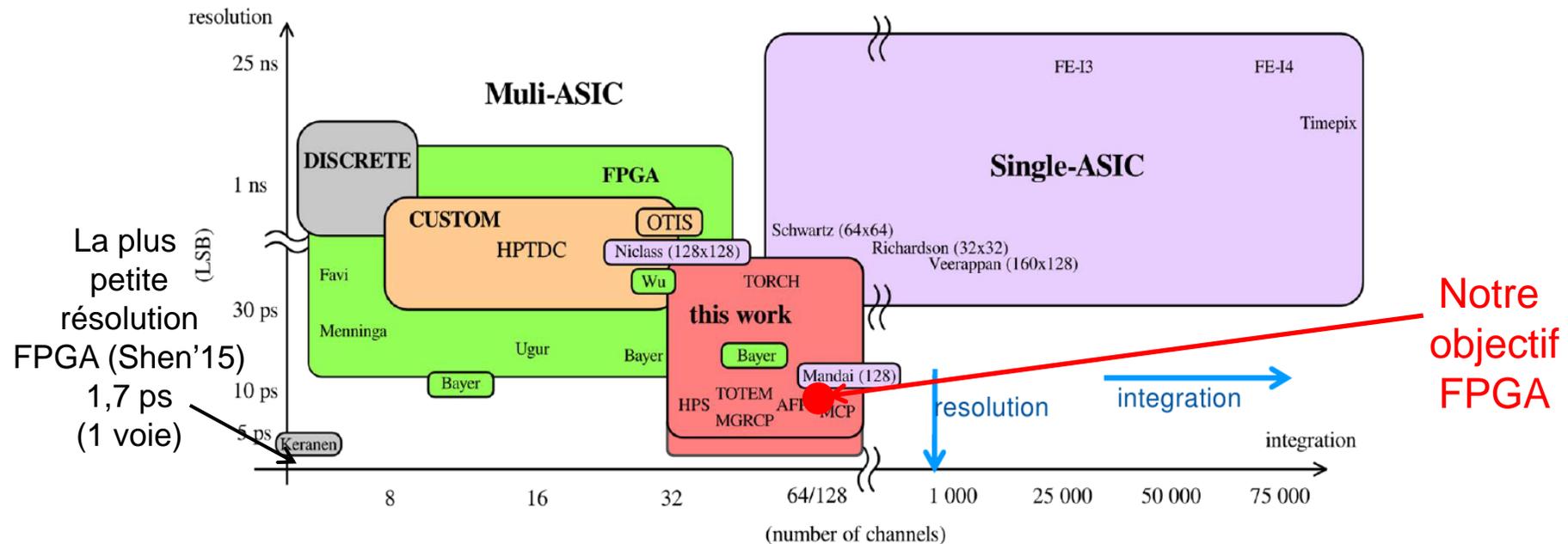
Principe de la mesure TOT



Source : TOFPET ASIC

Résolution temporelle actuellement suffisante pour le TOT : 300 ps

# Implantation hardware



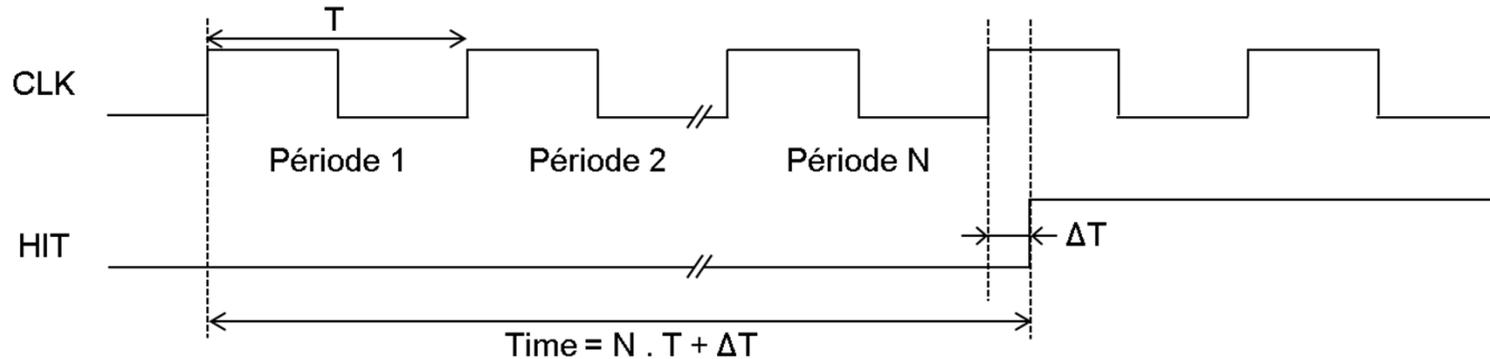
© CERN picoTDC, Picosecond Workshop, Prague 2015

## Solution FPGA :

- Solution rapide à mettre en œuvre et économique
- Une résolution proche de 10 ps pleinement envisageable
- Un Time-marker et des fonctionnalités spécifiques à une application facilement associables dans la même puce
- Forte limitation dans le nombre de voies implantables

# Méthodes FPGA de mesure de temps

## Approche hybride : méthode Nutt



## Méthode de mesure de la fraction de période dans un FPGA :

- Méthode de lignes à retard
  - Grande résolution (qq ps)
  - Dépendance PVT
- Méthode Vernier
  - Besoin de nombreuses horloges
  - Faible nombre de voies dans un FPGA
- Méthode multi-phase
  - Faible résolution (qq 10 ps)
  - Réalisation en ressources logiques (CLB) ou utilisation de composants intégrés (ISERDES Xilinx)

# ISERDES Xilinx

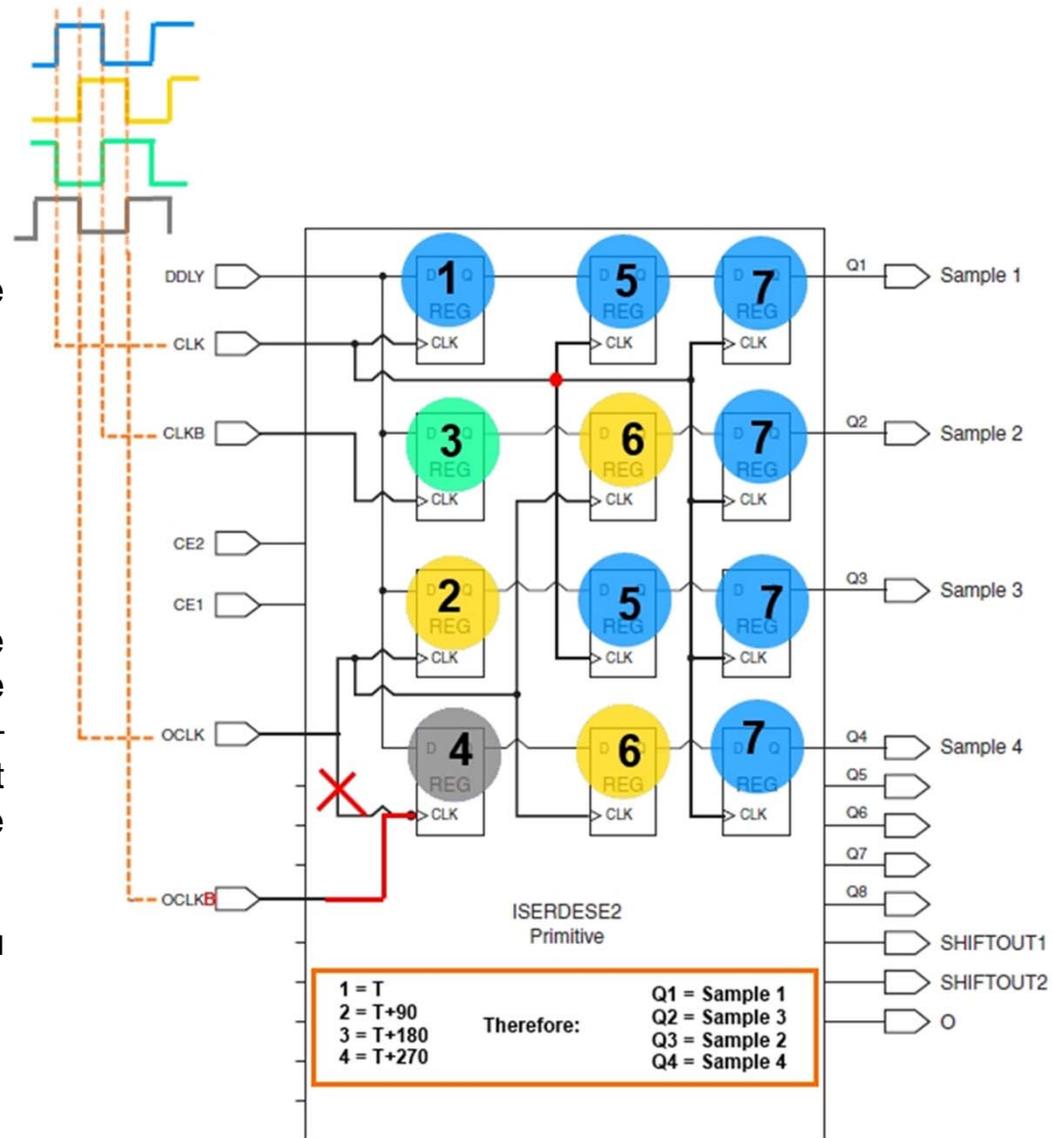
➤ Mode « oversampling » :  
multi-phase 4 phases

➤ Fonctionnement à la fréquence limite  
de 800 MHz (1250 ps)

➤ Bin de temps = 312,5 ps

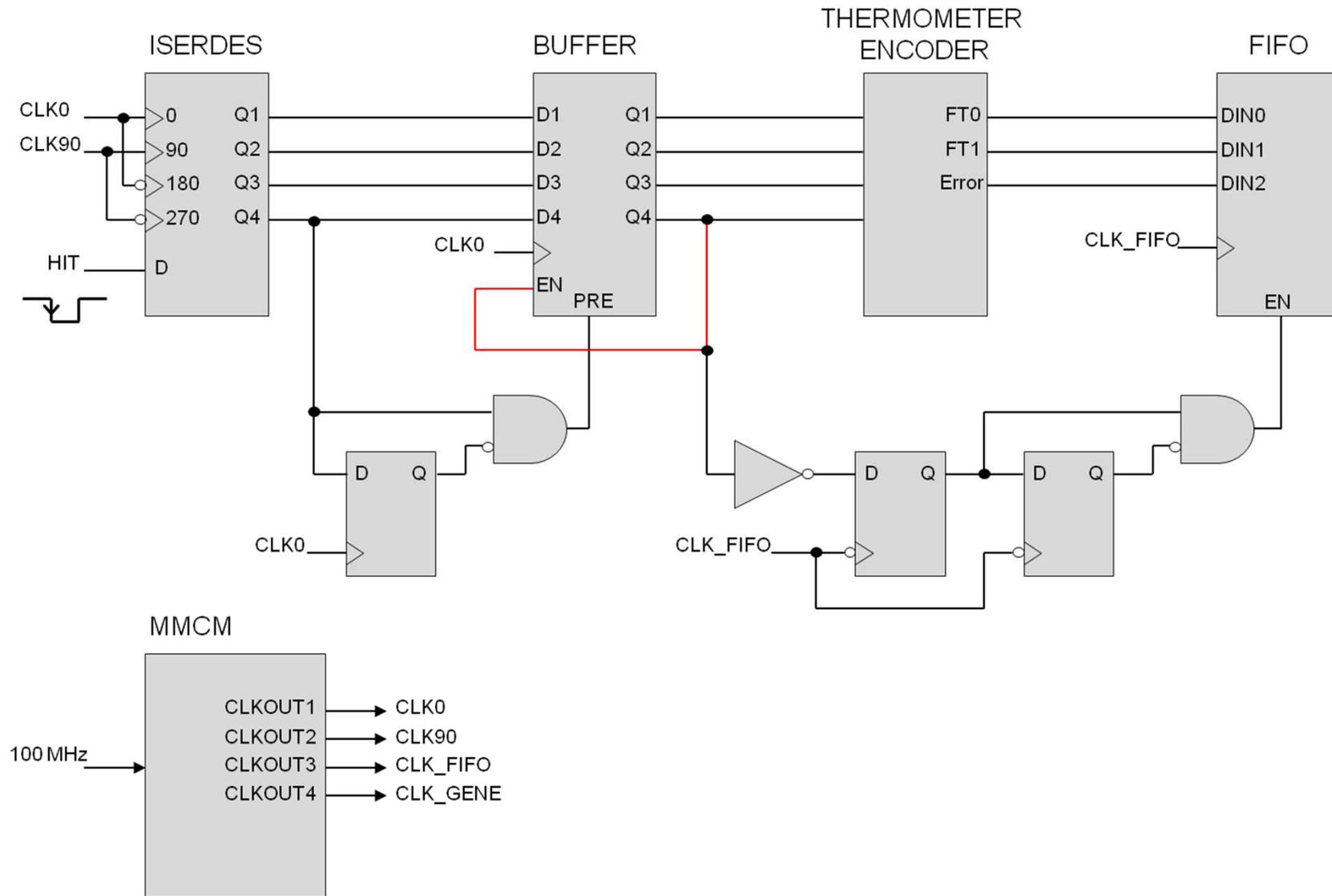
➤ Avantages :

- Insensible aux variations de réalisation – tension – température (« Process – Voltage – Temperature ») (PVT) par rapport aux autres méthodes de mesure de temps
- Pas de diaphonie : ISERDESs au proche des ports d'entrée



Source : Xilinx

# Diagramme du design d'une voie

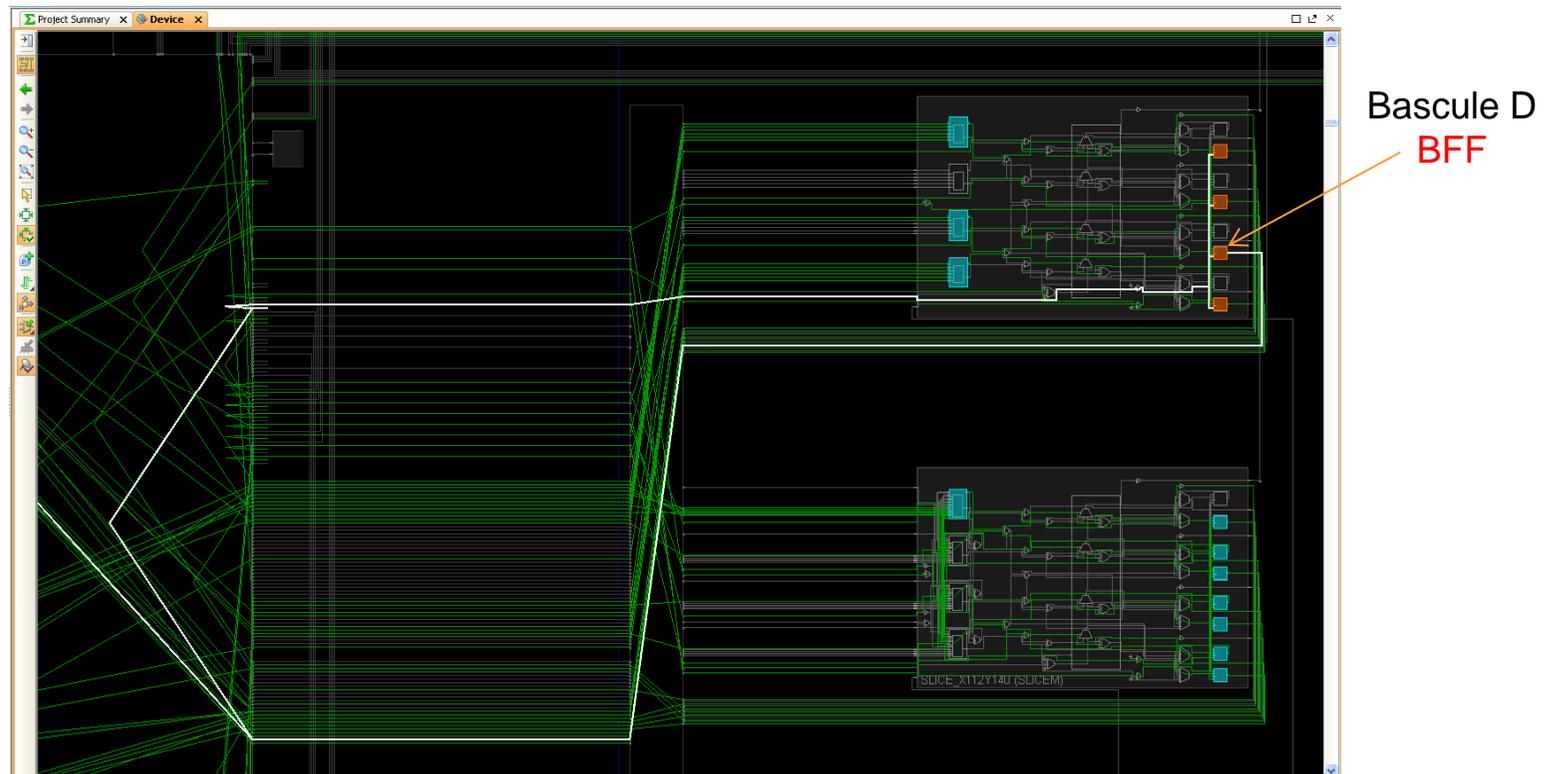


# Contraintes de placement et routage

Besoin : mémorisation du « thermometer code » fournit par l'ISERDES

Réalisation : ajout d'un registre 4 bits dont l'entrée CE est piloté par le 4<sup>e</sup> bit de donnée lui-même.

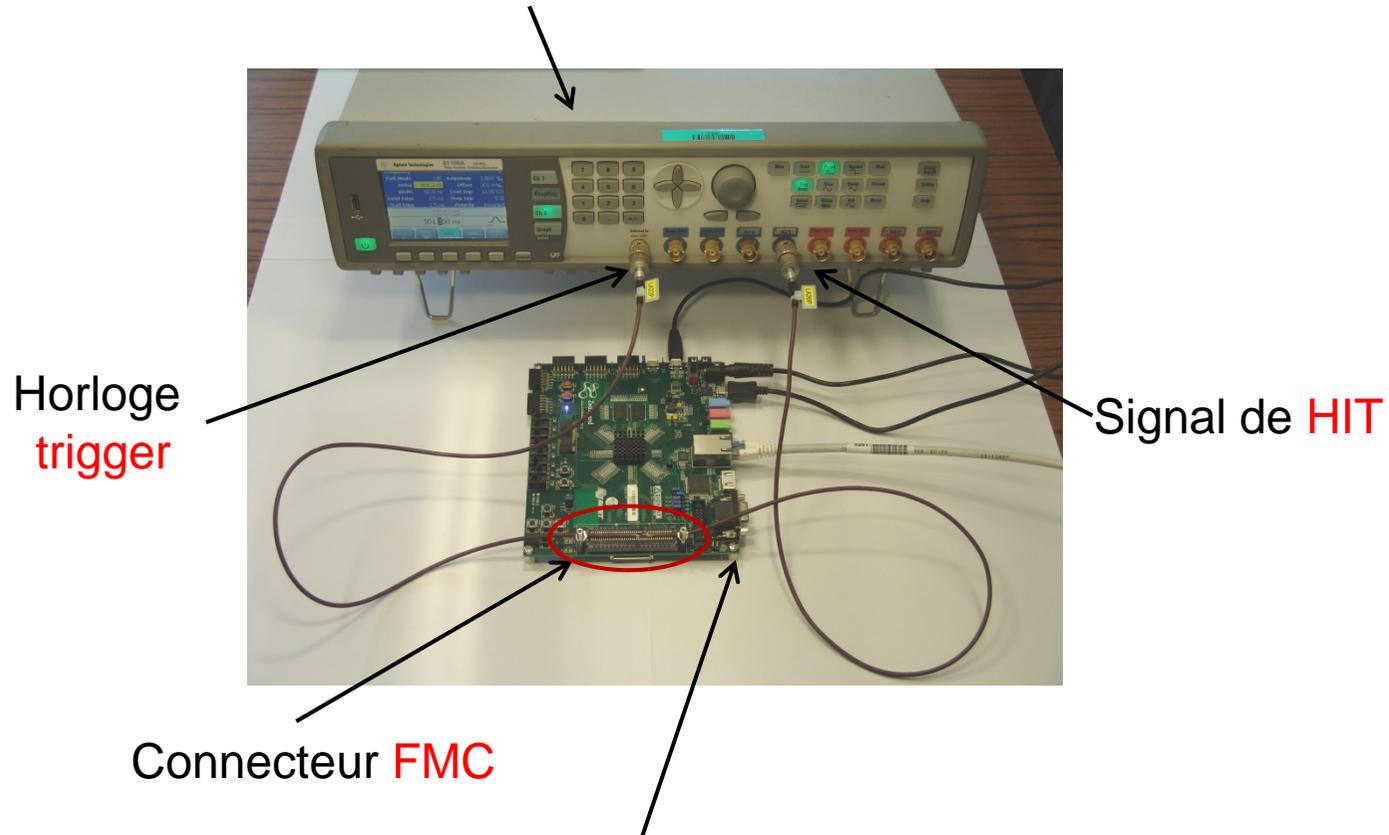
Contrainte : temps de propagation de CE < T – 530 ps, soit **720 ps MAX** pour  $\text{Freq}_{\text{CLK}} = 800 \text{ MHz}$



*Routage du signal CE du registre 4 bits pour la mémorisation du « thermometer code »*

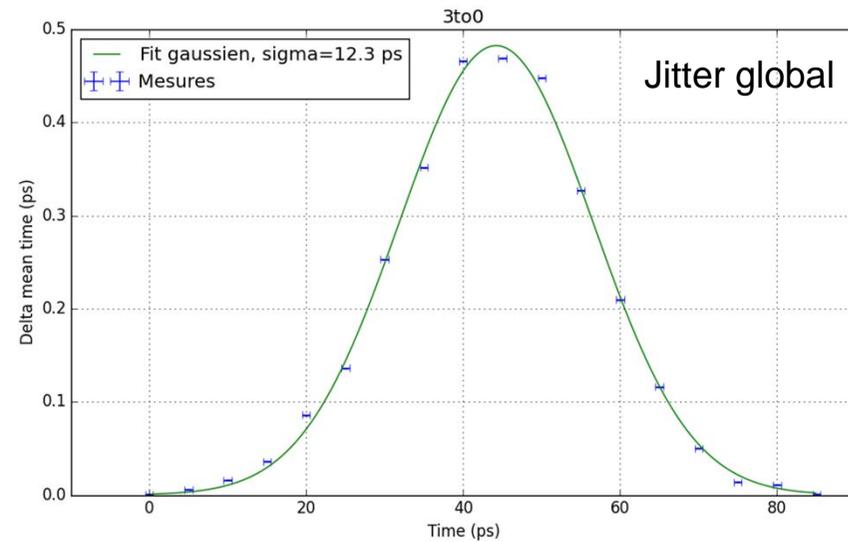
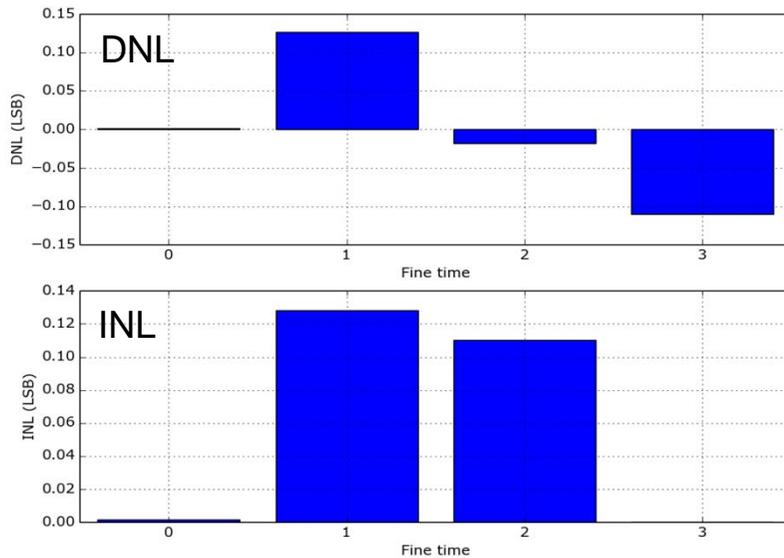
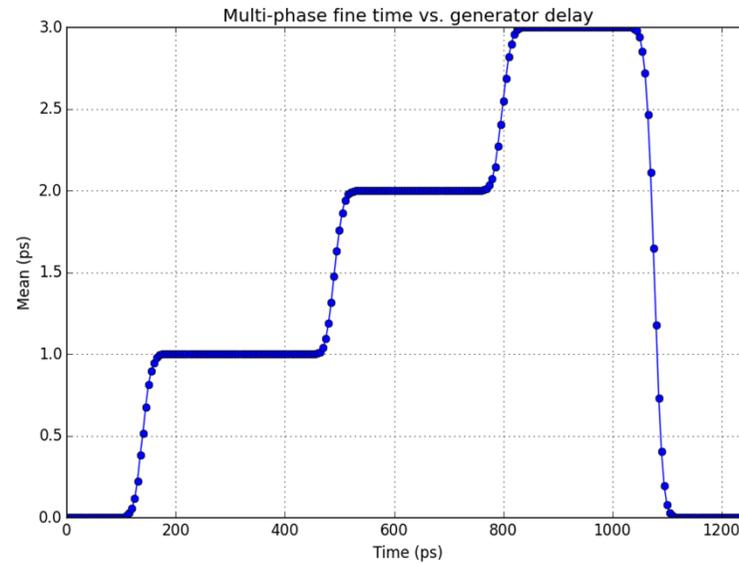
# Banc de test

Générateur d'impulsions avec **décali programmable**



Carte de développement **ZedBoard** (Avnet) basée sur un SoC Zynq-7020

# Caractérisation expérimentale



# Conclusions et perspectives

## ➤ Conclusions

- Time-marker multi-phase 312.5 ps applicable à la mesure d'énergie par TOT
- DNL et INL < 0.13 LSB
- Insensible à PVT
- 72 voies en unipolaire implantables en passant par le connecteur FMC d'une Zedboard

## ➤ Perspectives

- Développement de la mesure d'énergie TOT à partir du Time-marker multi-phase
- Développement d'un time-marker à 10 ps par une méthode simple de ligne à retard utilisant peu de ressources logiques