

Avancement des développements TDC à l'IPNL

Mokrane DAHOUMANE



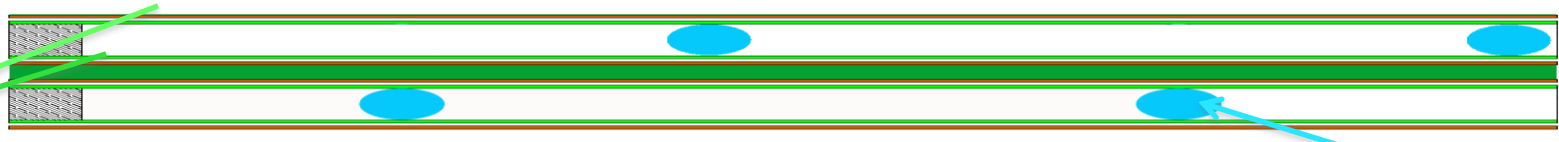
- ❑ Introduction :
 - ❑ Fast-Timing detector - RPC.
 - ❑ Cahier des charges
- ❑ Historique du travail sur les TDC à l'IPNL
- ❑ Technique de « Vernier Ring Oscillators »
- ❑ Présentation de quelques résultats de simulation
- ❑ Conclusions et perspectives

iRPC: well known technology, suited for large detection surface and moderate particle rate.

Charge: few pC

Two scenarios are proposed:

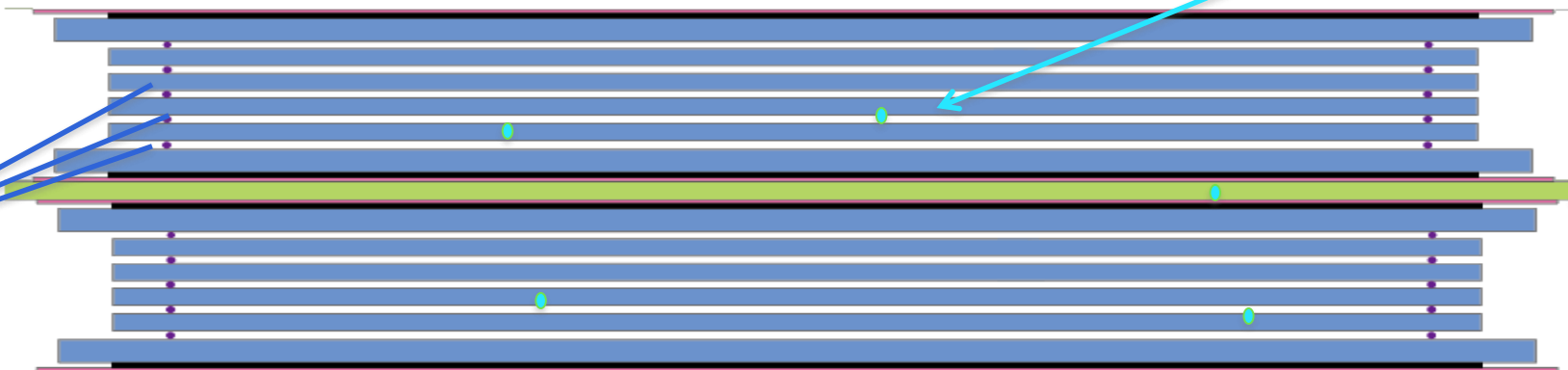
❑ **Double single-gap RPC: time resolution < 1ns**



Resistive plates

Spacers

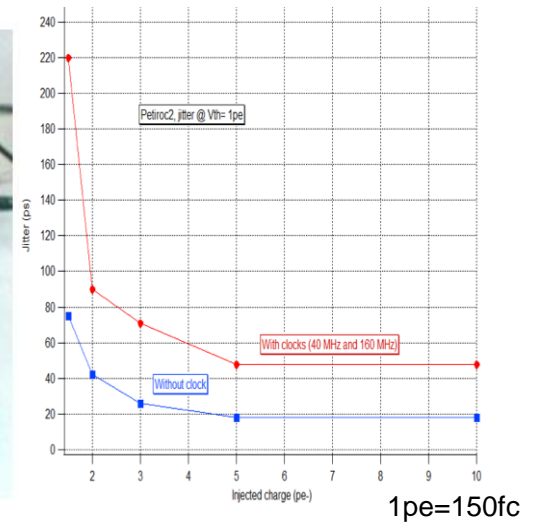
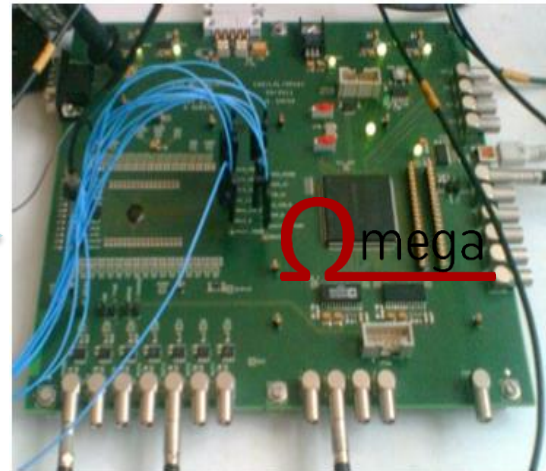
❑ **Double multi-gap RPC: time resolution < 100 ps**



Pick-up strips

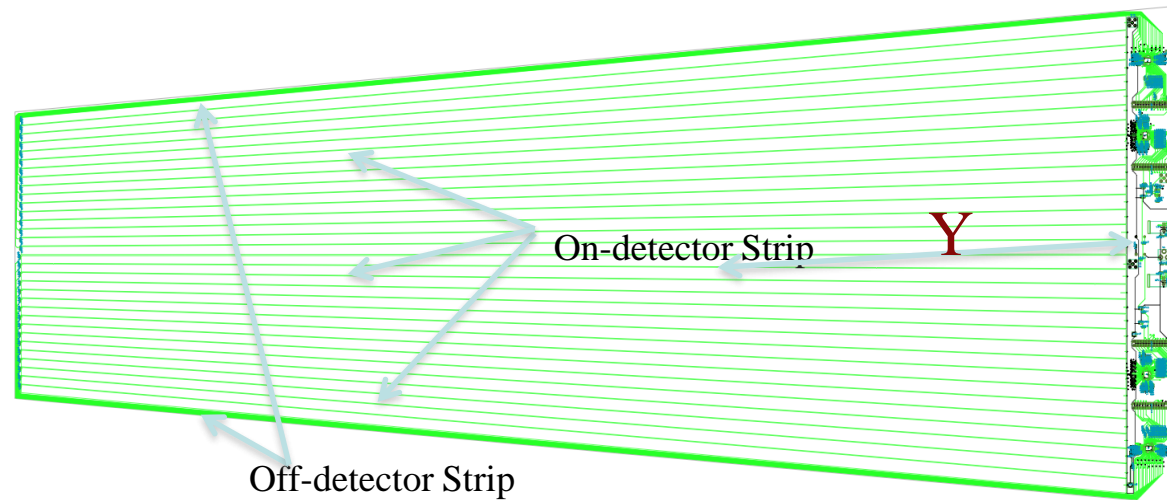
Resistive plates

- PETIROC ASIC : 32-channel, high bandwidth preamp (GBWP > 10 GHz), < 3 mW/ch, dual time and charge measurement (160 fC-400 pC) very fast and low-jitter < 25 ps rms



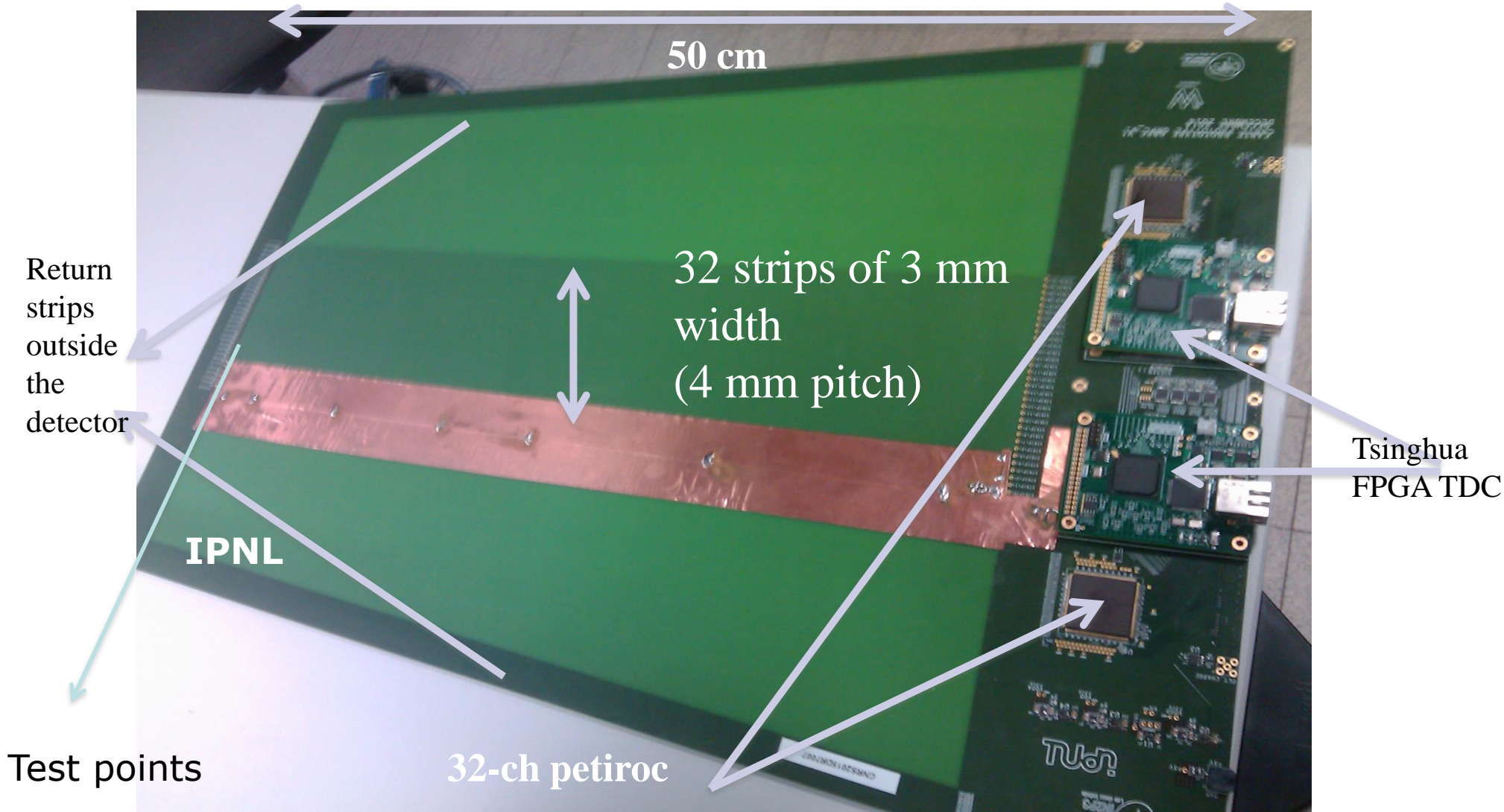
- 24-ch, TDC of 25 ps time resolution developed by the Tsinghua university will be used to demonstrate the RPC/MRPC time capability

- New PCB with pick-up strips read from both sides is being designed with the aim to achieve Y-position determination $Y = L/2 - v \cdot (t_2 - t_1) / 2$. Time resolution can be measured: $(t_1 + t_2) - L/v$





A PCB was conceived to host : Pickup strips, 2 PETIROC, 2 TDC

A DAQ system was developed. The PCB is intended to equip large chambers



- LSB < 20 ps, réglable
 - Résolution rms < 2 ps, incluant tout type de bruit hors bruit de quantification
 - Temps mort < 1 μ s
 - Les signaux issus des RPCs sont espacés de \sim 1 ms (la réelle dynamique)
 - Dynamique de mesure interne au TDC : entre 1 ns et 3 ns
 - Ca dépendra du jitter unitaire des portes à utiliser, de l'horloge de référence du TDC et de la fréquence des « Ring Oscillators » (ie. le nombre de portes dans la chaîne d'oscillation) ...
 - Faible consommation (puissance dissipée du FEE+TDC < 3 mW/voie)
 - Technologie tsmc130nm imposée par le circuit du front-end (le descendant du PETIROC).

- FPGA :**
- Une architecture classique de TDC Vernier a été utilisée avec succès dans quelques applications de physique (Cf. [1])
 - Une nouvelle technique de réglage de la fréquence des oscillateurs d'un TDC Vernier a été implémentée sur FPGA. Cette technique, utilisant des portes XORs en mode passant ou inverseur, permet des réglages très fins de la fréquence.
- 

- TDC_Brick ASIC :**
- Des "Building blocks" d'un TDC ont été intégrés dans un ASIC en technologie IBM 130 nm.
 - Des « Standard cells » ont été utilisées pour le design des « Ring Oscillators »
 - Une « custom cell » a été réalisée et intégrée dans l'ASIC afin d'améliorer le temps de setup de la bascule D dans le détecteur de phase
- 

Etudes en cours sur les TDCs :

- Technologie tsmc 130 nm
- Technique « Vernier Ring Oscillator »
- Ajustement fin de la fréquence des oscillateurs
- Exploration d'autres architectures (état de l'art sur les TDC)!
- Soumission fonderie prévue pour le Q3 2016
- Etude financée dans le cadre du programme AIDA

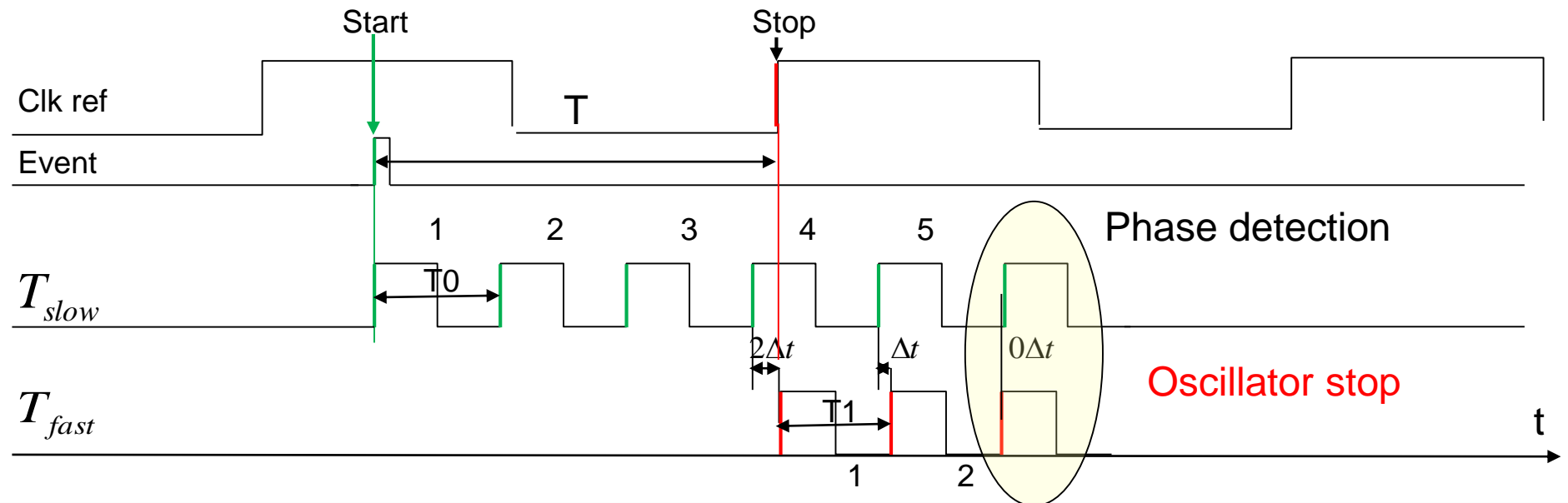
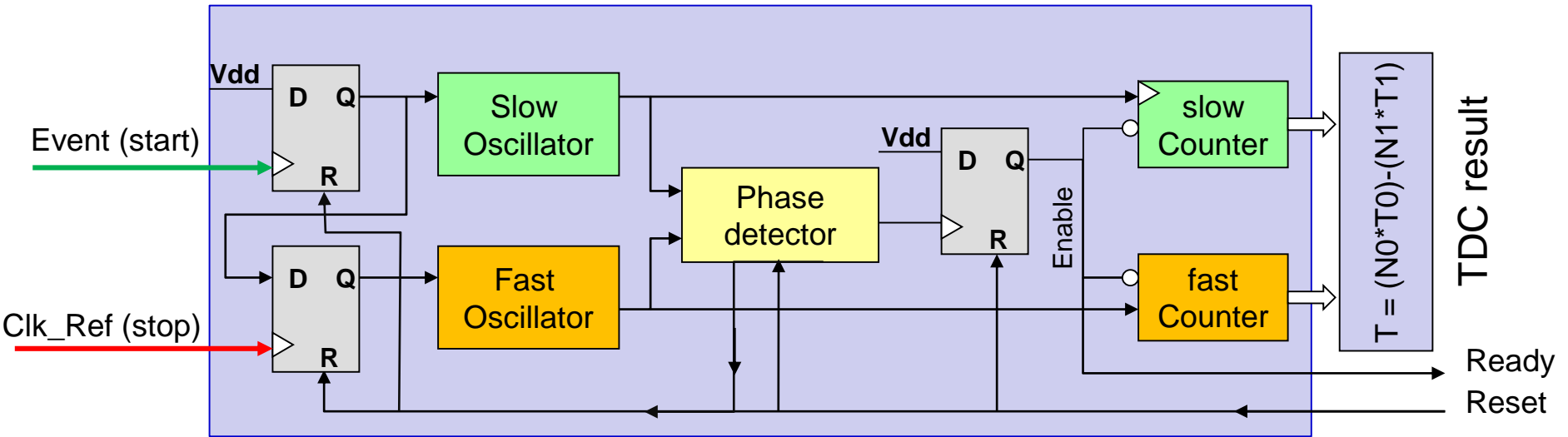
Personnes impliquées @ IPNL:

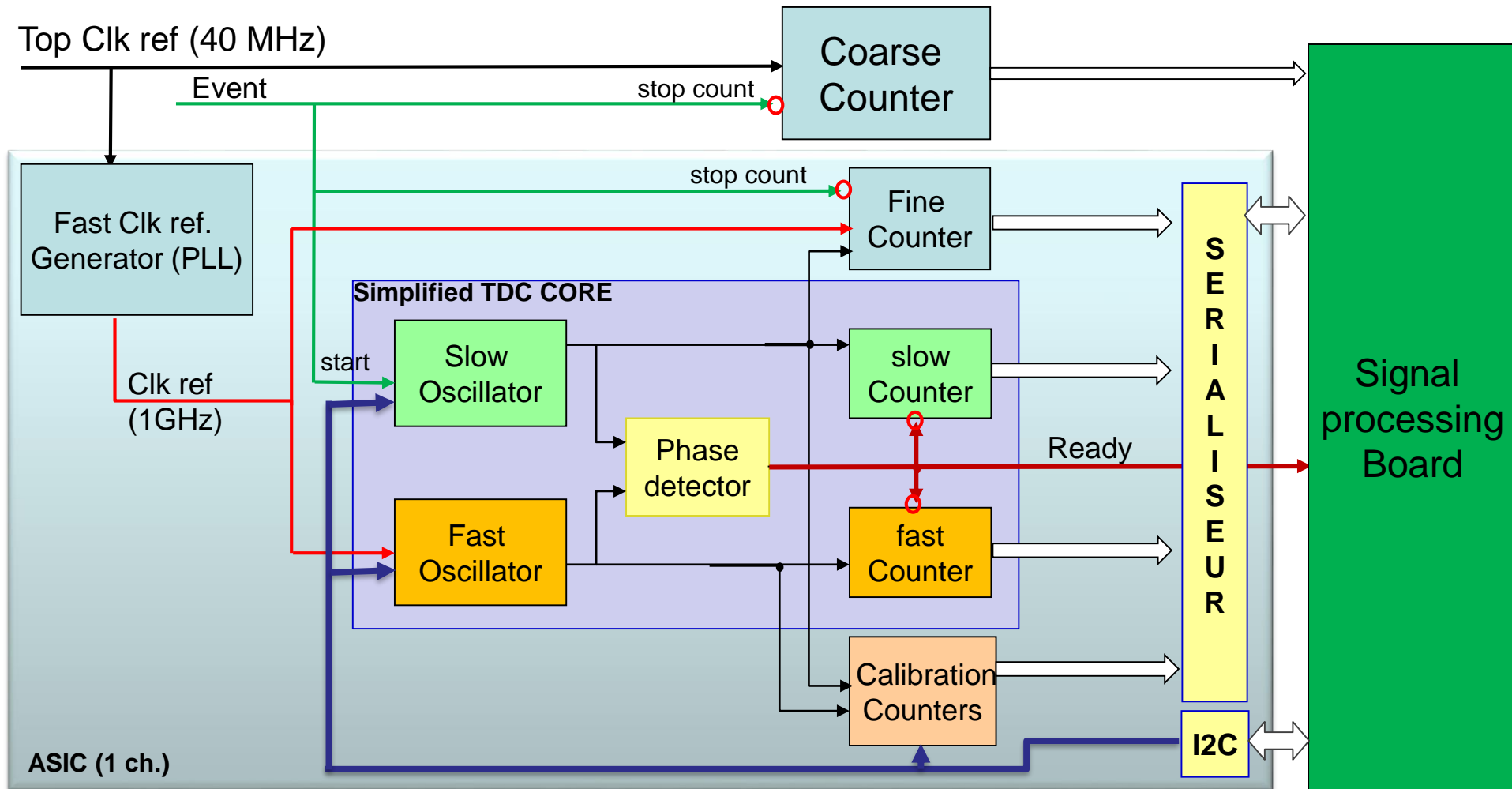
- Nadia Ben-Salha : stage Master 2 Recherche
- L. Balleyguier
- E. Bechetoille
- C. Girerd
- H. Mathez
- M. Dahoumane

[1] Implementation of sub-nanoseconds TDC in FPGA: applications to time-of-flight analysis in muon radiography

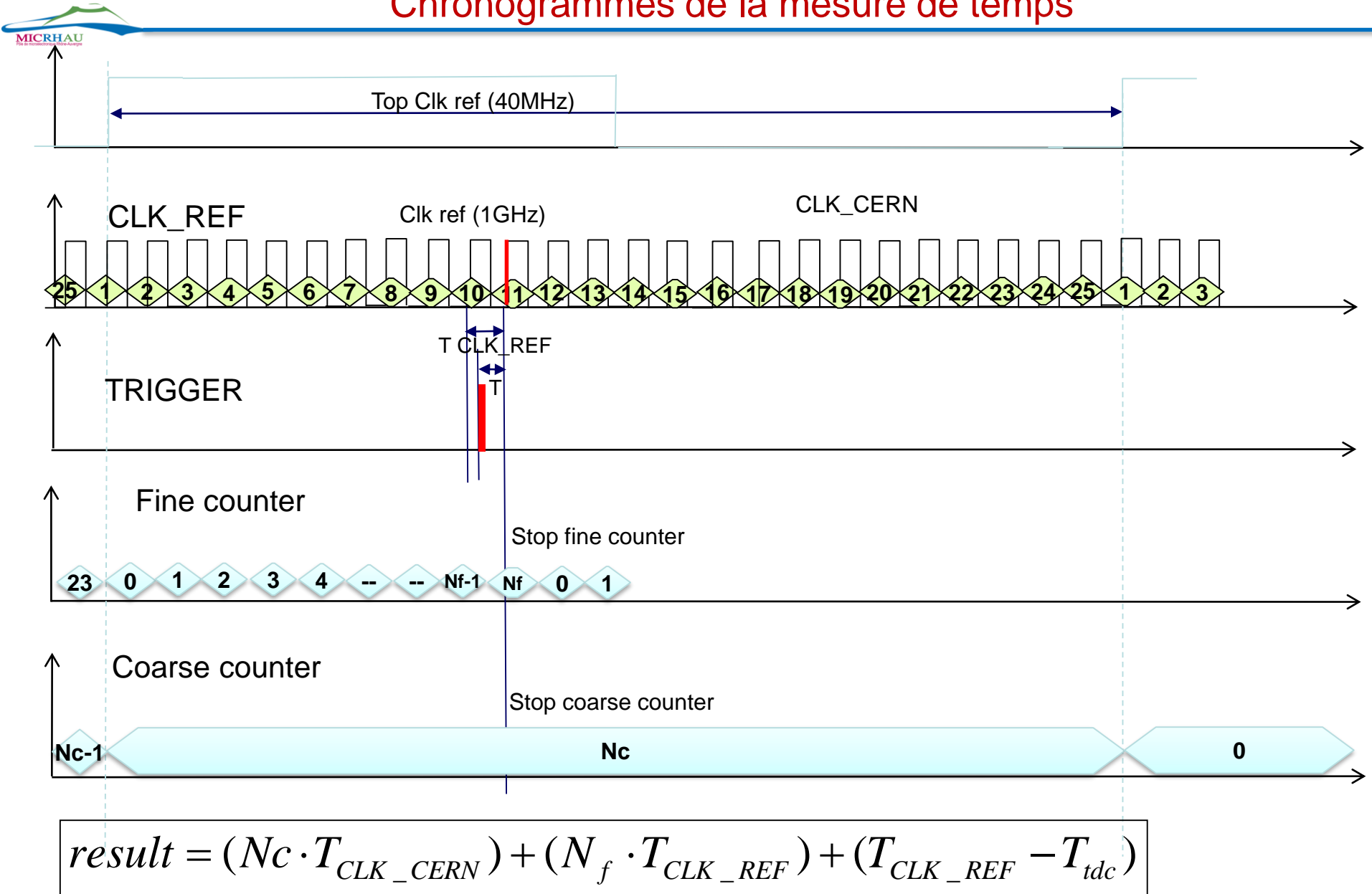
[J. Marteau](#) (IPNL), [J. De Bremond D'ars](#) (GR), [D. Gibert](#) (GR, IPGP), [K. Jourde](#) (IPGP), [S. Gardien](#) (IPNL), [C. Girerd](#) (IPNL), [J.-C. Ianigro](#)(IPNL)

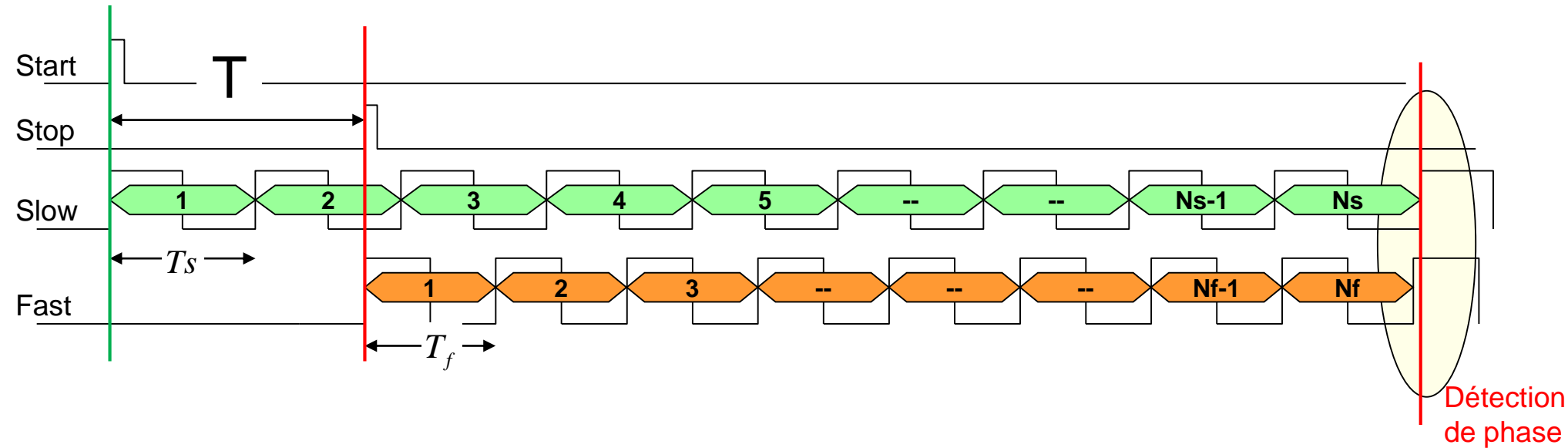
- Clock reference as stop signal on the fast oscillator





Chronogrammes de la mesure de temps

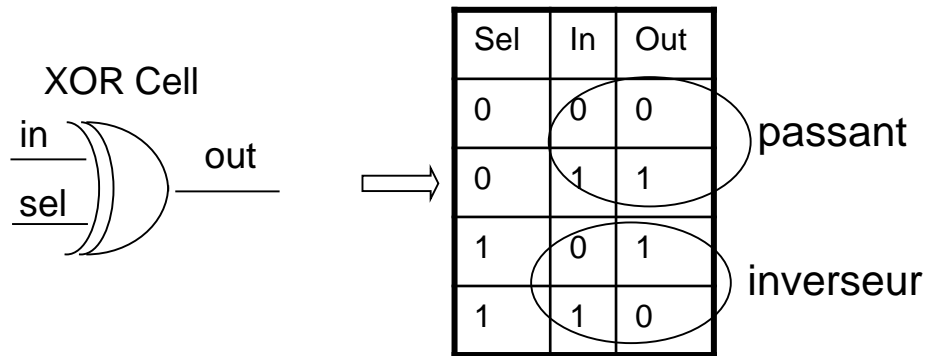




$$T = (N_s \cdot T_s) - (N_f \cdot T_f)$$

La pas de conversion (LSB) est donné par : $T_s - T_f = \Delta t$

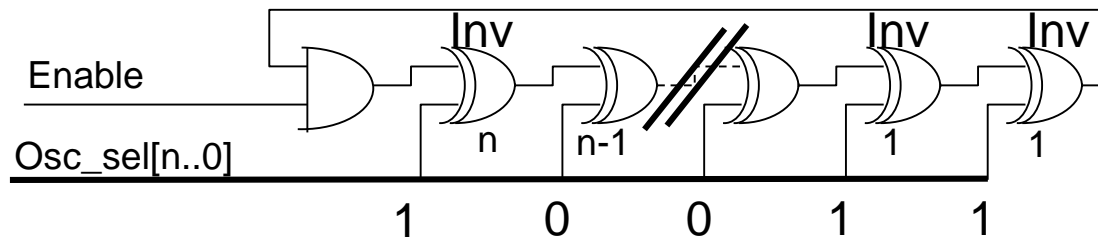
Il est nécessaire de pouvoir ajuster finement la fréquence des oscillateurs



sel	Tp
0	Tp_{pass}
1	Tp_{inv}

$$Tp_{pass} \neq Tp_{inv}$$

L'élément de base d'un "R.O" (l'inverseur) peut être remplacé par une porte XOR2



Le mot de control peut changer le nombre (impair) et la position des inverseurs

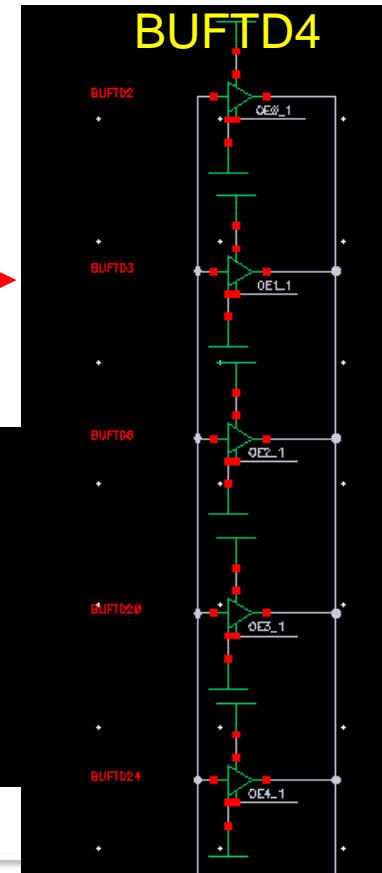
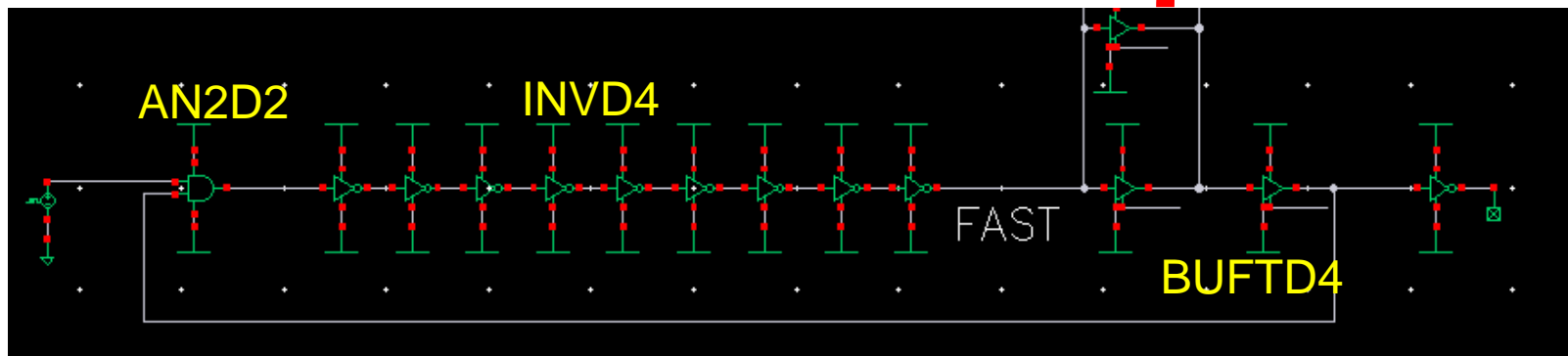
En technologie IBM 130 nm on dispose de :

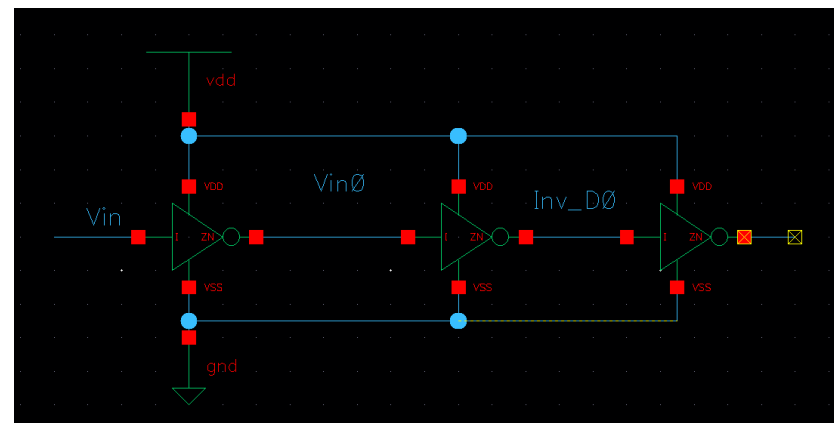
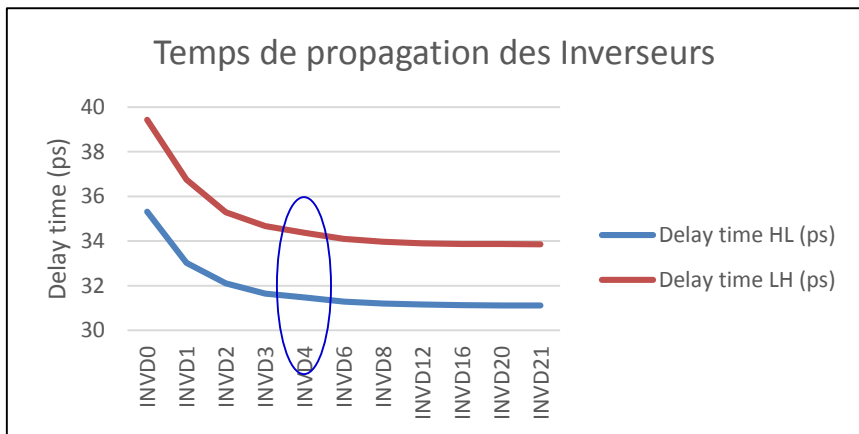
- 13 catégories de porte XOR2
 - 12 catégories de porte XNOR2
- Grand nombre de combinaisons => Δt plus fin

Ce qui a justifié l'utilisation des XORs pour le « réglage fin » des fréquences dans les blocs TDC de l'ASIC déjà fondu en techno IBM 130 nm

En technologie **tsmc 130 nm** on ne dispose que de :

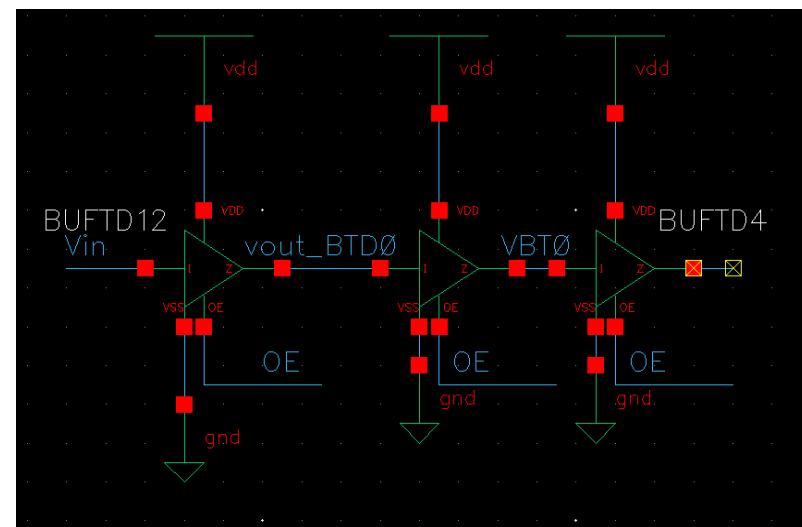
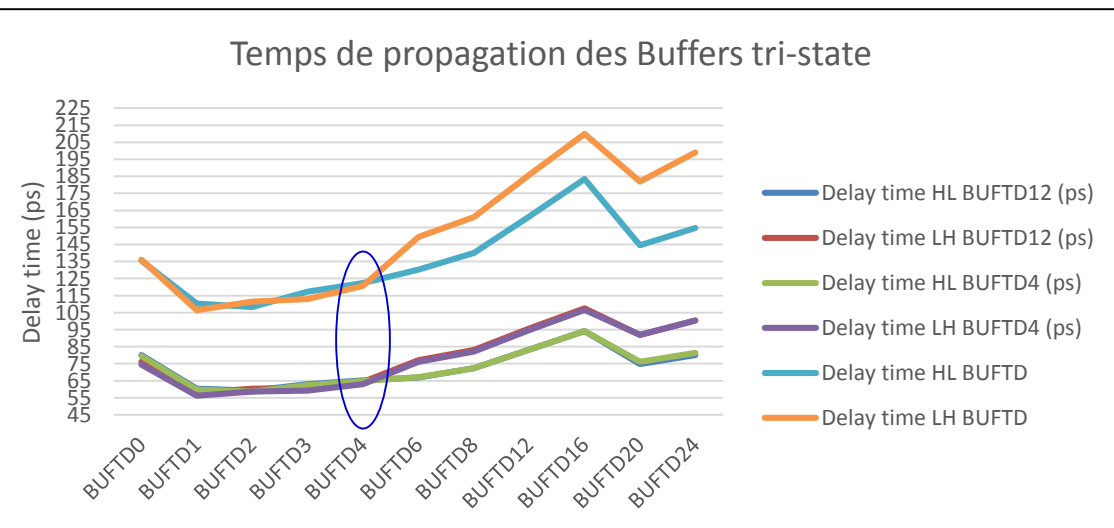
- 4 catégories de porte XOR2
 - 4 catégories de porte XNOR2
- } Faible nombre de combinaisons => Δt ne peut pas être réglé finement avec des XOR2
- 11 catégories d'inverseurs INV Dx
 - 11 catégories de Buffer tri-state BUFTDx
- ↳
- Choix des INV Dx pour construire les deux « R.O »
 - Choix de Buffers tri-state pour le « réglage fin » des fréquences des deux « R.O » :
 - 5 buffers sont montés en parallèle et activables avec un mot de 5 bits (1024 combinaisons)





Configuration de simulation des temps de propagation (td) des inverseurs

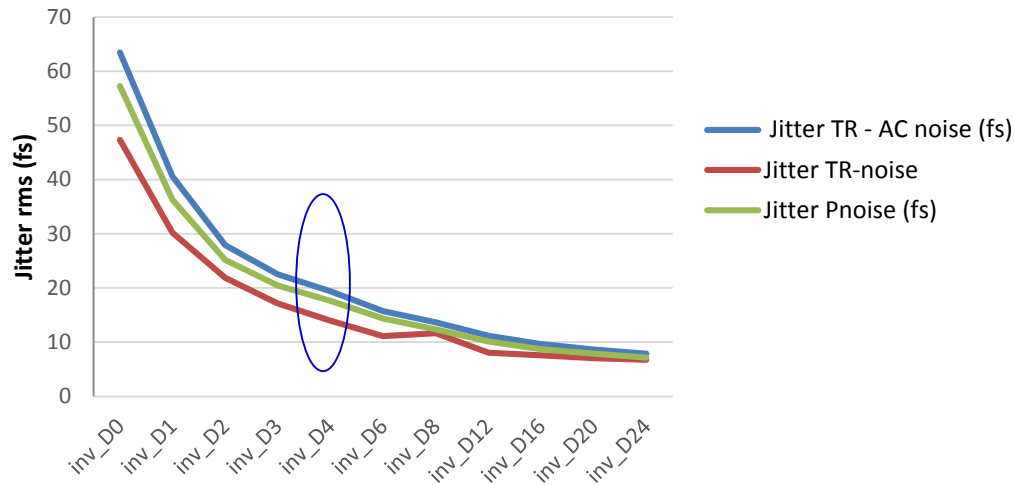
Réglage grossier de la fréquence des « R.O » est fait selon la catégorie et le nombre d'INVDx dans la chaîne



Configuration de simulation td des Buffers



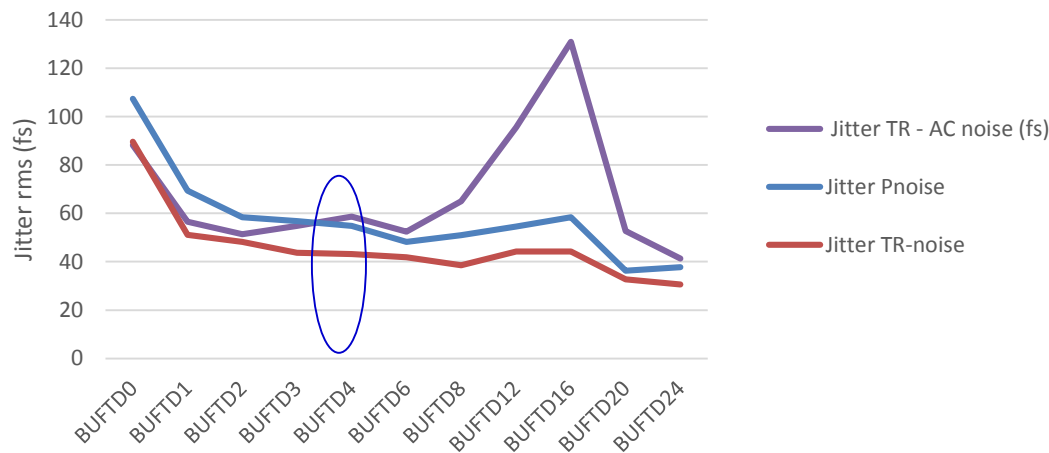
Jitter rms (sur front montant) -- Inverseur INVDX



- Jitter rms des INVDx simulé avec trois méthodes : Transient-noise, Transient-ac-noise et PSS-Pnoise.
- Fréquence de 10kHz à 100 GHz
- Il n'y a pas une grande différence entre les trois méthodes.

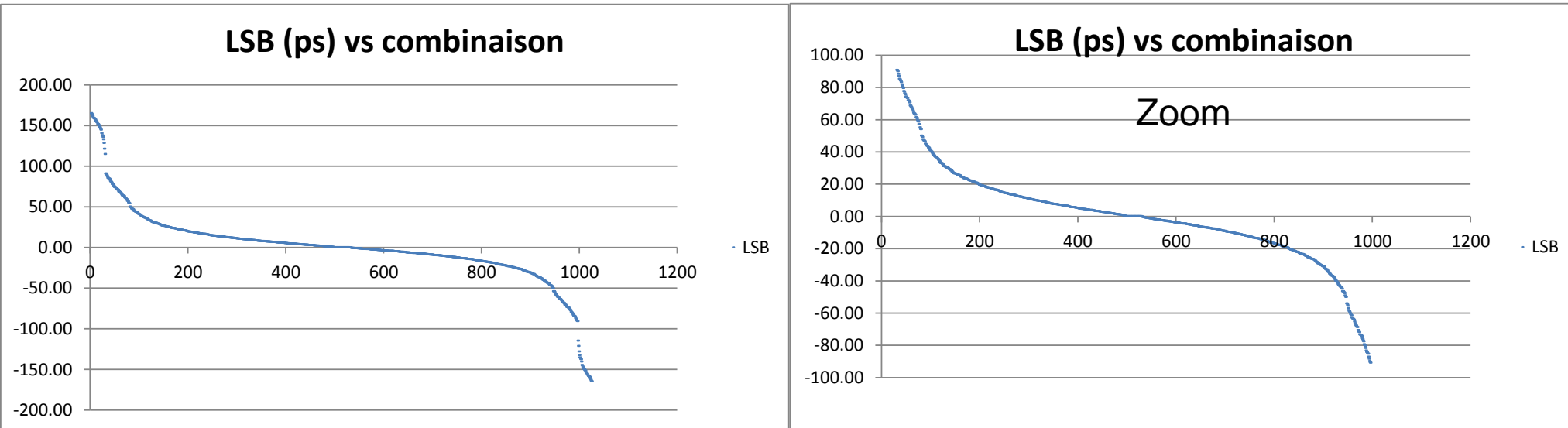
➔ Confiance dans les simulations

Jitter rms (sur front montant)-- Buffers tri-state



- Jitter rms des BUFTDx simulé avec trois méthodes : Transient-noise, Transient-ac-noise et PSS-Pnoise.
- Fréquence de 10kHz à 100 GHz
- Il n'y a pas une grande différence entre les trois méthodes (sauf pour un Buffer).

- Réglage du LSB (pas de quantification du TDC)
 - Par sélection de mode « buffer » ou « haute impédance » (HZ) des Buffers tri-state

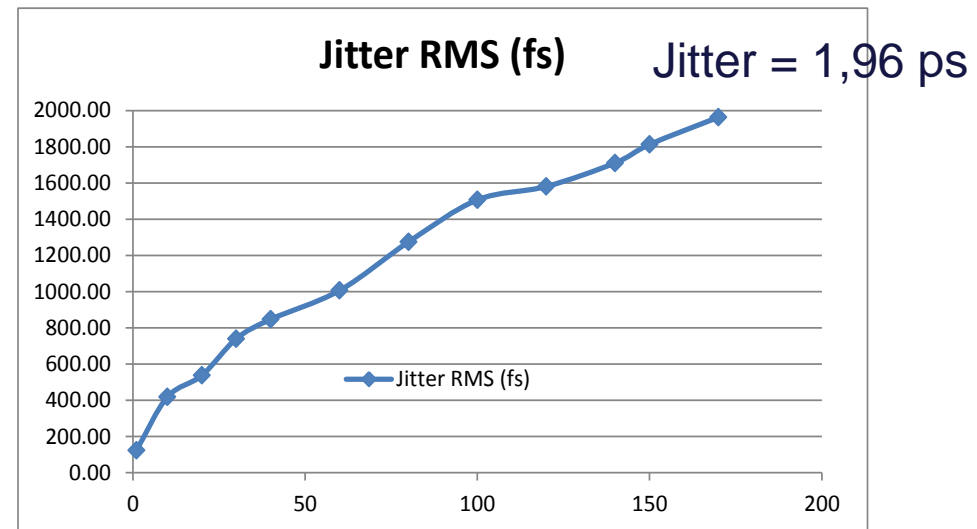
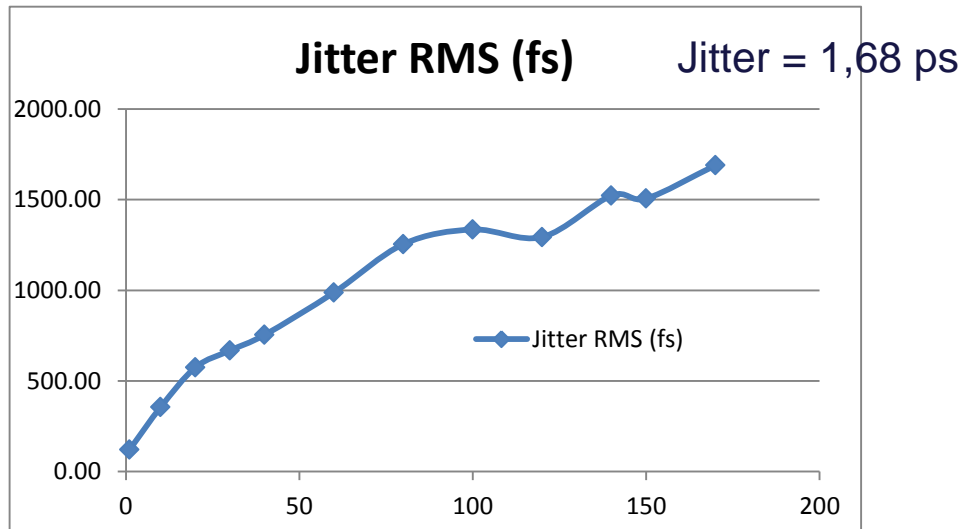


- 1024 combinaisons simulées en utilisant deux oscillateurs (grand volume de data)

Impact sur la fréquence d'oscillation	Max	Min
F (MHz)	1140	961
Période T (ps)	875,7	1040,9
Tp (ps)	43,4	36,5

Code 31
 Schéma = ring_osc_jitter_power
 Sortie = Out_F
 TR Noise sim moderate
 Tsim = 150 ns
1 mV cc @ 10 MHz sur VDD
 Fosc = 1,1 GHz
 MOS Noise + Ripple sur VDD

Code 31
 Schéma = ring_osc_jitter_power
 Sortie = Out_F
 TR Noise sim moderate
 Tsim = 150 ns
50 mV cc @ 10 MHz sur VDD
 Fosc = 1,1 GHz
 MOS Noise + Ripple sur VDD



Effet du Ripple faible : Jitter RMS < 2 ps

Code 31

Schéma = ring_osc_jitter_power

Sortie = Out_F

TR Noise sim moderate

Tsim = 150ns

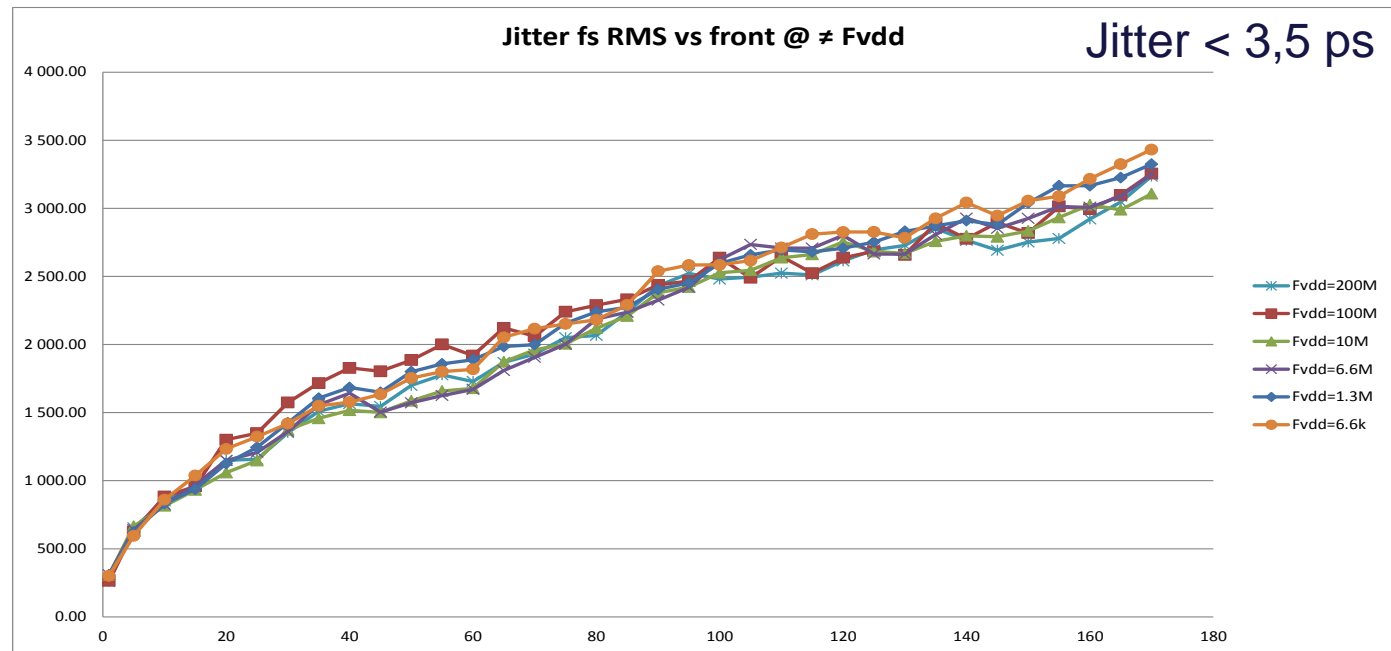
50 mV cc @ ≠ F sur VDD

PSD VDD = 10 nV/sqrtHz sur 10 GHz

Noise VDD = 1 mV RMS

Fosc = 1,1 GHz

MOS Noise + Ripple sur VDD + noise VDD



Code 31

Schéma = ring_osc_jitter_power

Sortie = Out_F

TR Noise sim moderate

Tsim = 150ns

50 mV cc @ ≠ F sur VDD

PSD VDD = 100 nV/sqrtHz sur 10 GHz

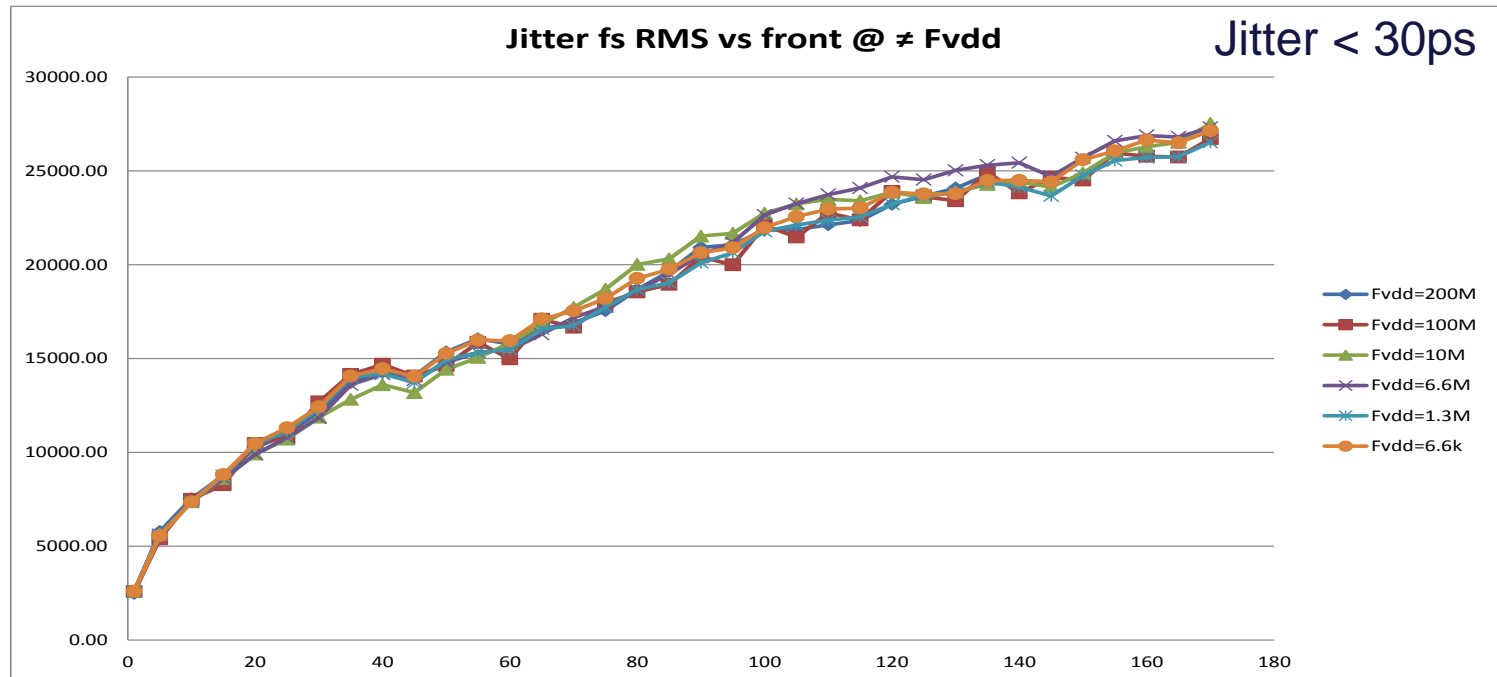
Noise VDD = 1 mV RMS

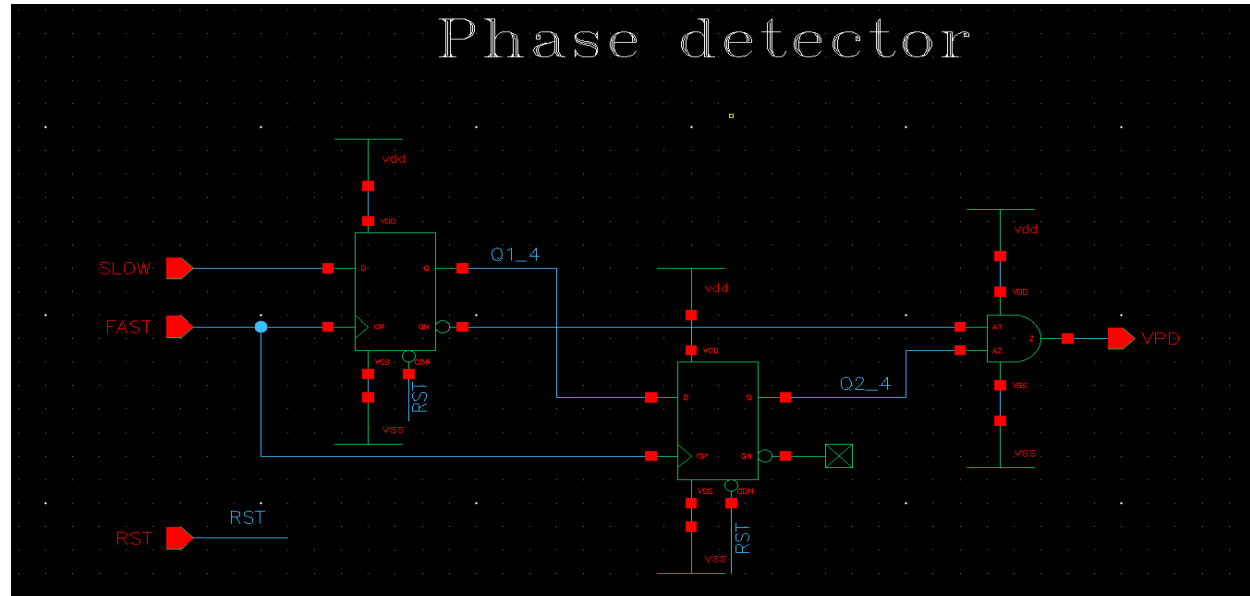
Fosc = 1,1 GHz

MOS Noise + Ripple sur VDD + noise VDD

L'effet du Ripple sur VDD est négligeable devant le bruit en puissance de l'alimentation

! Attention au choix des régulateurs de tension sur les PCB !





- Le détecteur de phase présente un offset qui varie selon le choix des bascules.

Bascule	Offset du détecteur de phase
DFCND1	23 ps
DFCND2	24 ps
DFCND4	15.7 ps

- Les temps de set up et de hold des bascules sont deux paramètres clé dans le design du détecteur de phase !**

Conclusions

- ❑ Une étude exhaustive de caractérisation de la technologie tsmc130 nm a été faite en simulation.
- ❑ Les contraintes en bruit sur les alimentations ont été mises en évidence.
- ❑ Un système de mesure de temps utilisant un compteur fin dans l'ASIC est en cours de réalisation.
- ❑ La génération d'une Clk rapide dans l'ASIC est nécessaire
 - ➔ Le design d'une PLL à faible jitter et basse consommation est en cours

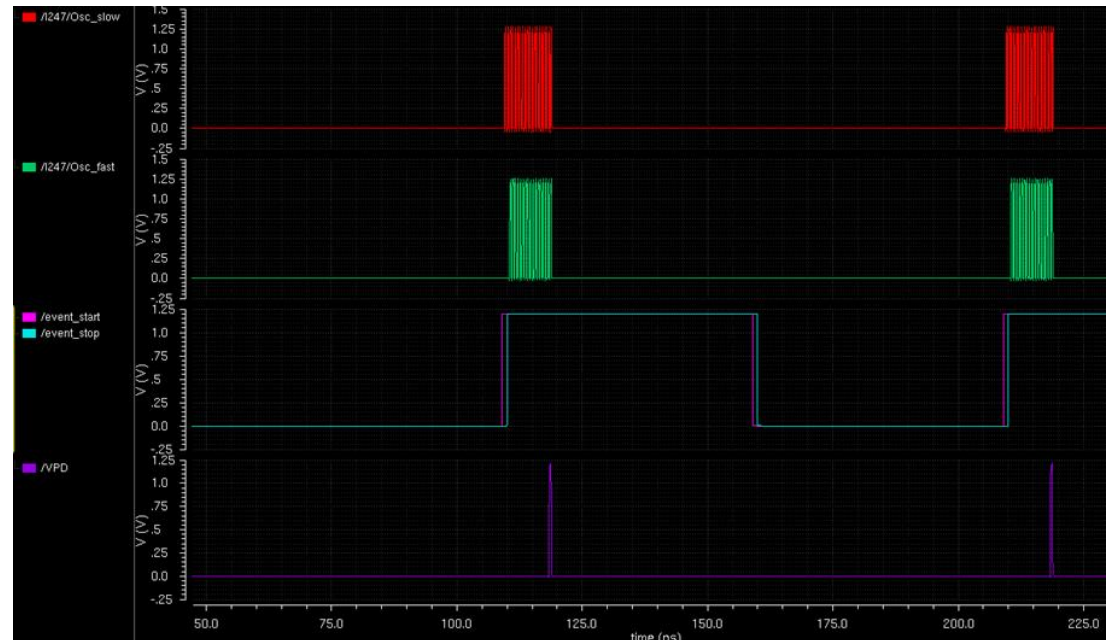
Prochaines étapes

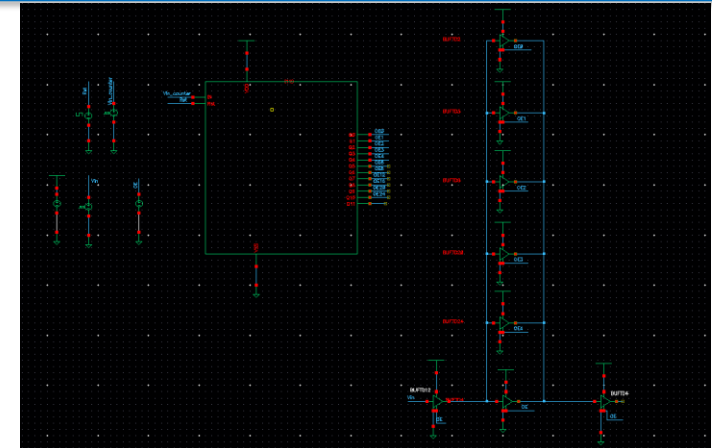
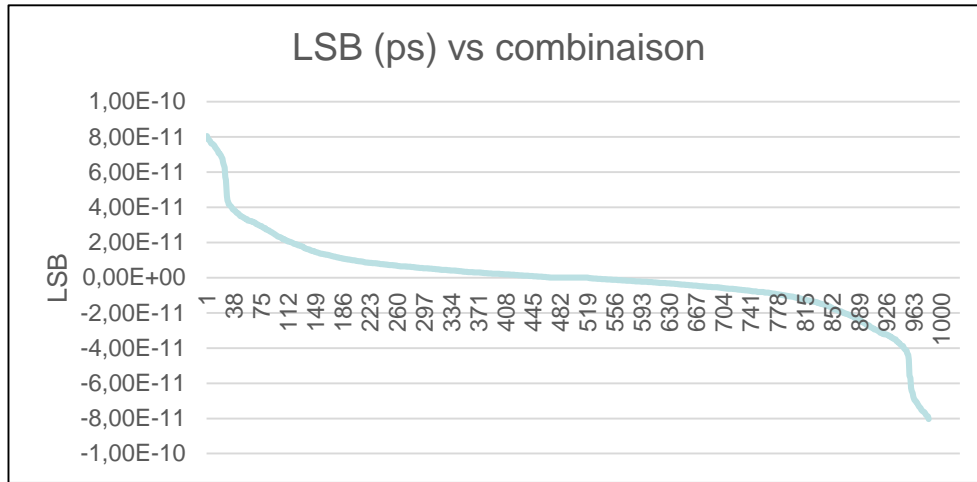
- ❑ Réalisation du layout de l'ASIC décrit.
- ❑ Soumission en fonderie de ce prototype prévue septembre 2016
- ❑ Nous comptons approfondir cette étude dans le cadre d'une thèse de doctorat
 - ❑ caractérisation de la version actuelle de l'ASIC
 - ❑ étude de l'état de l'art et comparaison avec d'autres architectures
 - ❑ préparation d'une intégration du TDC dans les ASICs PETIROC (OMEGA)
 - ❑ Pour cette fin, nous avons demandé un financement de thèse via l'IN2P3

Buck up slides

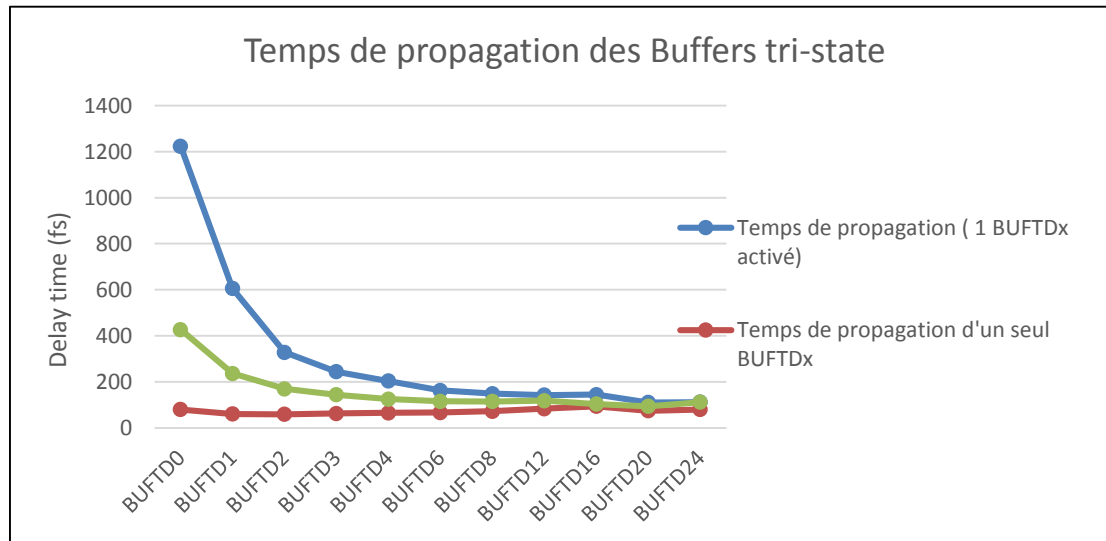
- Pour minimiser le jitter cumulé → choisir Clk ref la plus rapide possible
 - Attention à l'impact que cela pourrait avoir sur les blocs analogiques du « PETIROC FEE ».
- Pour réduire la puissance dissipée et le jitter cumulé des deux oscillateurs :
 - Activations des oscillateurs uniquement sur trigger (ie. quand il y a un évènement physique)
 - Remise à zéro des oscillateurs dès que le détecteur de phase envoie son signal de « ready »

Remise à zéro des oscillateurs par le détecteur de phase

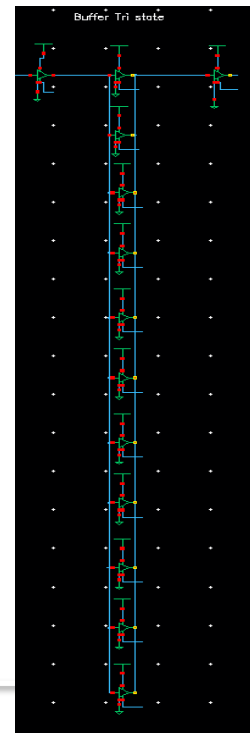




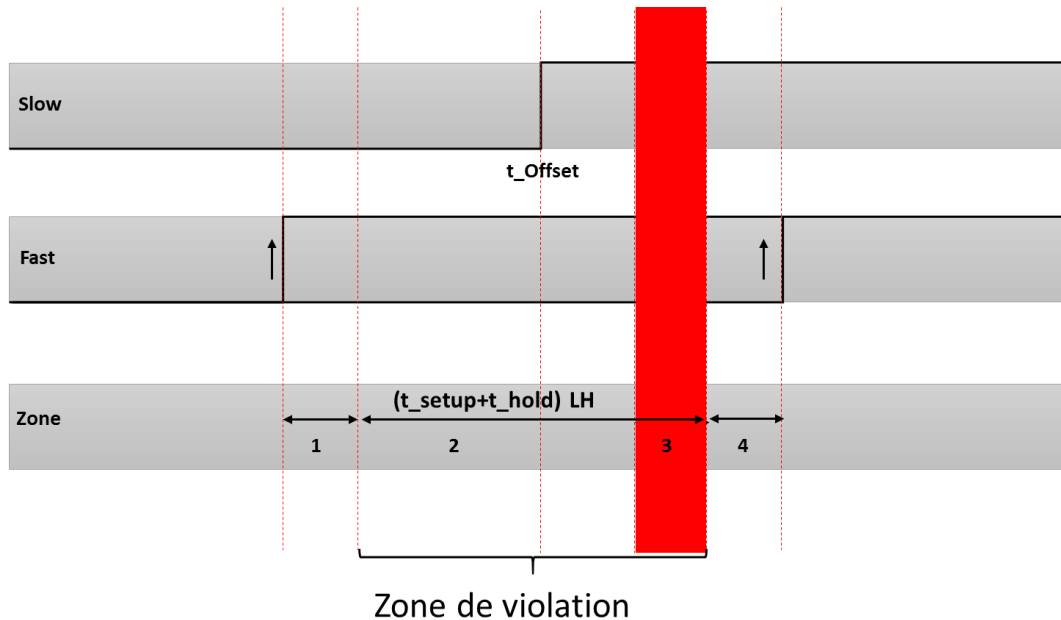
Configuration de simulation du LSB en utilisant une seule matrice de Buffers (au lieu de deux oscillateurs complets) : **gain en volume de data.**



Configuration de simulation du td : mise en // de toutes les catégories de BUFTDx de la technologie



Détecteur de phase : - La bascule DFCND4



Zone 1 : le signal Fast est en avance par rapport au Slow (Délai SF > temps setup_hold (**12 ps**))

- on détecte la phase après 50 ns.

Zone 2 : $-13 \text{ ps} < \text{Délai SF} < 6 \text{ ps}$

- On rate un front d'horloge (1 ns)
- On se trouve dans la zone de « temps de setup et le temps de hold » LH
- Pour la bascule DFCND4, le temps de setup et de hold est de **18 ps**.

Zone 3 : En se trouve dans le signal Slow est en avance par rapport au Fast

- Dans cette zone, on rate deux fronts d'horloge .

Zone 4 : le signal Slow est en avance par rapport au Fast (Délai SF > 13 ps)

zone de violation

Zone de violation :

- Offset à compenser avec les compteurs slow et fast ?
- Peut-on avoir un LSB < zone de violation ?