



Systeme de test faisceau pour trajectromètres en Silicium

- Buts poursuivis et contexte
- Précédente version du système
- Détecteurs
- Électronique frontale
 - Partie analogique
 - Partie numérique
- Système d'acquisition



Buts poursuivis

- Construire un système de test en faisceau pour prototypes de trajectomètres en Silicium, entièrement autonome. flexible pour tester différents types de détecteurs et/ou d'électronique de lecture et aisément intégrable en test combiné avec d'autres sous détecteurs
- Les principales composantes d'un tel système sont :
 - Les modules composés de plusieurs détecteurs à microbandes pouvant être de différents types (tests de détecteurs et de leurs caractéristiques). Deux modules sont inclus, lus par des VA1 et servant à la fois de références et de télescope intégré au système.
 - L'ASIC SiTR permettant de traiter le signal de sortie de chaque voie de ces détecteurs
 - Les cartes hybrides pour lire et traiter l'information des modules, cartes reliées au module par un adaptateur de pitch. Deux types d'hybrides sont construits : l'un associé aux VA1 servant de référence et l'autre associé aux nouveaux chips SiTR
 - La cage de Faraday pour loger tout l'ensemble de détection, pouvant éventuellement inclure un système de refroidissement si nécessaire.
 - La table 3D pour installer précisément sur le faisceau ce système de détection et permettre diverses orientations par rapport au faisceau.
 - Le hardware (carte FPGA-USB + câblage) et software d'acquisition permettant de piloter et contrôler la prise de données et de l'intégrer dans le système d'acquisition global si test combiné.
 - Un système d'alignement
 - Le déclenchement de la prise de données : scintillateurs+PM et logique associée
- Le contexte: la collaboration SiLC plus le programme E.U. EUDET dont ce système est l'un des principaux livrables.



Précédente version

- Développée pour le test au SPS CERN (Octobre 07), avec télescope EUDET
- Les tests portaient sur :
 - Les tests de nouveaux prototypes SiTR_130-4, faits en 2006 par LAPP+LPNHE.
 - Des nouveaux détecteurs HPK juste délivrés par Hamamatsu (15/9/07)
 - Premier essai de SiLC en test combiné avec le télescope EUDET et au SPS (précédents tests faits à DESY)
- Un module fait de 3 détecteurs du type le plus large de 'CMS', équipés de VA1 comme référence. Il faut noter que ces détecteurs sont de récupération du lot faits par STM, et rejetés par CMS : donc de qualité très moyenne. Ne pas confondre donc avec les détecteurs qui équipent effectivement CMS.
- Deux modules fait chacun de deux détecteurs HPK de nouveau type (excellente qualité et testés par HEPHY+IEKP, voir présentation de Catalin) et lus par les prototypes SiTR_130-4 (voir présentation de Hung)
- L'acquisition basée sur un FPGA (précédente version), et le software basée sur le LabView développé pour le test en Laboratoire. De plus les VA1 étaient lus par le système utilisé en Laboratoire

Précédent système au SPS

CERN

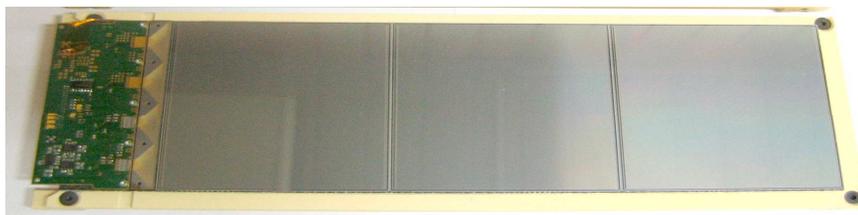
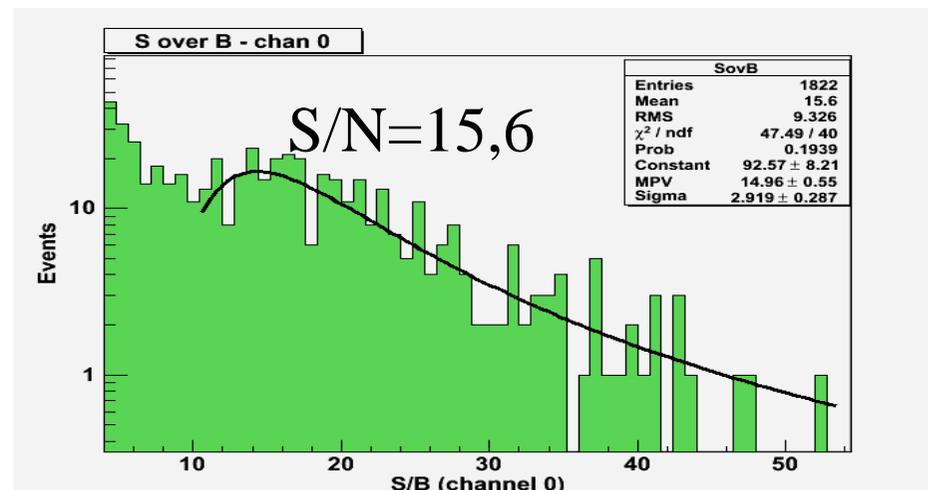




Précédents tests (suite)

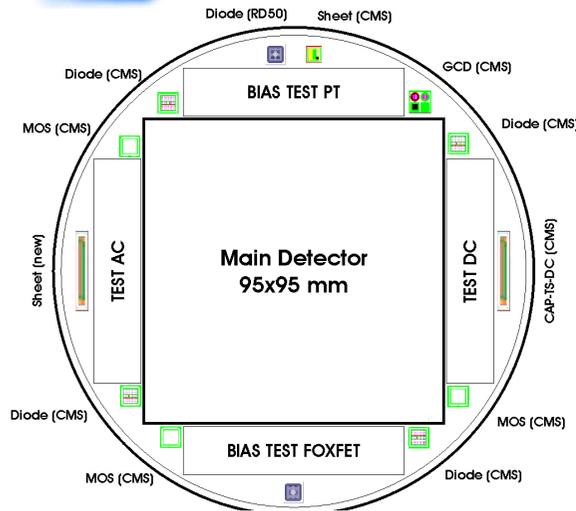
- Les détecteurs HPK ont préalablement été aussi testés au laboratoire à l'aide d'une source $S^r 90$, début 2008 dans nouveau local de tests installé au Laboratoire (voir résultats présentés par Hung pour détail).

Ci-contre un résultat en ligne avec programme de monitoring en ligne (écrit par Catalin) et un simple algorithme pour calculer S/N

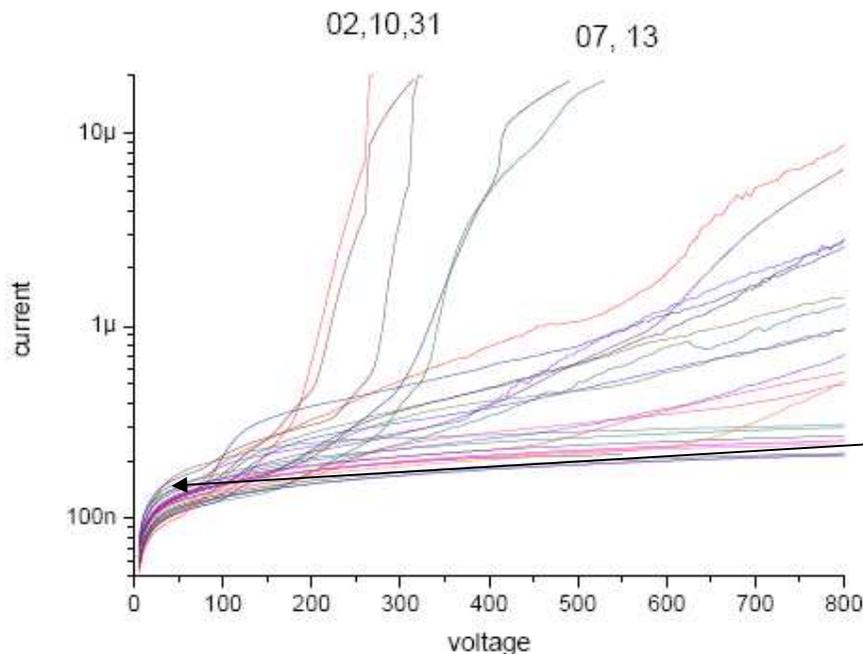


Ci-contre un module fait de 3 détecteurs *type 'CMS' de récupération* et lus par 4 VA1, noter aussi le pitch adapter.

Les détecteurs Hamamatsu

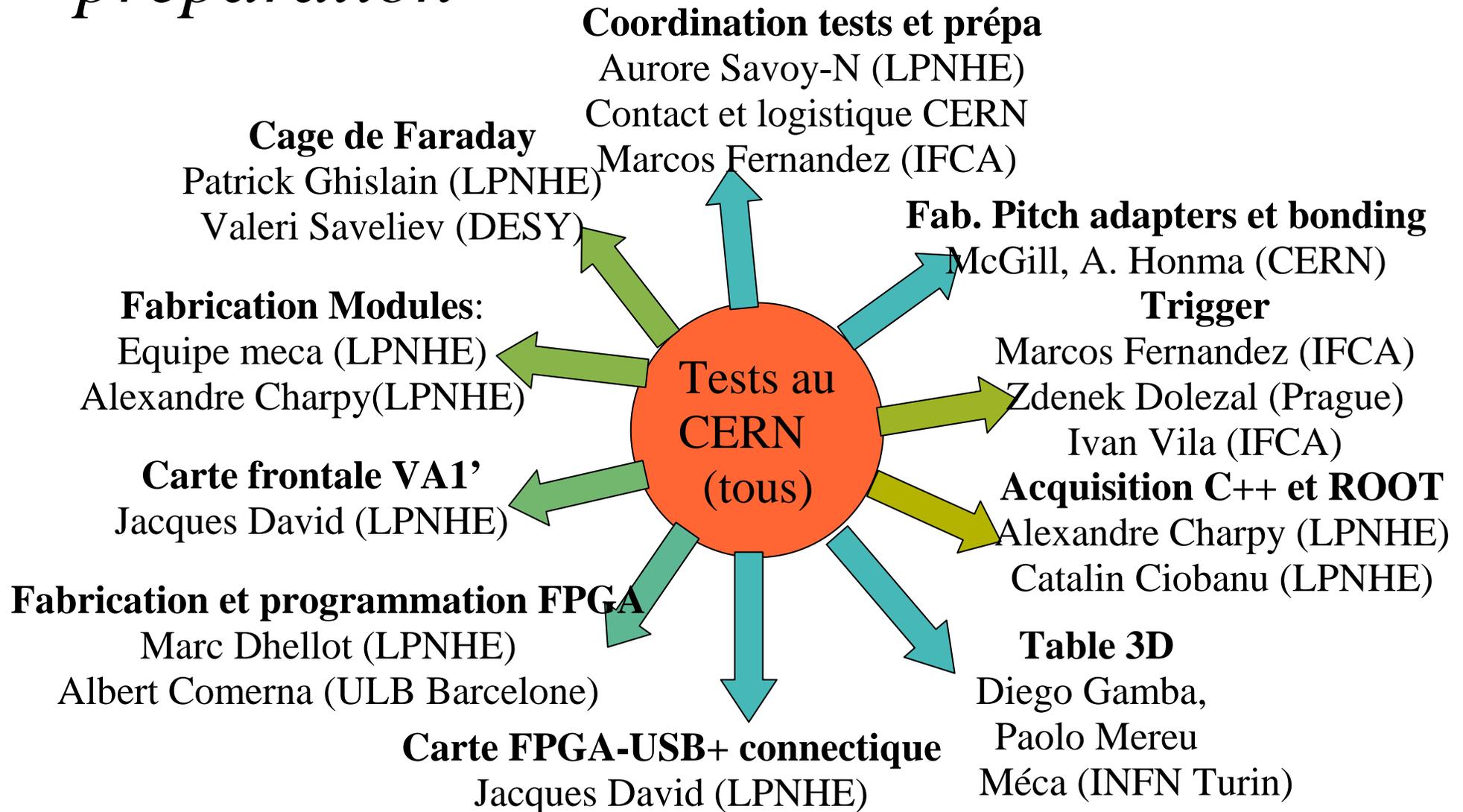


Nouveaux détecteurs HPK à microbandes, **wafer 6 pouces**, pitch = 50 μ m; épaisseur : 320 μ m; Longueur : 9,15cm, avec structures de tests, et certains sont démétallisés à l'arrière et traités spécialement pour alignement.

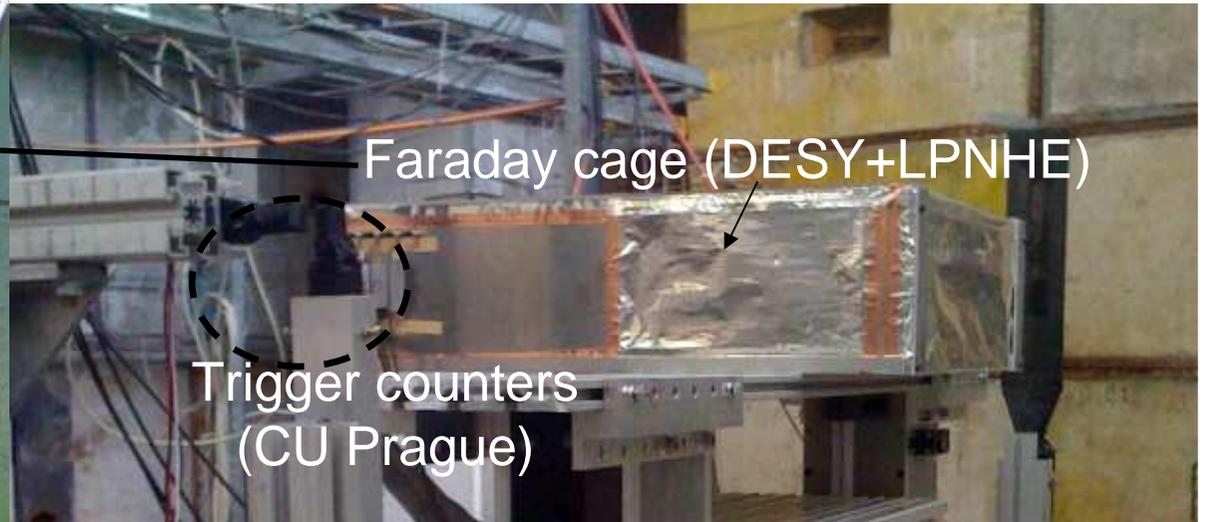


Caratéristiques étudiées de façon détaillée par HEPHY Vienna et IEKP Karlsruhe sur banc dédié en Laboratoire (voir courbe ci-contre par exemple) Et en tests en faisceau des structures (voir Catalin)
Point de fonctionnement : 50-100Volts

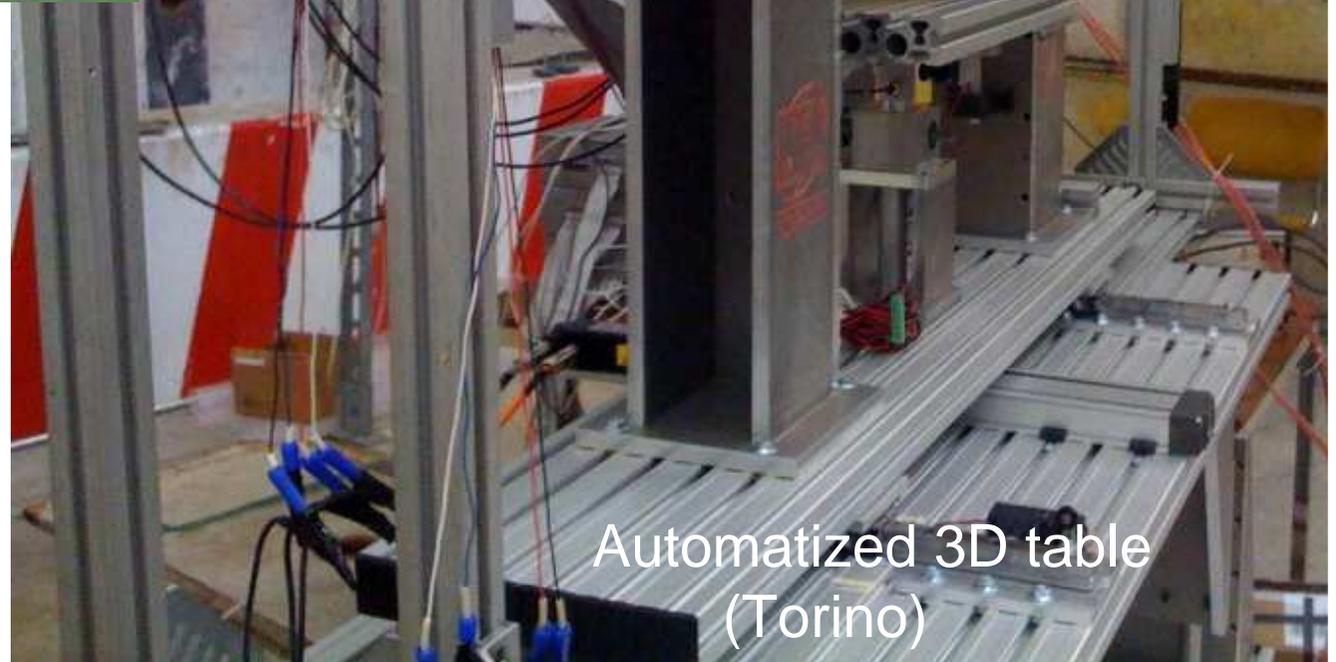
La participation aux tests en 2008 et leur préparation



Test en faisceau au PS-CERN, Nov 4-7 2008: le set-up



Cage de Faraday avec 5 modules faits de détecteurs HPK dont 3 modules au centre sont équipés pour test en alignement.



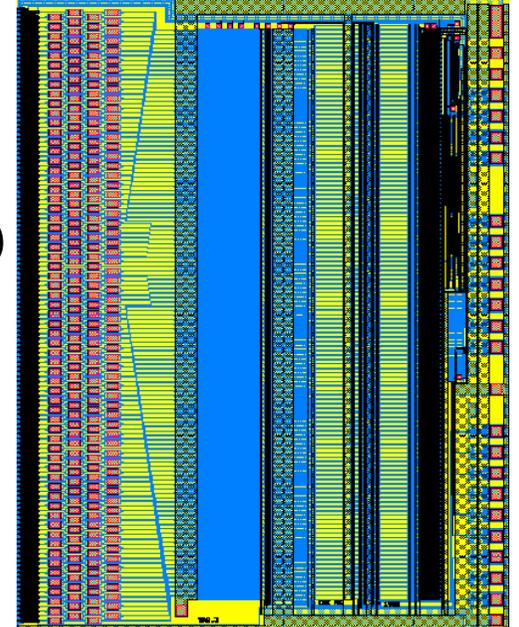


Composants : les modules

- Modules fabriqués au LPNHE (voir présentation de Catalin):
 - Il s'agit de 5 modules avec deux détecteurs HPK chacun .
 - Trois de ces modules ont un détecteur HPK normal et un détecteur dont la métallisation est retirée, afin de le rendre transparent à l'infra-rouge (HPK pour l'alignement).
 - Un laser infra rouge est utiliser pour illuminer ces détecteurs spécialement traités et vérifier ainsi l'alignement.
- Il s'agit d'étudier les performances du système d'alignement sur un ensemble de 3 détecteurs et comparer avec les études en simulation faites par nos collègues de l'ICFA en charge de cette partie dans SiLC-EUDET.
- Ce système d'alignement va être maintenant testé au LPNHE avec source laser avant de retourner en faisceau test pour compléter l'étude.

Composants : l'électronique de lecture

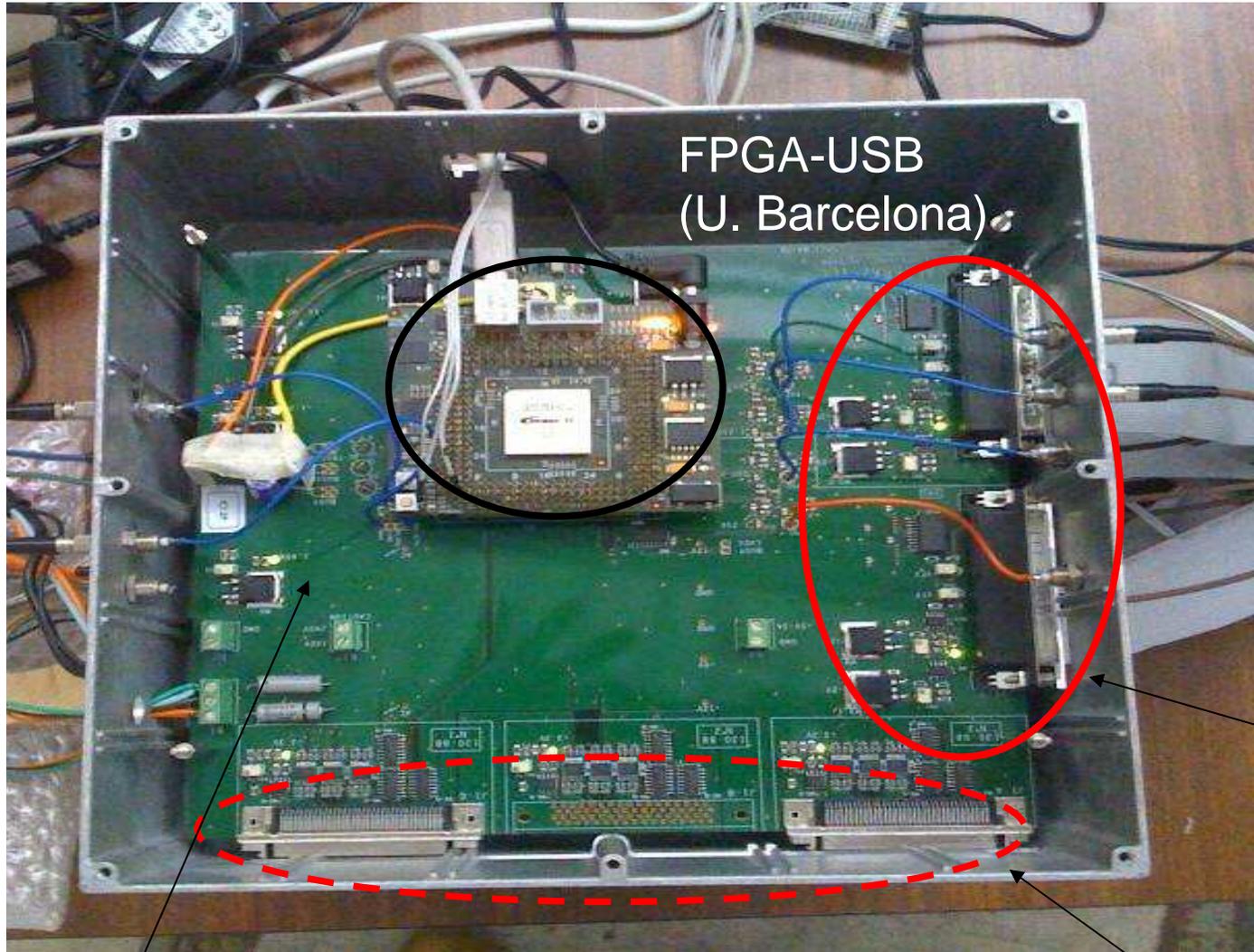
- Dans un premier temps, nous utilisons les VA1', produit commercial éprouvé de IDEAS
 - 128 canaux lus par chip
 - Lecture série analogique (pas de numérisation)
 - 6,12 mm x 4,04 mm, épaisseur 600 μm
 - $165 + 6,1/\text{pF e}^-$ rms de bruit (théorique)
- Sur une carte frontale regroupant 4 VA1/module
 - Lecture de 512 canaux sur 1792
(correspondant à une bande de 25,5mm)
- Une nouvelle carte frontale est préparée pour les tests avec les nouveaux ASICs SiTR_130-88 une fois qu'ils auront été validés. Elle inclut 4 SiTR_130-88.



Composants : numérique

- Nous avons conçu au laboratoire une carte contenant le séquenceur, les CAN et la logique ancillaire.
- Le nouveau circuit FPGA programmable a été conçu par nos collègues de Barcelone. La carte FPGA a été fabriquée au Laboratoire (voir suite)
 - L'acquisition de données se fait par l'intermédiaire de liens USB
- Un PC esclave collationne les données et les envoie par Ethernet à un PC d'acquisition dans la salle de contrôle.

La carte FPGA-USB pilotant deux entrées de carte VA1' et trois cartes SiTR 130-88



FPGA-USB
(U. Barcelona)

2 entrées de
Cartes VA1
+ ADC 14 bits

3 entrées de carte
SiTR_130-88

carte FPGA permettant de traiter : 2 modules VA1
modules (1024 ch) et 3 modules SiTR_130-88 (1056 ch)

Jacques David
LPNHE Paris

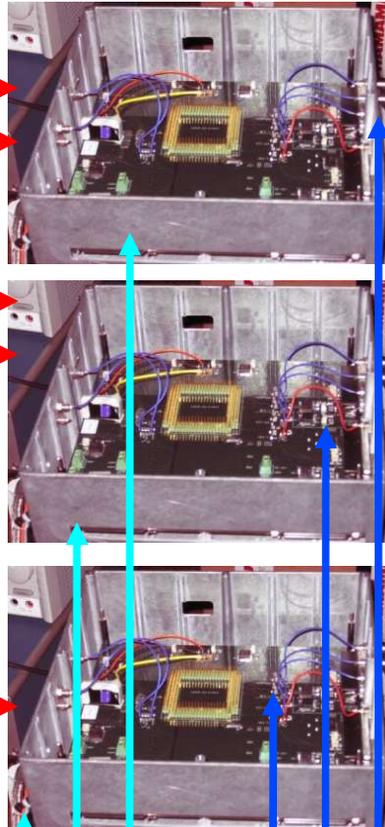
Socle Annecy 8 décembre 2008

Altera
boxes

Experimental Area



SiLC
Modules



Slave
PC

USB

Ethernet



Salle de contrôle

Trigger
PMs



USB

Altera
Control





Ensuite : 130 nm

- Le test suivant sera pour la puce réalisée au laboratoire (cf la présentation de Thanh Hung Pham)
 - 3 senseurs HPK équipés de 4 puces SiTR_130-88, pour traiter 88 voies (bande sensible de 17,6mm)
 - Encadrées par 2 senseurs HPK équipés de VA1 afin de servir de télescope

La carte frontale SiTR-130-88 est en preparation



Conclusions

- Un système entièrement nouveau a été développé et construit en 2008, pour fournir un système de prototype de trajectomètre Silicium entièrement autonome qui a convergé en Novembre 2008 avec la mise en place de l'ensemble au CERN.
- Il a impliqué un travail considérable de la part de SiLC et notamment du groupe ILC-LPNHE : électroniciens, mécaniciens et physiciens.
- Il nécessite le développement d'un laboratoire Silicium au LPNHE en cours.
- Il va servir pour des tests en faisceau ces prochaines années dont en 2009
 - Tests LCTPC, en remplacement des APV25
 - Tests du système d'alignement proposé par l'IFCA
 - Tests des nouveaux ASICs SiTR_130-88
 - Tests au CERN et éventuellement à FNAL (en discussion avec nos collègues US).