

DE LA RECHERCHE À L'INDUSTRIE



L'ÉLECTRONIQUE DE LECTURE DE MINOS ET AUTRES DÉVELOPPEMENTS RÉCENTS

D. Calvet,
CEA / DSM / IRFU / SEDI / STREAM

denis.calvet@cea.fr

SUBATECH, Nantes, 10 Septembre 2015

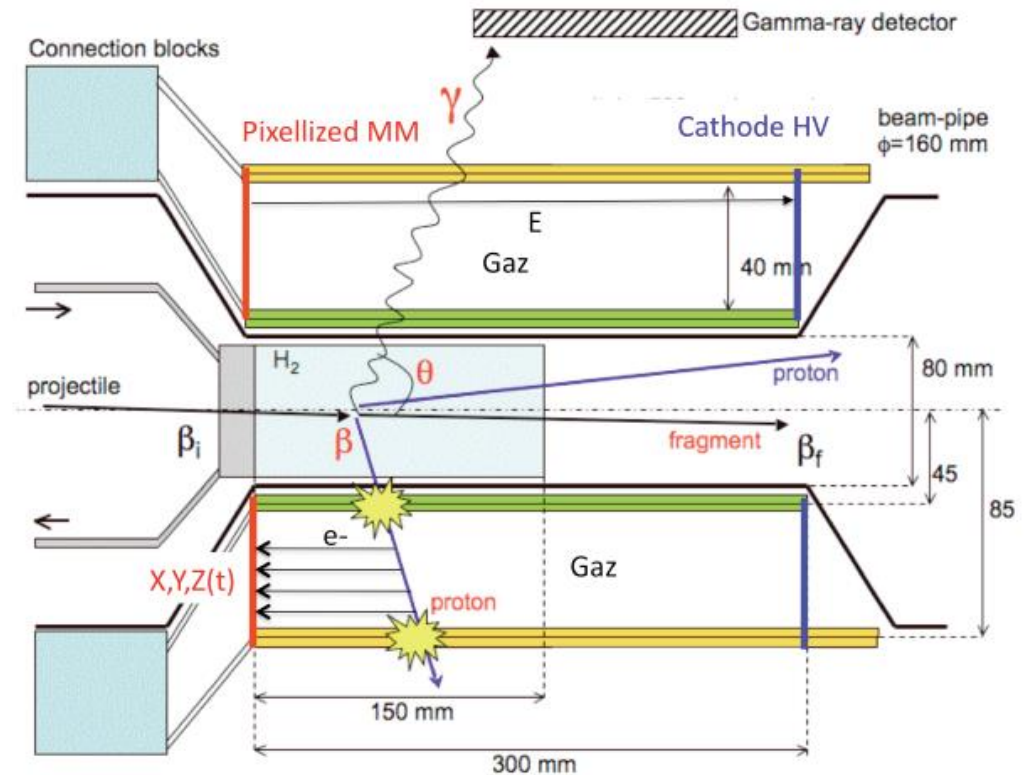
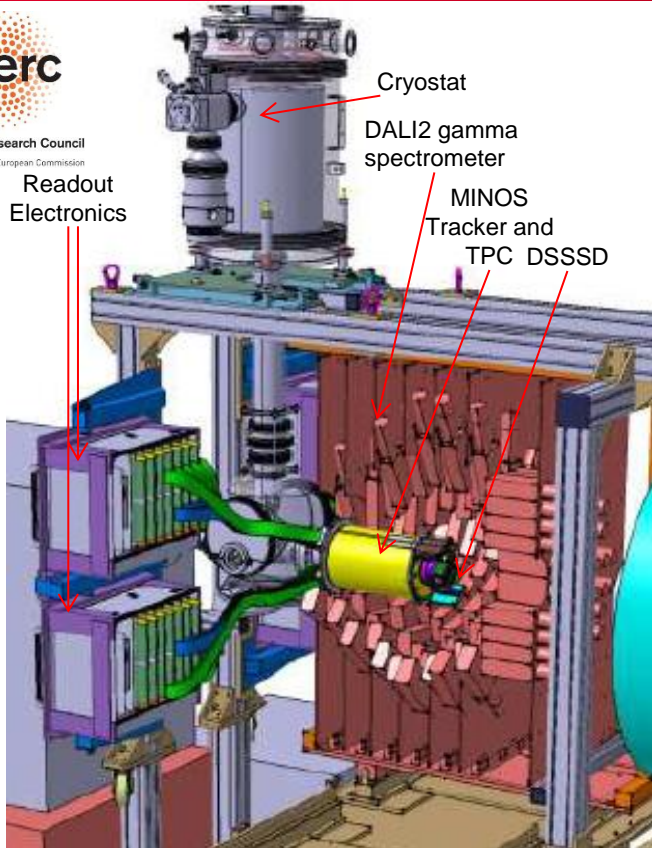
www.cea.fr





European Research Council
Established by the European Commission

Readout
Electronics



- Project proposé par Alexandre Obertelli (IRFU/SphN) financé par bourse ERC sur 2011-2015
- TPC 4K canaux à amplification Micromegas + DSSSDs optionnels et tracker Micromegas cylindrique
- Taux d'acquisition requis: ~1 kHz; Trigger externe
- Très peu de place à proximité du détecteur: nécessite de déporter l'électronique à ~80 cm
- Pas de contraintes de radiations ni de champ magnétique: conception simplifiée

Génération d'ASIC développés au SEDI

AFTER
Asic For Tpc
Electronic Readout

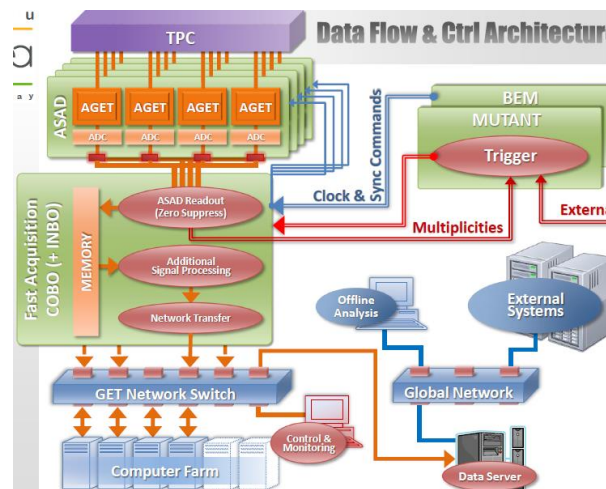
AGET
Asic for General Electronics
for Tpc

DREAM
Dead timeless REadout
Asic for Micromegas

2006

2009

2013



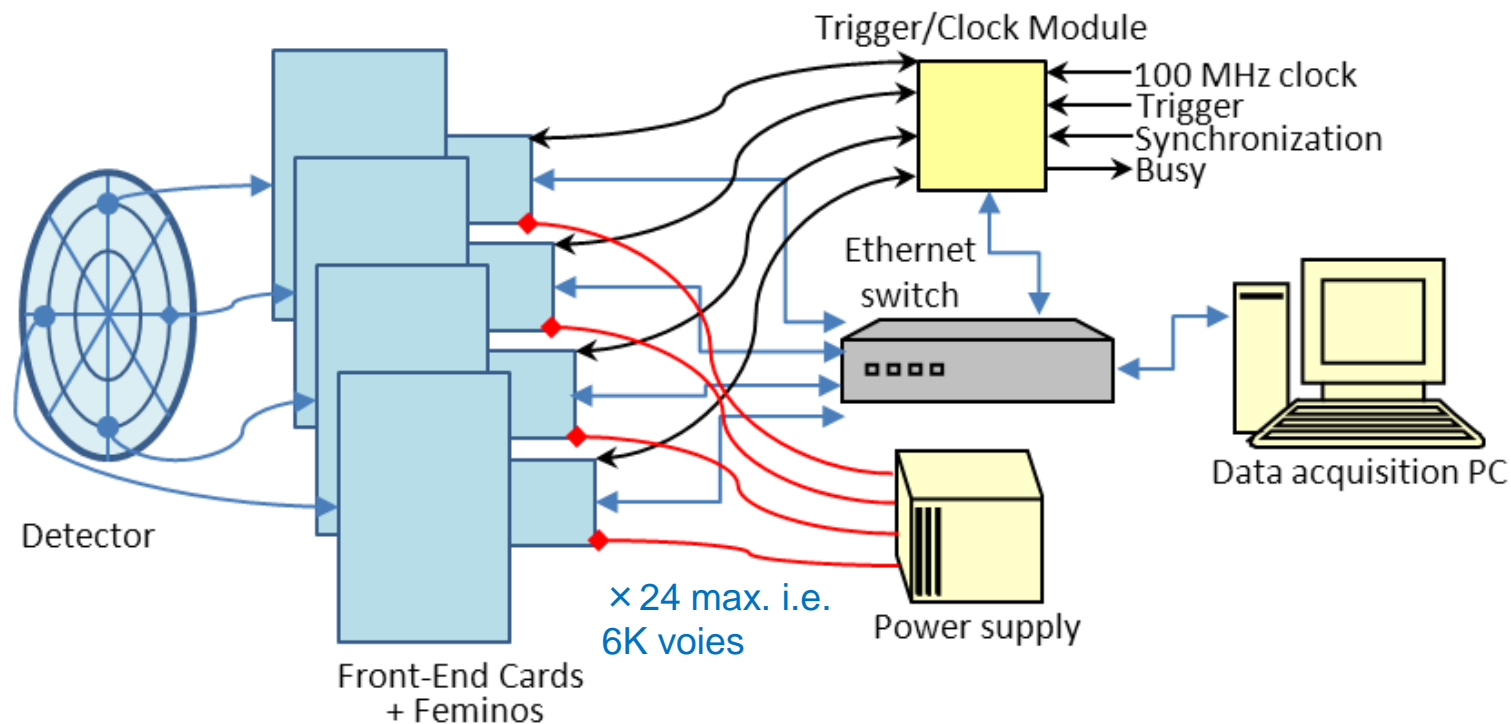
CLAS12



- Optimisé pour les TPC cible active
- Aujourd'hui disponible commercialement

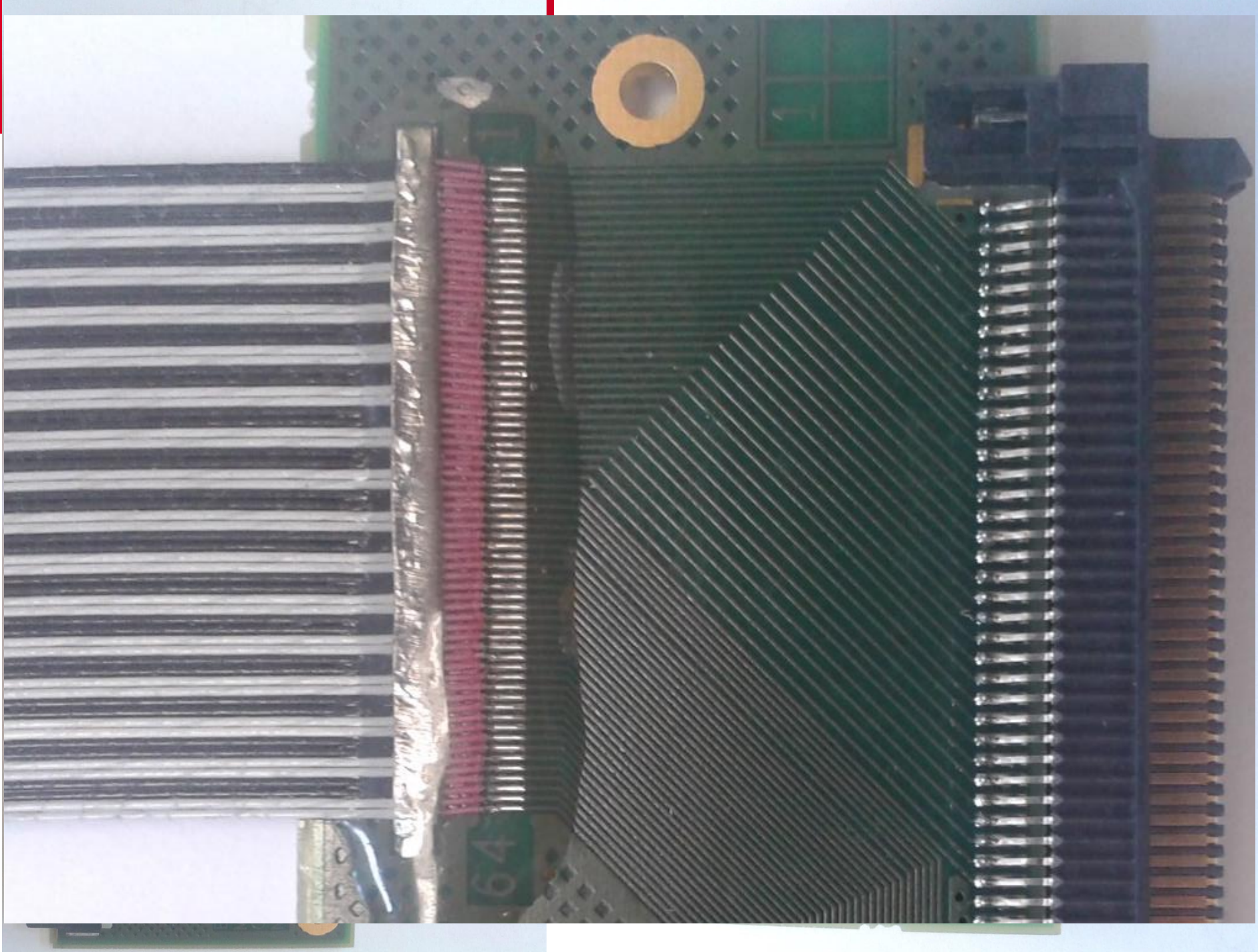
- Optimisé pour les trackers
- Expériences: Clas12, Asacusa, WatTo, MCube, etc.

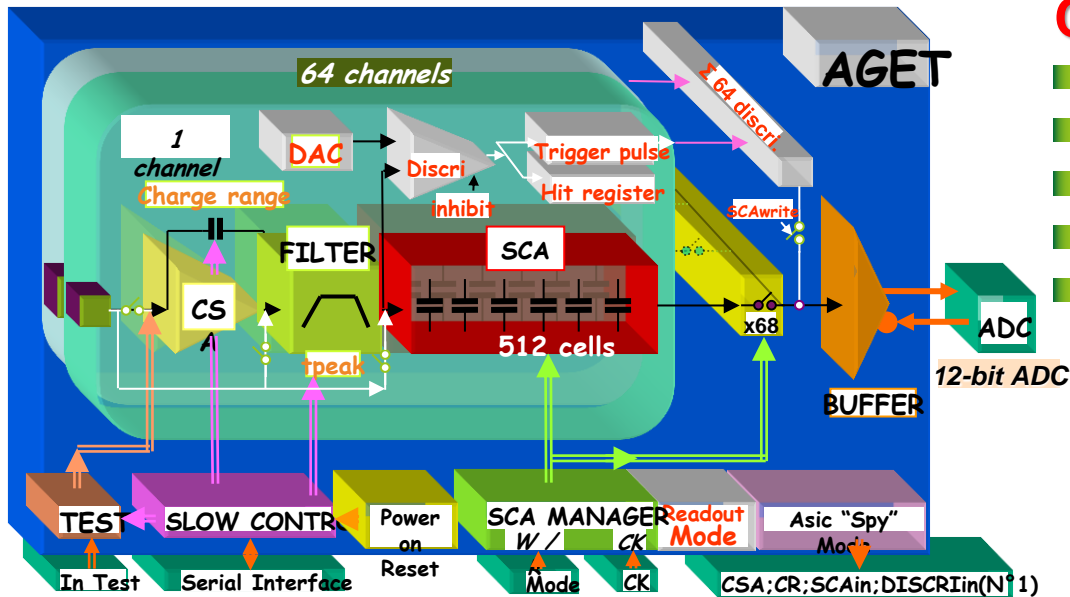
→ MINOS a démarré début 2011 avec un calendrier ambitieux (qualification de l'instrument complet en 2013) dans la période où l'électronique T2K devenait vieillissante sans que le développement du système GET soit suffisamment avancé. Un nouveau système, évolutif depuis AFTER vers AGET, a été conçu.



■ Caractéristiques principales

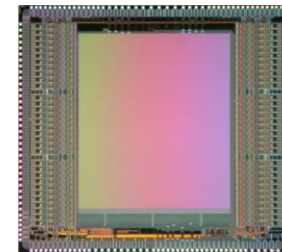
- Conçu pour les petits à moyens systèmes jusqu'à 6K voies
- Vise à atteindre le temps mort théorique minimal des chips AFTER et AGET
- Requier un trigger externe, mais auto-trigger simple possible avec AGET
- Nécessité d'avoir un cycle de développement court ainsi qu'un faible coût





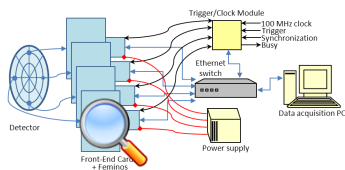
Caractéristiques

- Technologie: AMS CMOS 0,35 μm
- Surface: 8,5 x 7,6 mm²
- 700,000 transistors
- Boîtier: LQFP 160 (28 x 28 x 1,4 mm)
- Production (jusqu'à 2014): 3200 chips

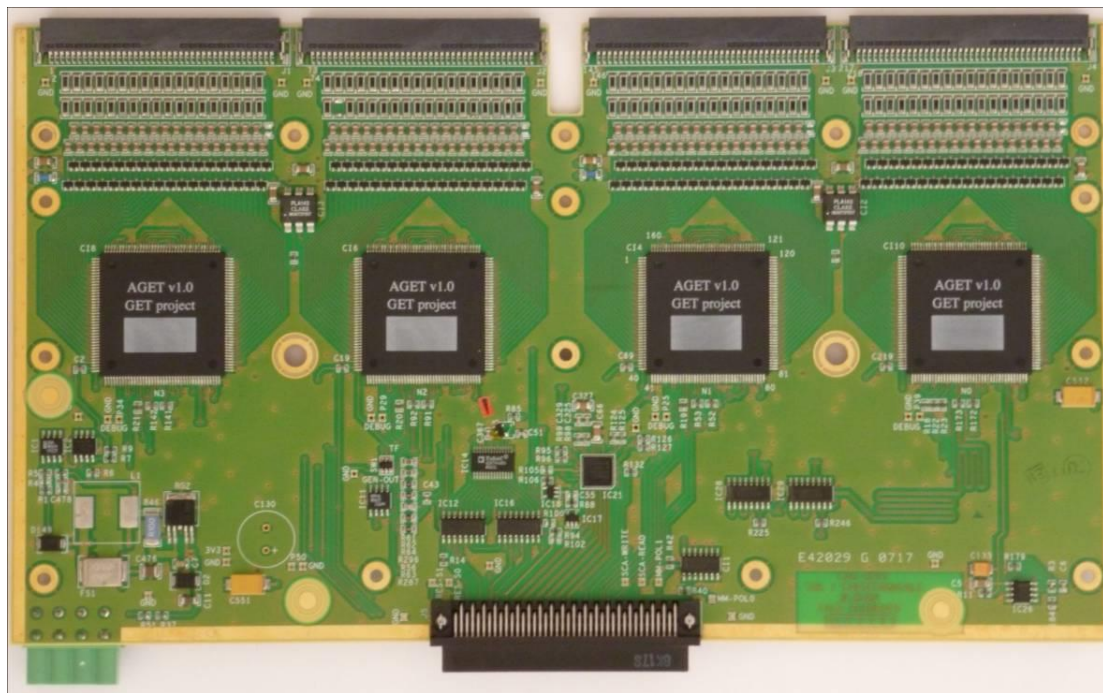


- **64 voies analogiques.** Pour chacune: CSA, filtre, SCA (512 cells), *Discriminateur*
- **Auto trigger :** discriminateur par canal + seuil commun grossier + seuil fin par canal
- **Signal de Multiplicité :** somme analogique des discri. = nombre de canaux touchés
- **Registre Hit Channel.** Accessible en lecture et écriture avant numérisation du SCA
- **Lecture du SCA:** tout, *canaux touchés, définis par l'utilisateur*
- 4 gammes de mesure: 120 fC; 240 fC; 1 pC; 10 pC (e.g. détecteurs Silicium)
- Polarité du signal d'entrée positive ou negative, *définie par registre de configuration*
- **Bypass possible du CSA:** permet d'utiliser un préampli/shaper externe

Source: P. Baron



4 Connecteurs ERNI 80 points - connexion au détecteur / limandes



**Carte frontale MINOS
4 AGET
256 canaux**

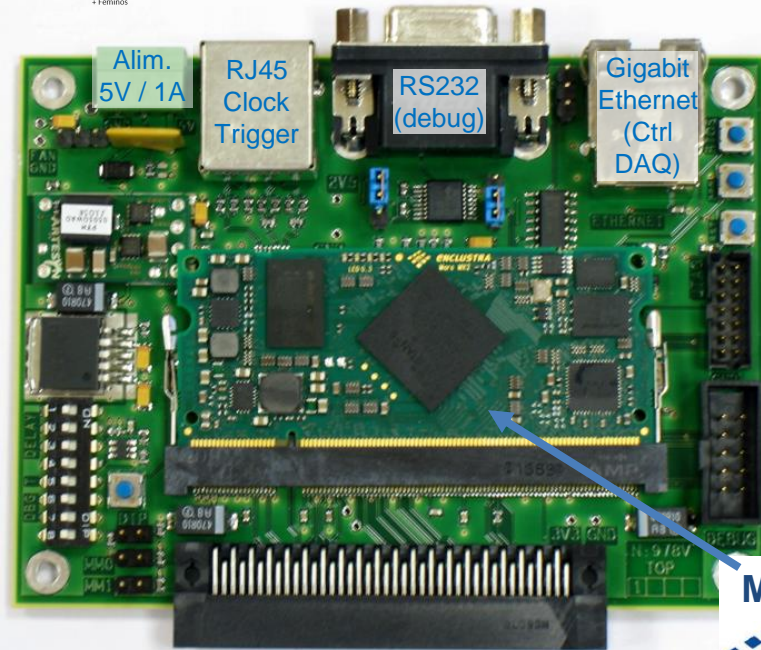
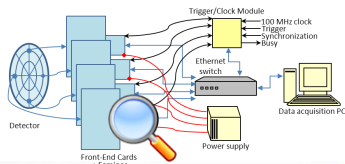
**Conception:
X. de la Broïse**

**Alim.
4-5V / 1A**

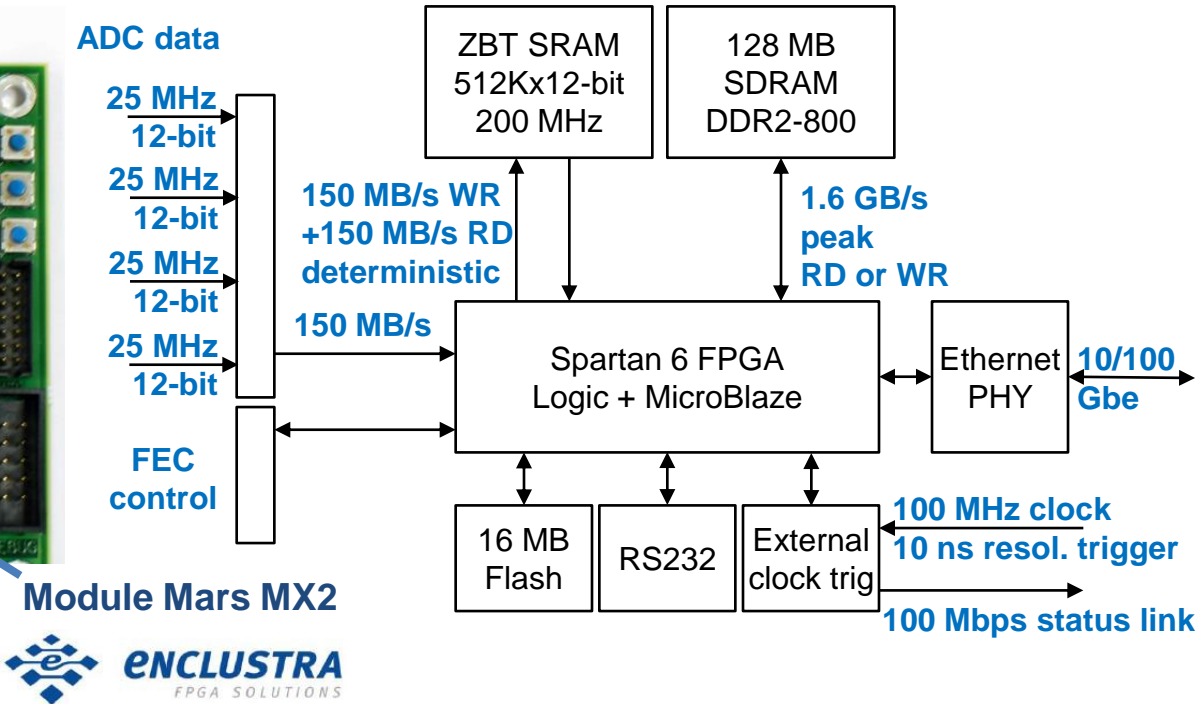
**Connecteur contrôleur numérique:
- Front End Mezzanine originale T2K
- « Feminos » développée pour MINOS**

■ Méthodologie

- Réutilisation à l'identique des cartes FEC-AFTER disponibles de T2K
- Production de FEC-AGET lorsque AGET – pin-compatible avec AFTER – est devenu disponible
- Conception d'une nouvelle carte numérique de pilotage « Feminos »



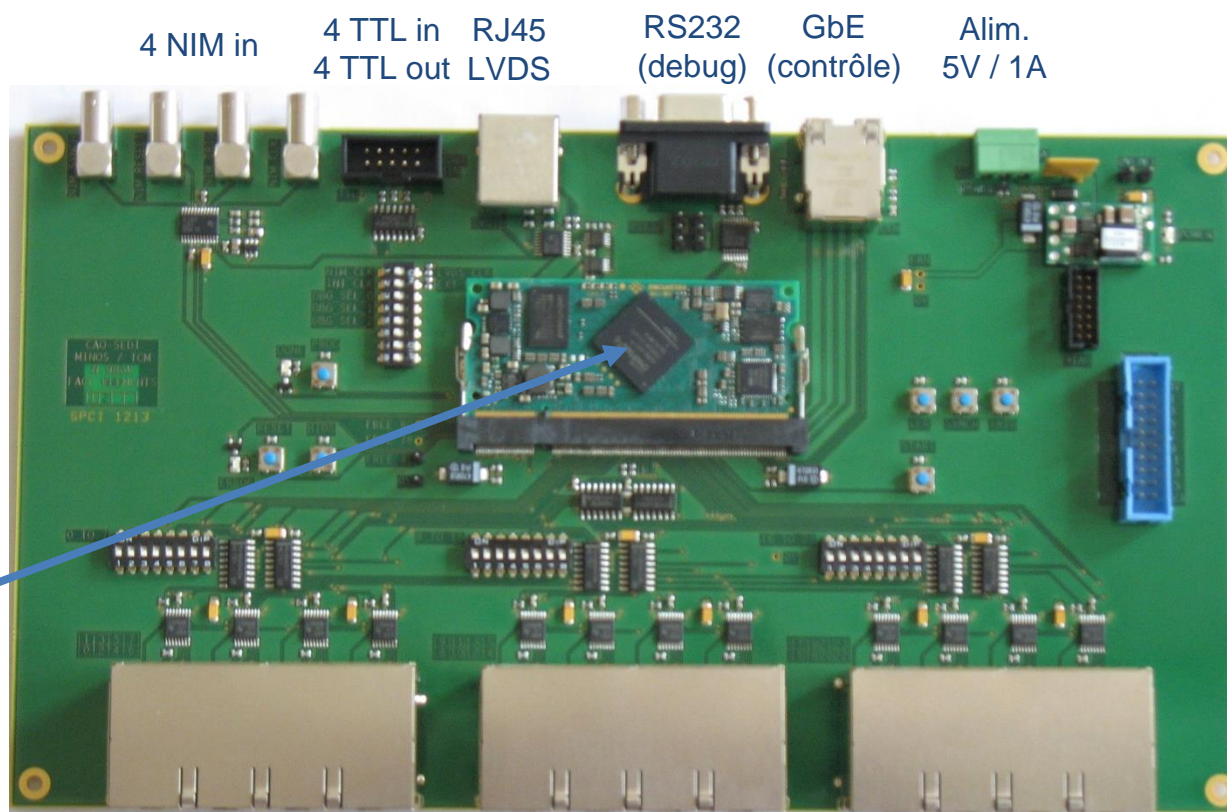
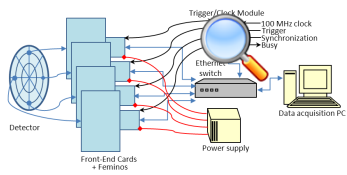
Connecteur AFTER/AGET FEC



Module Mars MX2
 ENCLUSTRA
 FPGA SOLUTIONS

■ Caractéristiques

- Carte porteuse peu complexe incorporant un module FPGA commercial à bas coût (<200 €)
- Firmware dédié dans le FPGA pour le pilotage de 4 chips AFTER ou AGET
- Interpréteur de commande codé en C tournant (sans OS) sur un processeur soft MicroBlaze réalisé dans le FPGA. Interface Gigabit Ethernet au PC de contrôle / acquisition



4 NIM in

4 TTL in RJ45
4 TTL out LVDS

RS232 (debug)

GbE (contrôle)

Alim. 5V / 1A

Module
Spartan 6
Mars MX2

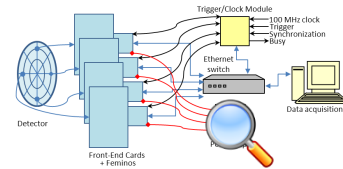
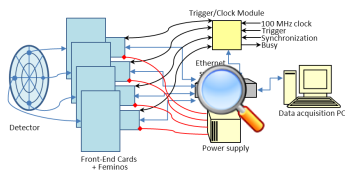
16 LVTTTL I/O's
(debug /
extension)



24 ports RJ45 LVDS – horloge 100 MHz, trigger, contrôle status Feminos

■ Concept

- * Carte TCM basée sur le même module que la Feminos. Firmware dédié + code MicroBlaze
- * Distribution de la synchronisation aux Feminos par un réseau en étoile depuis la source centrale
- * Câbles RJ45 cat 6 type Ethernet (bon marché, se trouve partout) avec encodage dédié en LVDS

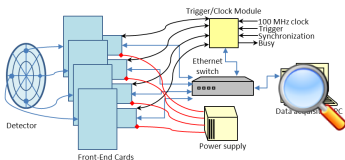


Réseau de contrôle et acquisition de données

- Commutateur 24/48 ports Gigabit Ethernet DELL
- Industriel, robuste et performant
- Attention aux performances médiocres des produits bas de gamme (peu de buffer interne)

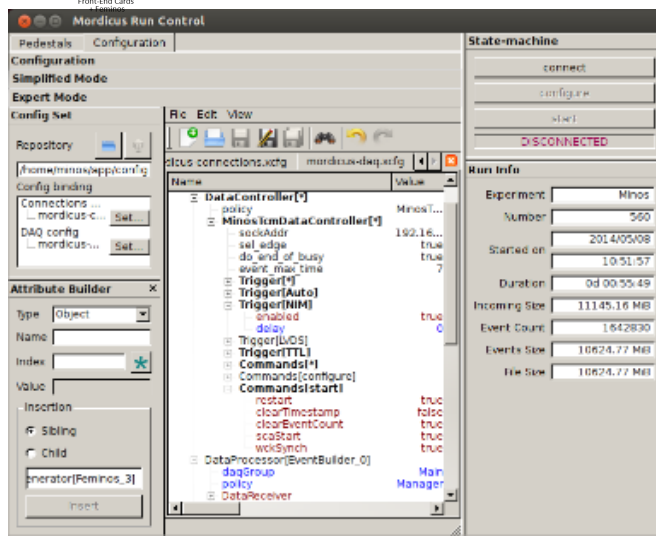
Alimentation et Châssis

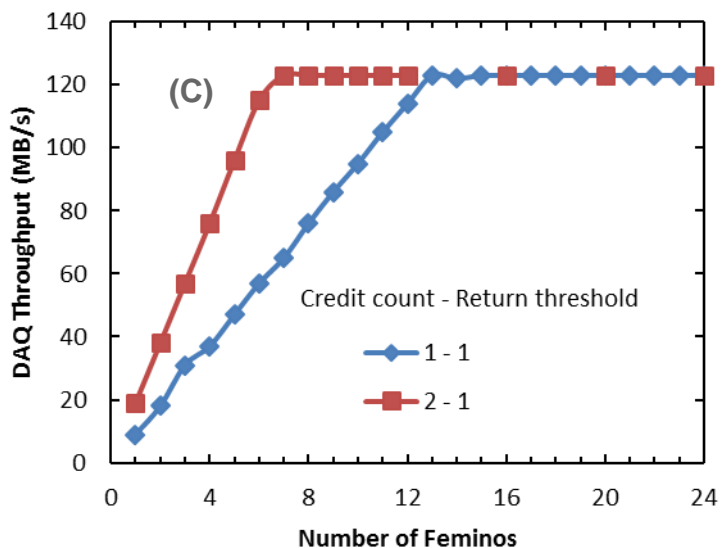
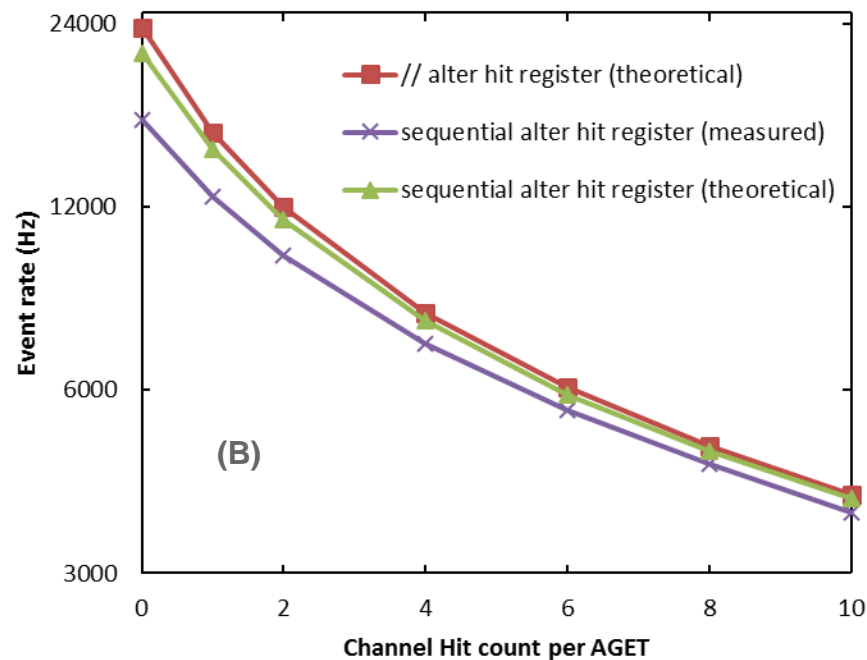
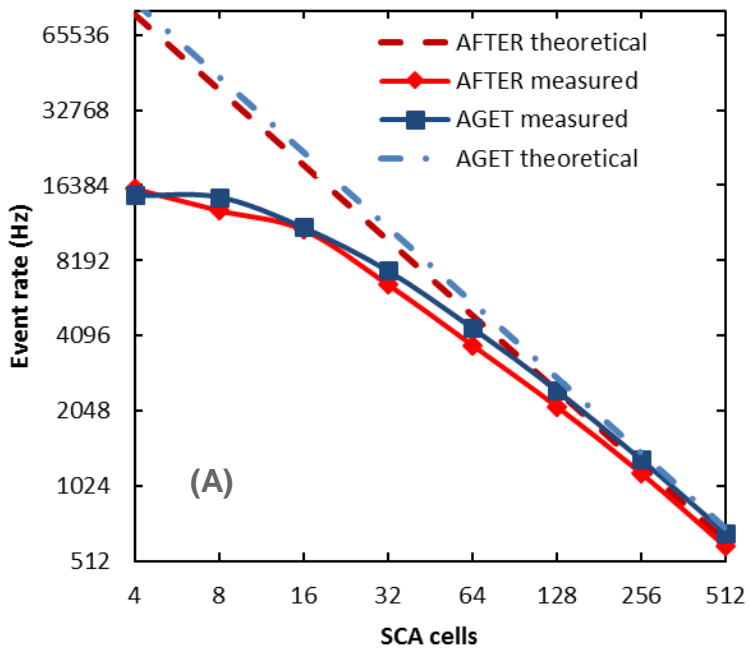
- Alimentation PC ATX montée sur une plaque
- Attention aux modèles trop bons marchés générant de forts parasites dus au découpage
- Châssis spécifique basé sur éléments standards



Acquisition de données et logiciel

- PC standard sous Linux
- Logiciel d'acquisition de données basée sur le framework « Mordicus » développé à l'IRFU, également utilisé dans GET. Conception OO C++ à base d'objet distribués communicants par le middleware ICE
- Interface graphique de pilotage basée sur Qt
- Contrôle direct du système par cette interface, ou pilotage par un DAQ maître (e.g. système DAQ de RIKEN)





(A) Taux d'acquisition d'une FEC-Feminos en lecture complète des événements sans suppression de zéros

(B) Taux d'acquisition d'une FEC-AGET et Feminos en ne lisant que les canaux touchés

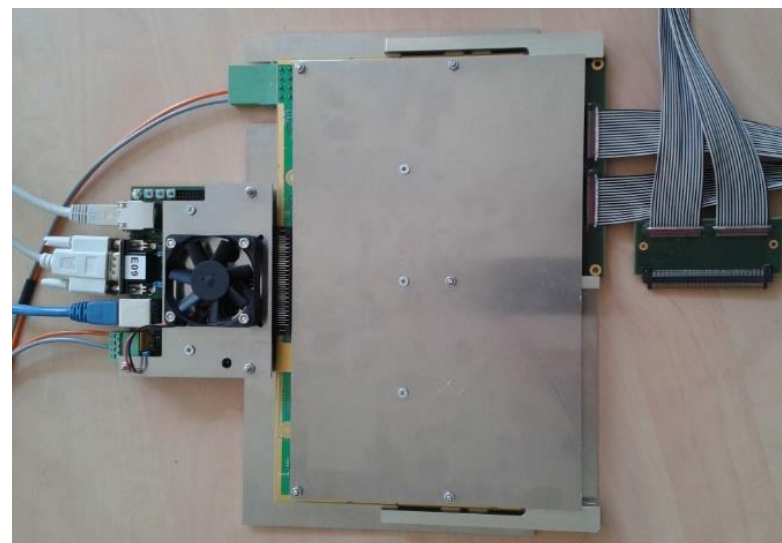
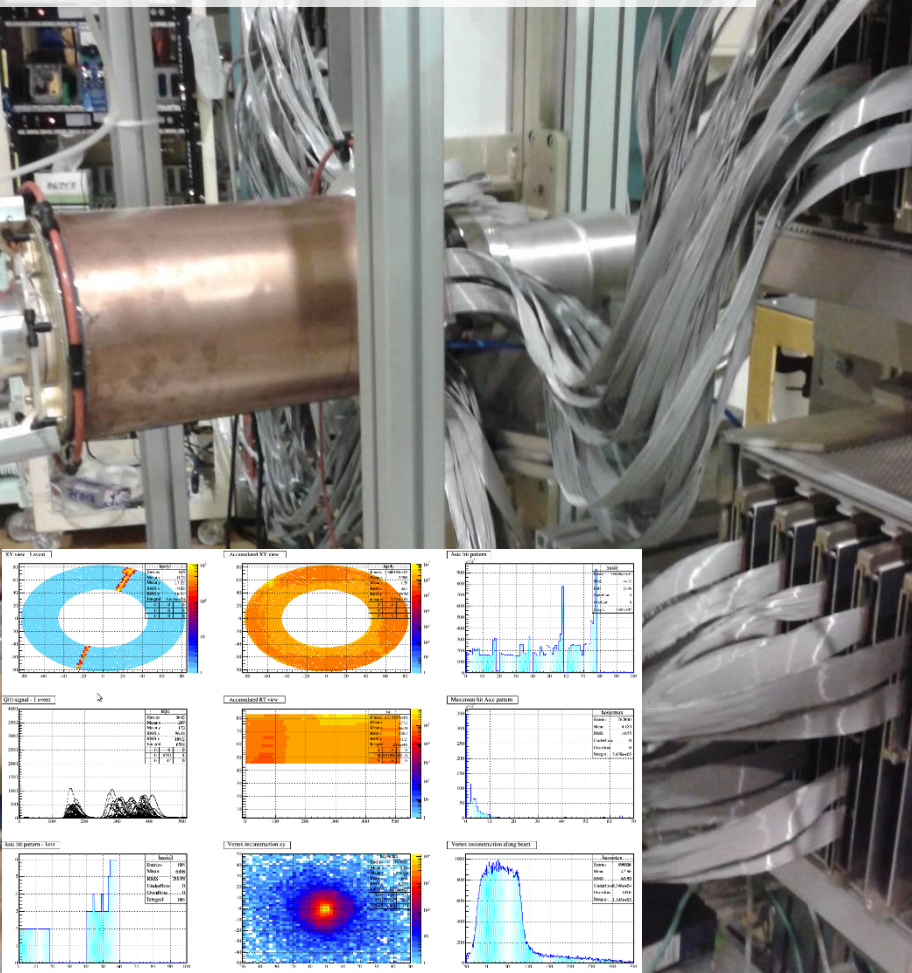
(C) Débit maximum soutenu du système d'acquisition en fonction du nombre de Feminos

HIMAC, Japon, Oct. 2013

5760 canaux de lecture (AFTER)



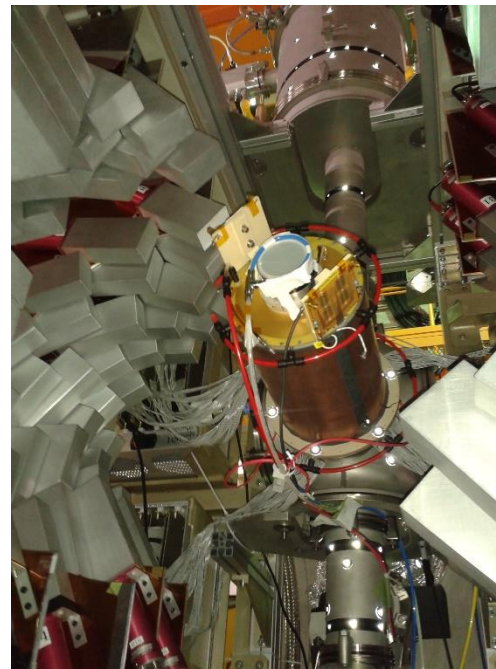
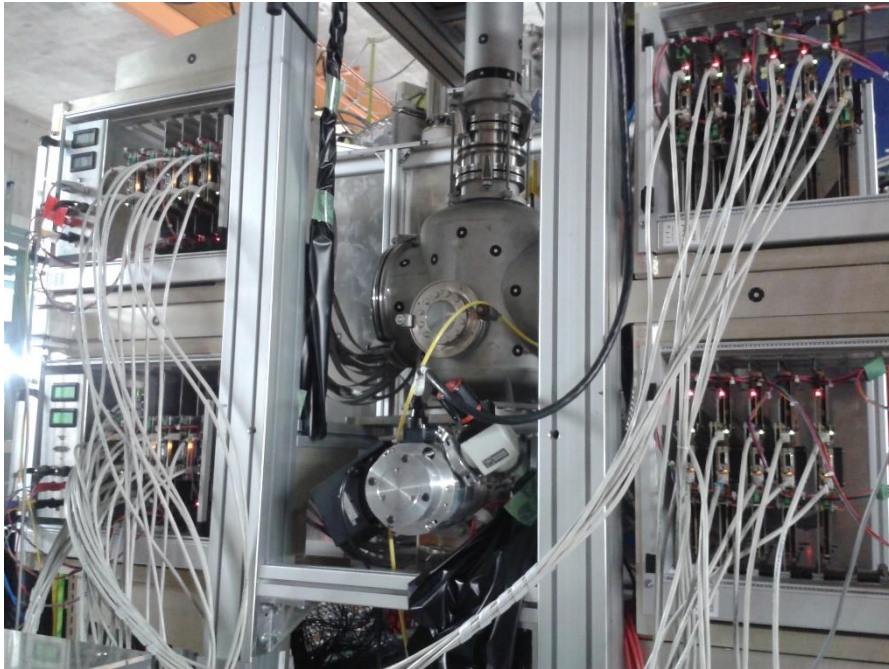
Qualification en faisceau de la TPC de MINOS



AGET-FEC 256-canaux et Feminos avec blindage et limande en micro-coaxiaux 128-canaux

■ Résultats de la campagne

- Validation de l'instrument et de son système de lecture
- Seul problème durant la prise de données: étincelles sporadique sur cathode (6 kV) causant la perte de la configuration du FPGA de certaine cartes! Retour à la normale après coupure et remise de l'alimentation



■ Campagnes expérimentales utilisant MINOS

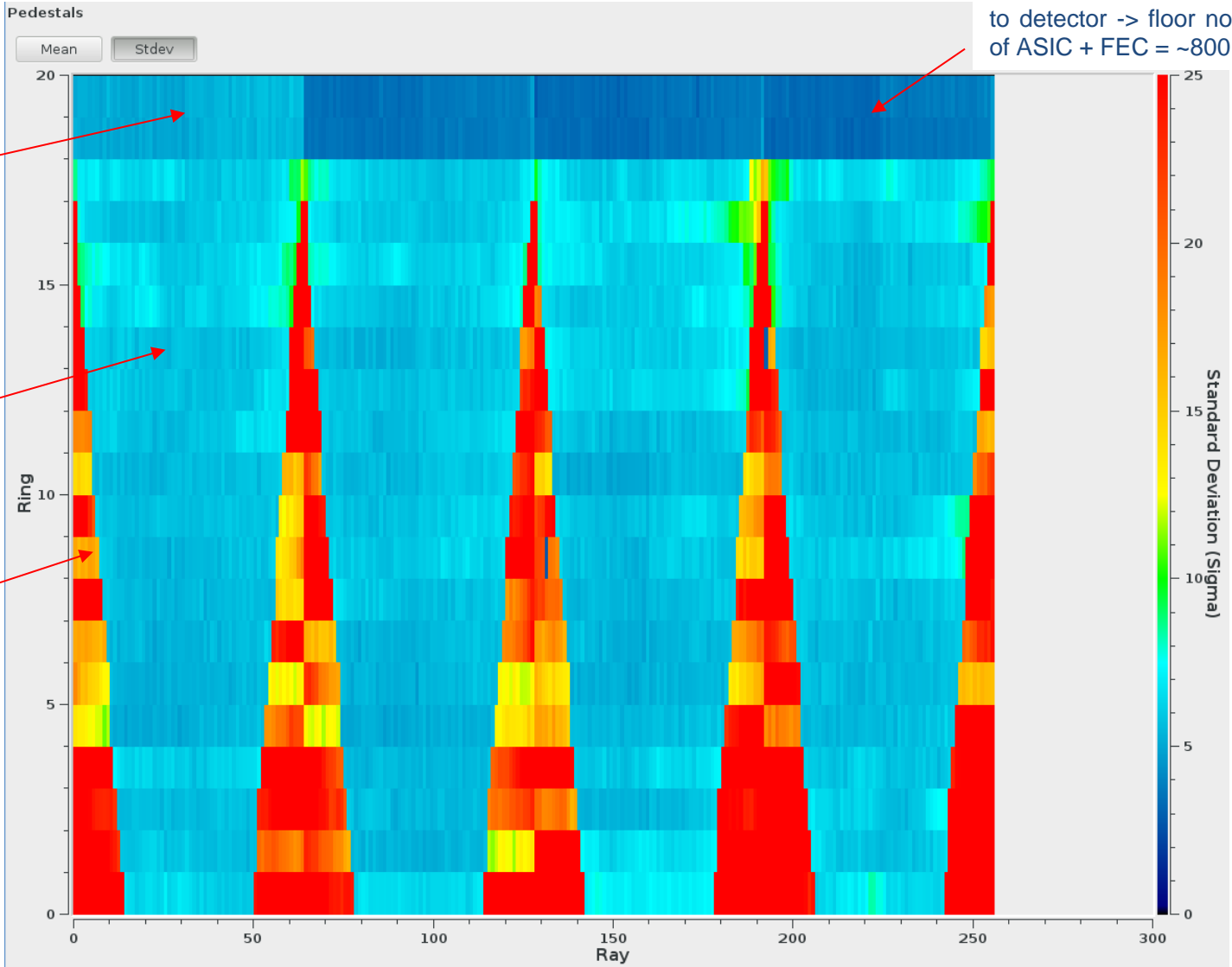
- ✱ Mai 2014, RIKEN: Seastar 1/3 – 66Cr , $70,72\text{Fe}$, 78Ni : TPC + 1 Silicium (21 AGET-FEC + Feminos)
- ✱ Automne 2014, RIKEN: Nature of di-neutron correlations in borromean nuclei. TPC (20 AGET-FEC et Feminos)
- ✱ Mai 2015: Seastar 2/3 - spectroscopy of 110Zr along r-process: TPC (20 AGET FEC et Feminos)
- ✱ Novembre 2015: role of 3-body forces: 28O invariant mass: prévoit TPC (20 AGET FEC et Feminos)
- ✱ 2016: proposition Seastar 3/3. Extension du programme MINOS demandée pour 4 ans (8 expériences)

CARTE DE BRUIT TYPIQUE DE LA TPC DE MINOS EN CONDITIONS EXPÉRIMENTALES



MINOS fully installed in DALI2. Constant size pad geometry TPC connected to 20 AGET-FEC-Feminos (5120 channels) via 80 cm cables.
Sampling: 50 MHz, Charge-Shaping: 120 fC-300 ns (1 ADC unit = ~185 e⁻)

Channels not connected to detector -> floor noise of ASIC + FEC = ~800 e⁻

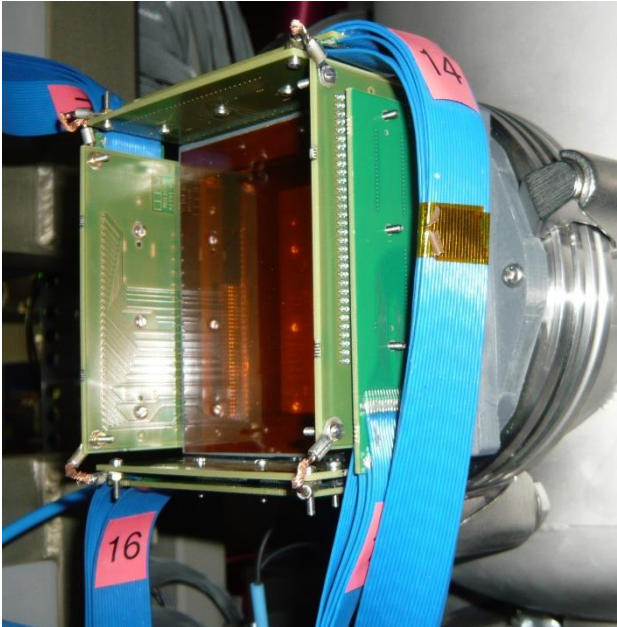


Channels connected to cable only -> floor noise of ASIC + FEC + cable = ~1200 e⁻

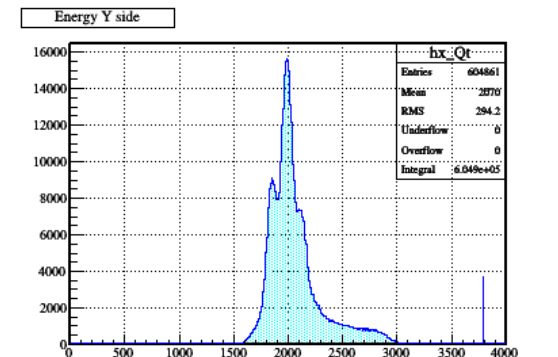
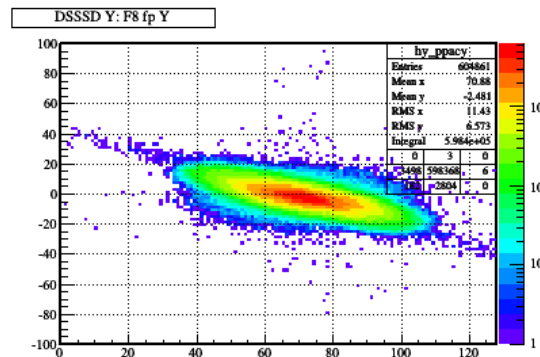
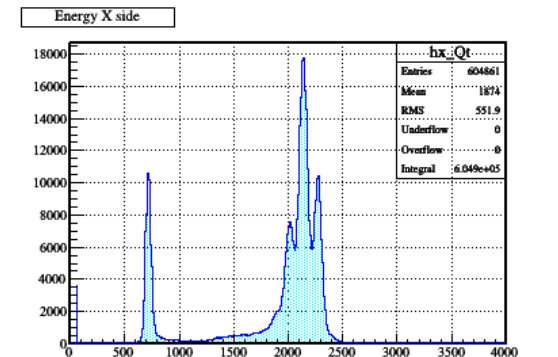
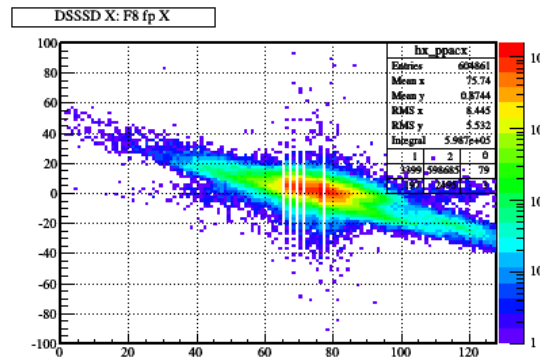
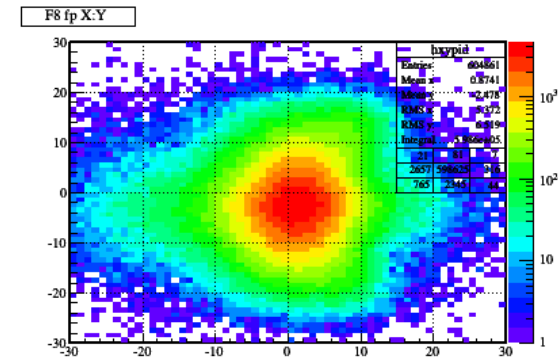
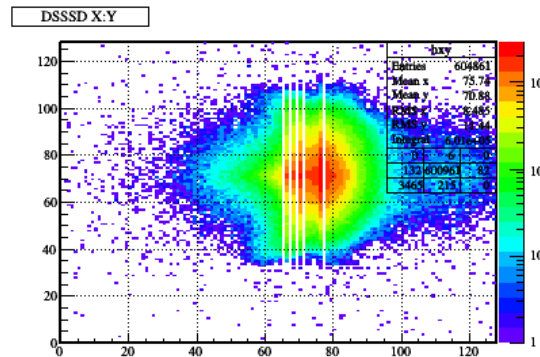
Channels connected to TPC -> floor noise of ASIC + FEC + cable + detector = ~1400 e⁻

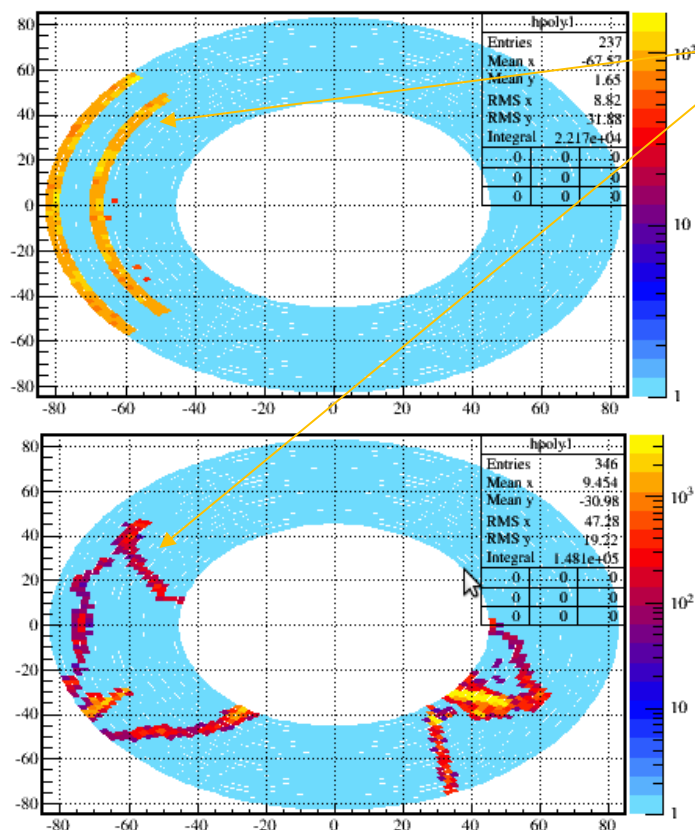
Channels grounded on constant pad size geometry - Masked for readout

LECTURE D'UN DÉTECTEUR SILICIUM STRIP DOUBLE FACE AVEC AGET ET FEMINOS



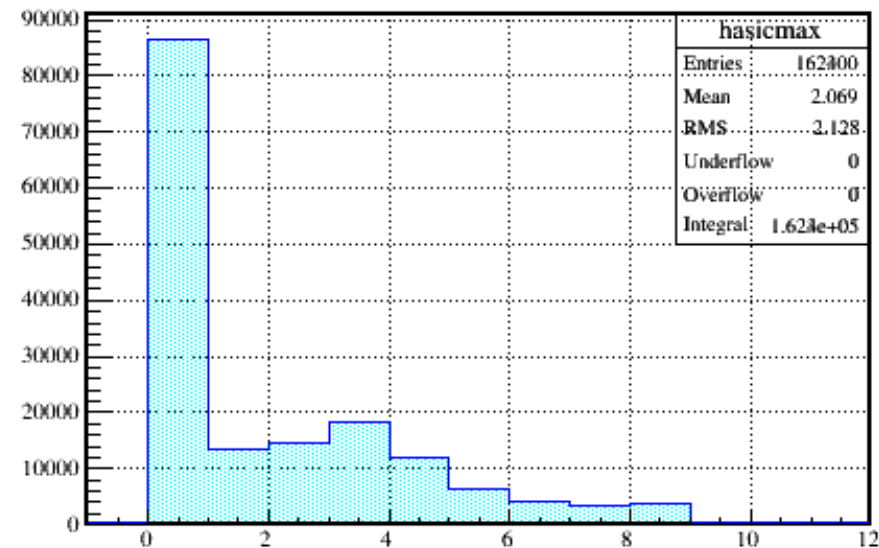
- 256 channel DSSSD read out by 1 AGET-FEC-Feminos
- 2 chips in positive polarity and 2 chips in negative polarity
- 10 pC range, 100 MHz sampling
- 1.5 m long Samtec coaxial readout cables
- A few strips lost because of bad contact between cable / adaptor board / detector
- But overall, it works OK





Événements avec un grand nombre de canaux touchés causés par des fluctuations illuminant 1 chip/1 carte ou des traces très nombreuses (sans valeur pour la physique)

Maximum hit Asic pattern



Application d'une limite sur le nombre maximum de canaux touchés par ASIC. Temps mort optimisé

Méthode de réduction du temps mort

1. Lors d'un trigger, lire le Hit Channel Register de chaque AGET et compter le nombre de canaux touchés par chip
2. Effacer le Hit Channel Register des chips dont le nombre de canaux touchés dépasse un seuil programmable
3. Numériser les canaux touchés des chips toujours activés

Ces opérations se font en parallèle dans toutes les Feminos simultanément en utilisant la logique du FPGA



Carte Front-End Unit (FEU) 512 voies - DREAM *Conception. I. Mandjavidze*

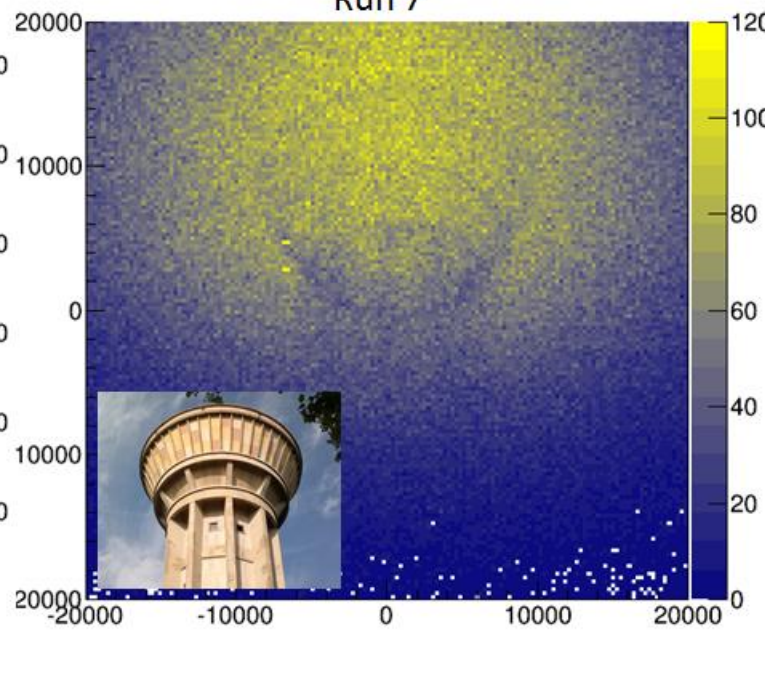
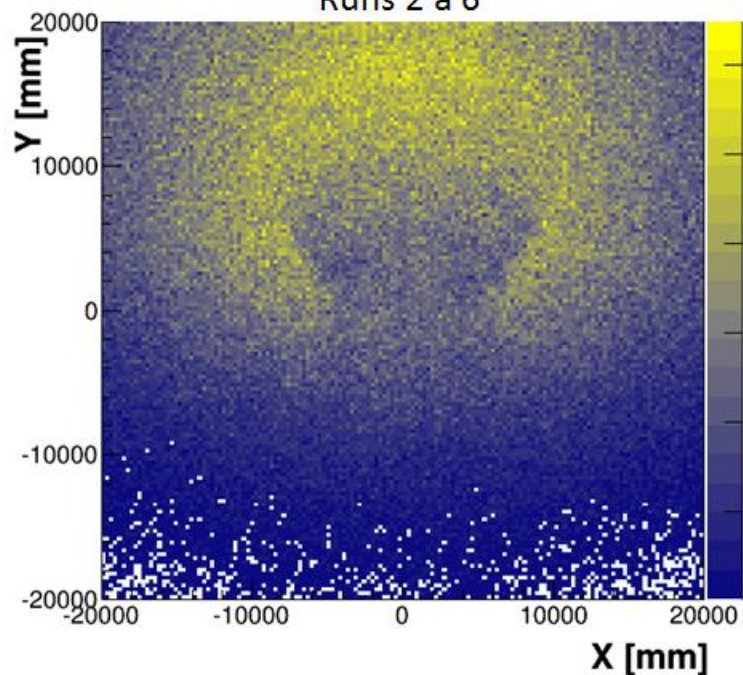


Runs 2 à 6



Run 7

- Télescope à 3 plans de détecteur Micromégas 50 x 50 cm multiplexés lus par 1 carte 512 voies (DREAM)
- Démo.: imager un château d'eau
- Applications futures: étude des volcans actifs, imagerie de grandes structure en archéologie, détection de matières dangereuses dans des containers, ...



Source:
S. Procureur

- La lecture de la TPC de MINOS repose sur
 - Limandes en rubans de câbles micro-coaxiaux Hitachi
 - Réutilise la conception des cartes frontales T2K et le chip AFTER, puis AGET
 - Introduit les cartes Feminos et TCM (distribution d'horloge)

- Exploitation de MINOS
 - Un faisceau test et trois expériences de physique réalisées à ce jour
 - Prochaine expérience prévue fin 2015. Bonnes perspectives pour 2016 et au delà

- Présent et futur du système Feminos
 - Une cinquantaine de FEC-AGET et Feminos déployées: 50% sur MINOS et le reste dans diverses expériences et projets de R&D
 - Pas de financement obtenu pour développer une version commerciale
 - Recherche d'autres opportunités d'évolution

- Circuit successeur de AGET: DREAM
 - Optimal pour la lecture de trackers (taux d'acquisition > 10 kHz)
 - Système de lecture basé sur DREAM développé à l'IRFU
 - Installation dans Clas12 en 2015 et 2016, mais déjà plusieurs autres applications de l'électronique DREAM sont en opération