



Electronique de lecture pour TRADERA

Laurent.gallin-martel@lpsc.in2p3.fr



PLAN

Le détecteur TRADERA pour la radiothérapie

Le circuit de lecture QDC pour TRADERA

Modélisation du circuit

Principales caractéristiques

Perspectives

Le détecteur TRADERA pour la radiothérapie

Groupe DAME : Développement et Application pour le Médical

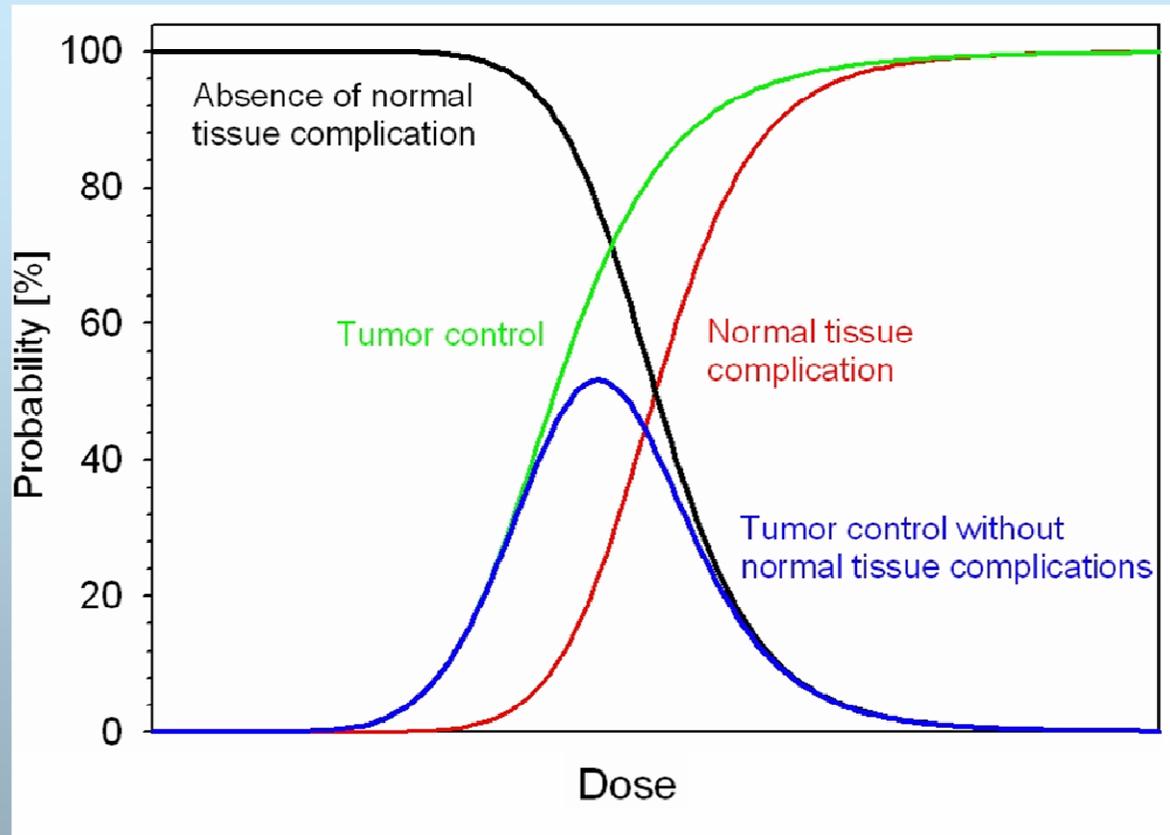


: Transparent Detector for Radiotherapy

- Détecteur 2D pour la mesure des caractéristiques du faisceau en amont du patient.
- Éviter les accidents de sur-irradiation (Epinal, Toulouse, ...)
- Nouvelles techniques de radiothérapie complexes (IMRT) => dosimétrie in vivo.
- Système portable et compact : zone active du détecteur, électronique frontale et acquisition de données sur un seul circuit imprimé.
- Nécessité d'une très grande dynamique : intégration d'une impulsion unique ou d'un grand nombre d'impulsions (pendant 50 ms et plus), prise en compte des caractéristiques des différents accélérateurs existants et futurs.

Relation dose vs impact biologique

Contrôle tumoral et absence de complication

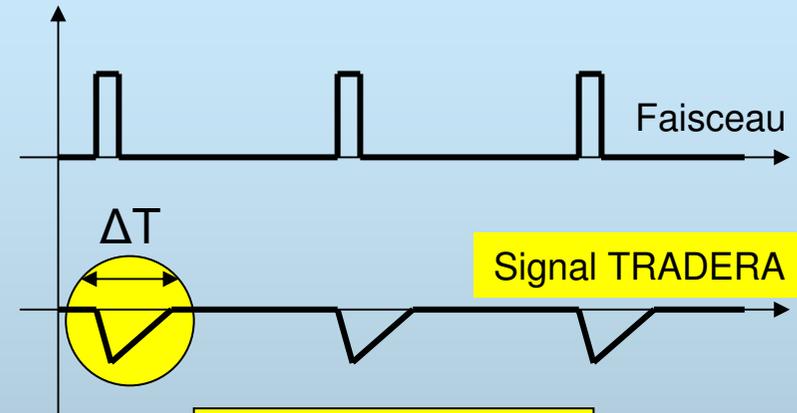


Collimateur multi-lame

Un sur dosage de 5% peut entraîner de graves complications et un sous dosage de même proportion augmente le risque de récurrence de la maladie.

Une erreur de position d'une lame de 1mm peut induire une erreur de dose de 10%.

L'accélérateur de radiothérapie



$$200 \text{ fC} < Q < \dots$$

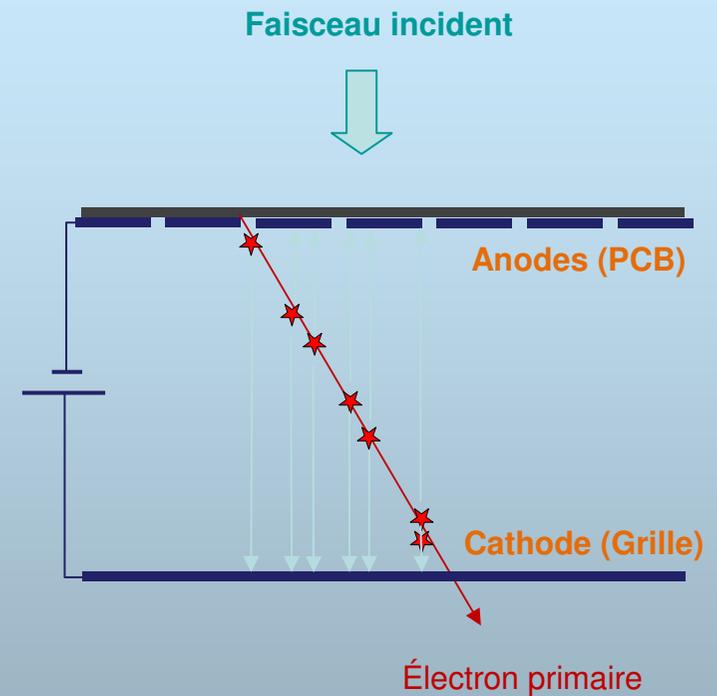
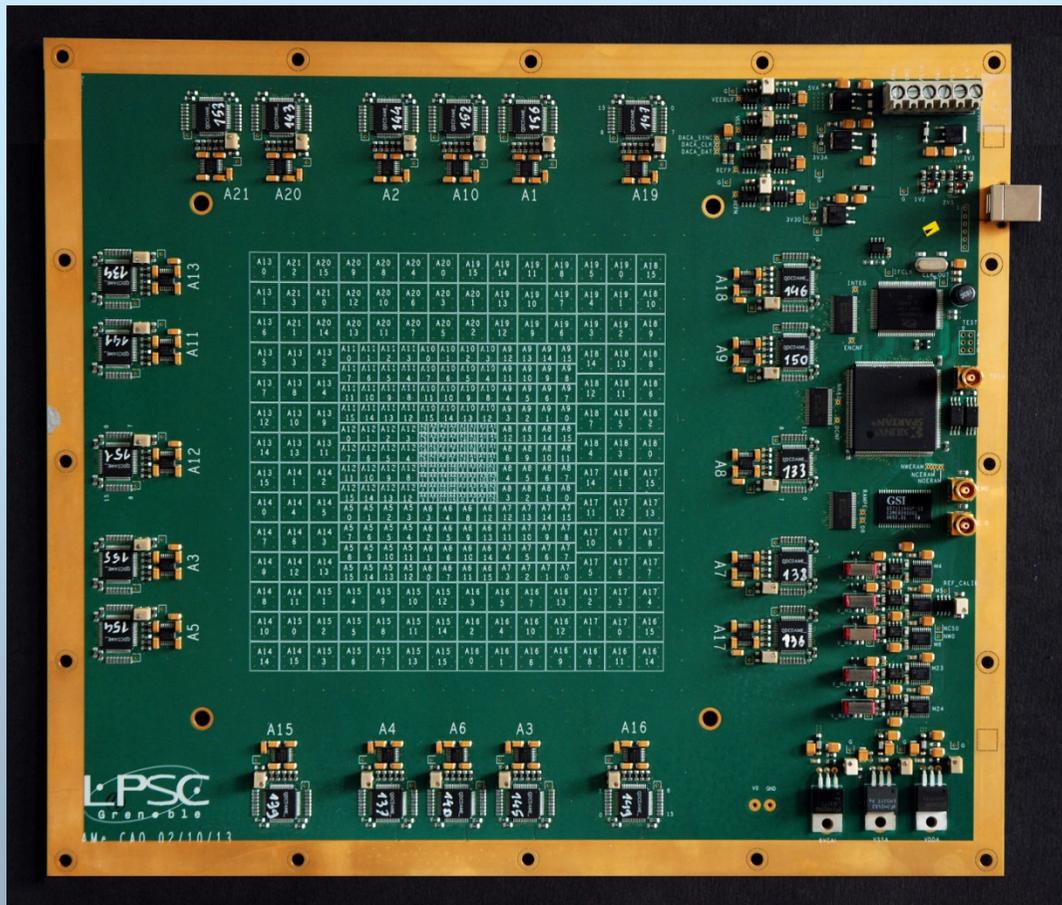
$$\Delta T \Rightarrow 100 \mu\text{s}$$

Accélérateur linéaire (de 4 à 25 MV) : électrons accélérés puis freinés dans une cible.

Production de rayonnement de freinage : photons dont l'énergie va jusqu'à 25 MeV qui servent à l'irradiation du patient.

Faisceau pulsé : durée 3 à 4 μs , puis attente de 2 à 60 ms.

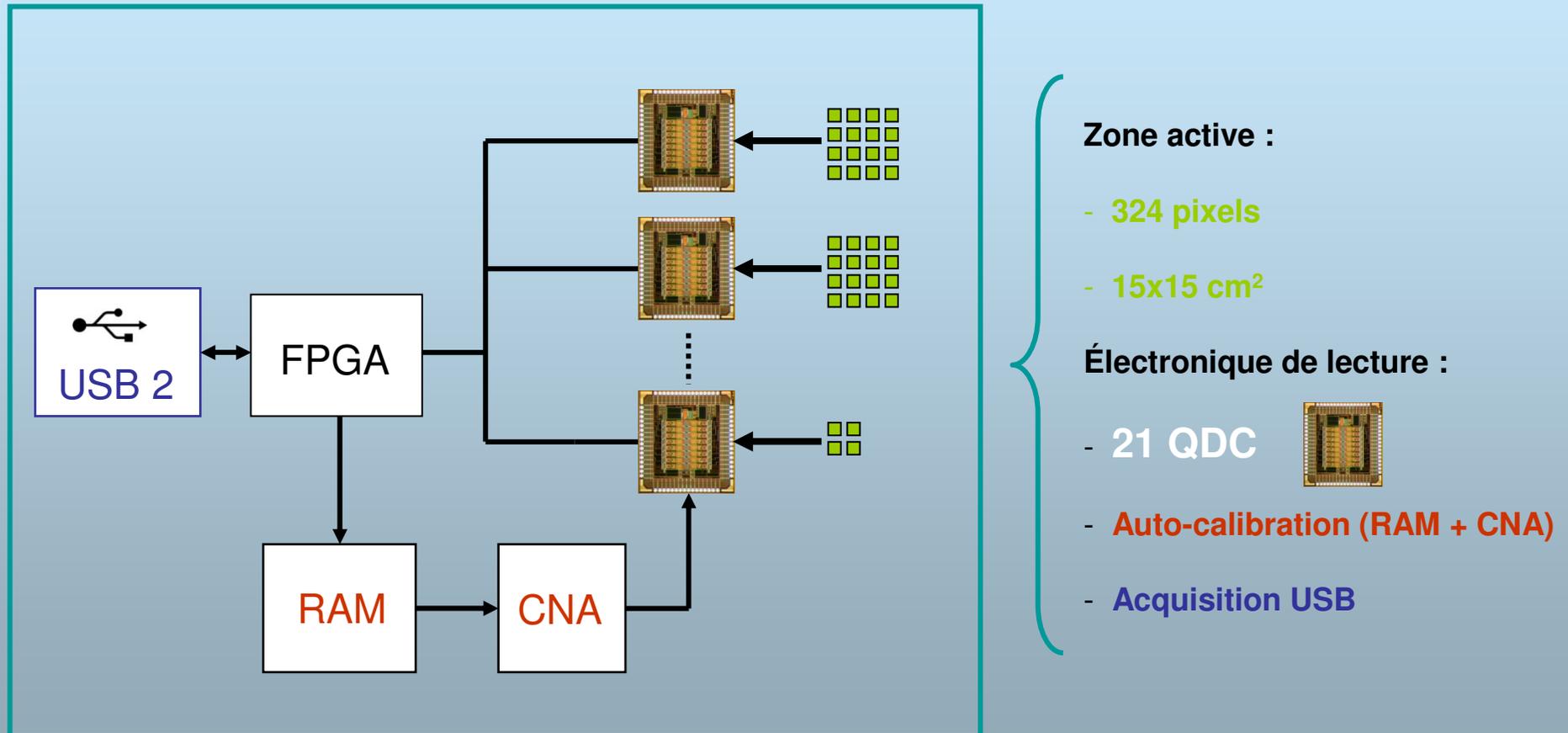
Détecteur TRADERA 324 pixels



- Circuit imprimé 6 couches de 32x28 cm²
- Epaisseur : 1.6 mm
- Electronique de lecture en périphérie de la zone active centrale (15x15cm²)
- Distance de dérive 500µm
- HT = 200V

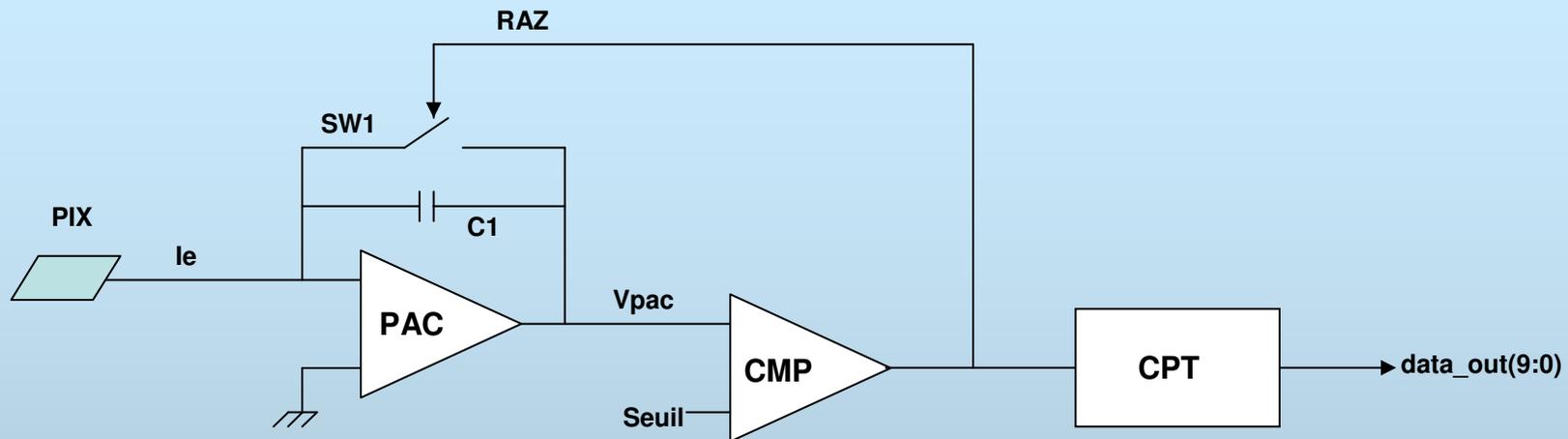
Détecteur TRADERA 324 pixels

Détecteur 324 pixels, électronique de lecture et acquisition sur le même circuit imprimé :



3 exemplaires sont actuellement testés par le CHU de Grenoble et le LPSC

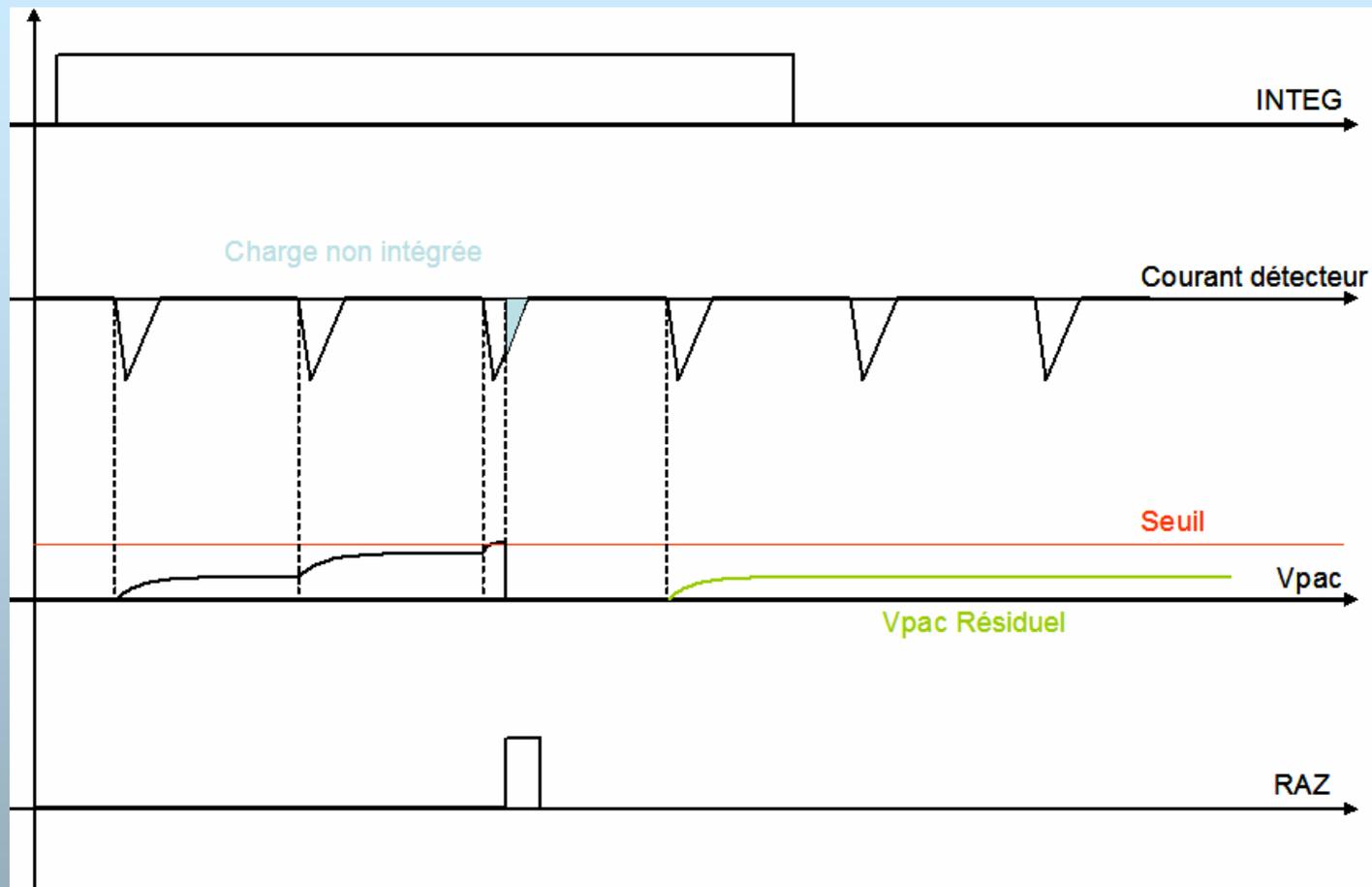
Mesure de charge de grande dynamique



Convertisseur Courant Fréquence

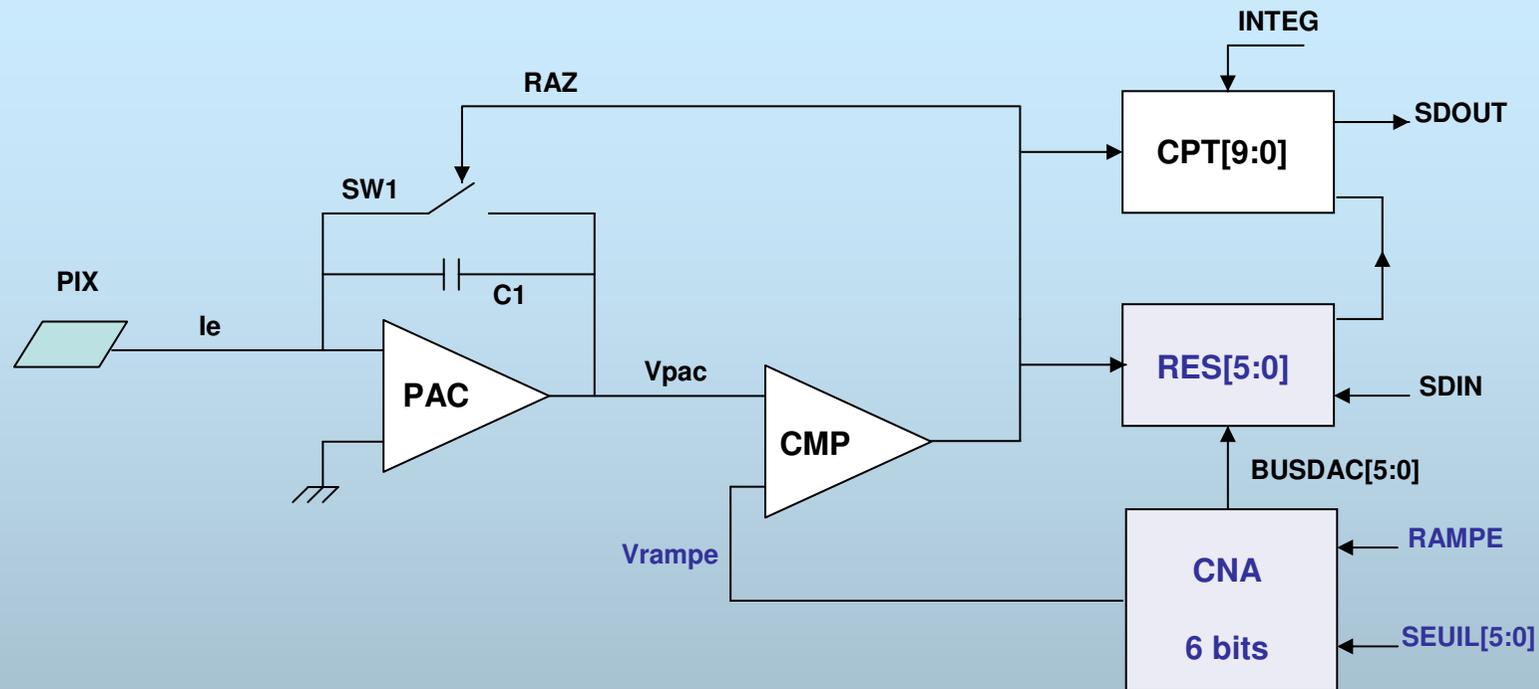
- le courant détecteur I_e est intégré dans un pré-amplificateur de charge (PAC) => V_{pac}
- la tension V_{pac} est comparée à V_{seuil} (CMP)
- quand CMP bascule le compteur CPT est incrémenté et le condensateur $C1$ est déchargé ($SW1$)
- la conversion A/N est directement fournie par CPT
- la dynamique du convertisseur est limitée seulement par la taille du compteur CPT

Erreurs sur la charge mesurée



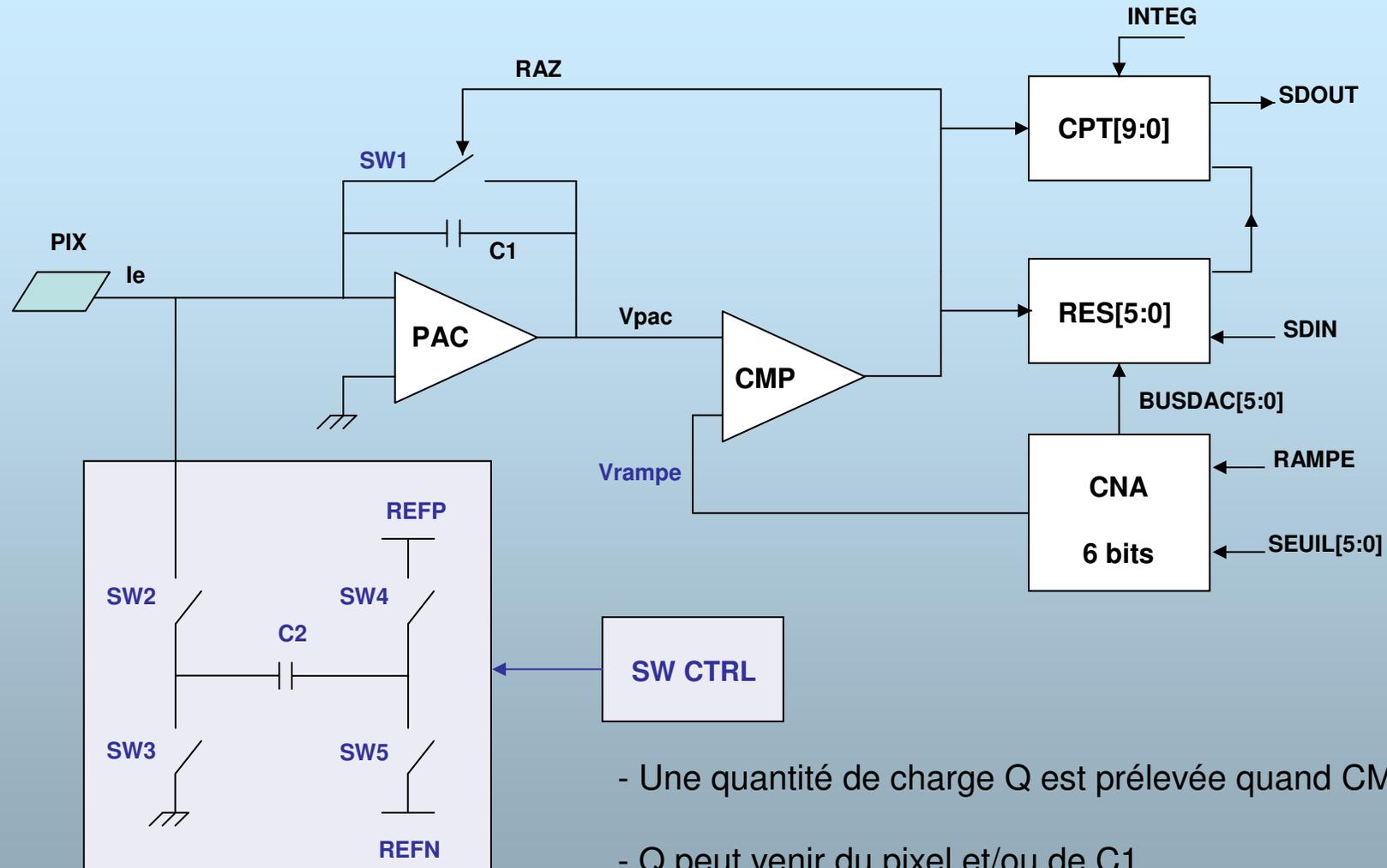
- la charge générée pendant le RAZ n'est pas prise en compte (temps mort)
- la charge résiduelle dans C en fin d'intégration n'est pas prise en compte

Conversion A/N de la tension V_{pac} résiduelle



- La tension V_{pac} résiduelle est comparée à un signal de rampe (V_{rampe} du CNA 6 bits)
- quand **CMP** bascule le registre **RES** mémorise les 6 bits du **CNA** => valeur numérisée du résidu
- le **CNA** permet également de générer V_{seuil} lors de l'intégration (**SEUIL[5:0]**)
- données 16 bits en sortie sont composées de 10 bits **CPT** et 6 bits **RES**
- **diminue très nettement le déficit de charge mais nécessite une calibration: $DATA = CPT + \alpha RES$**

Intégration sans temps mort

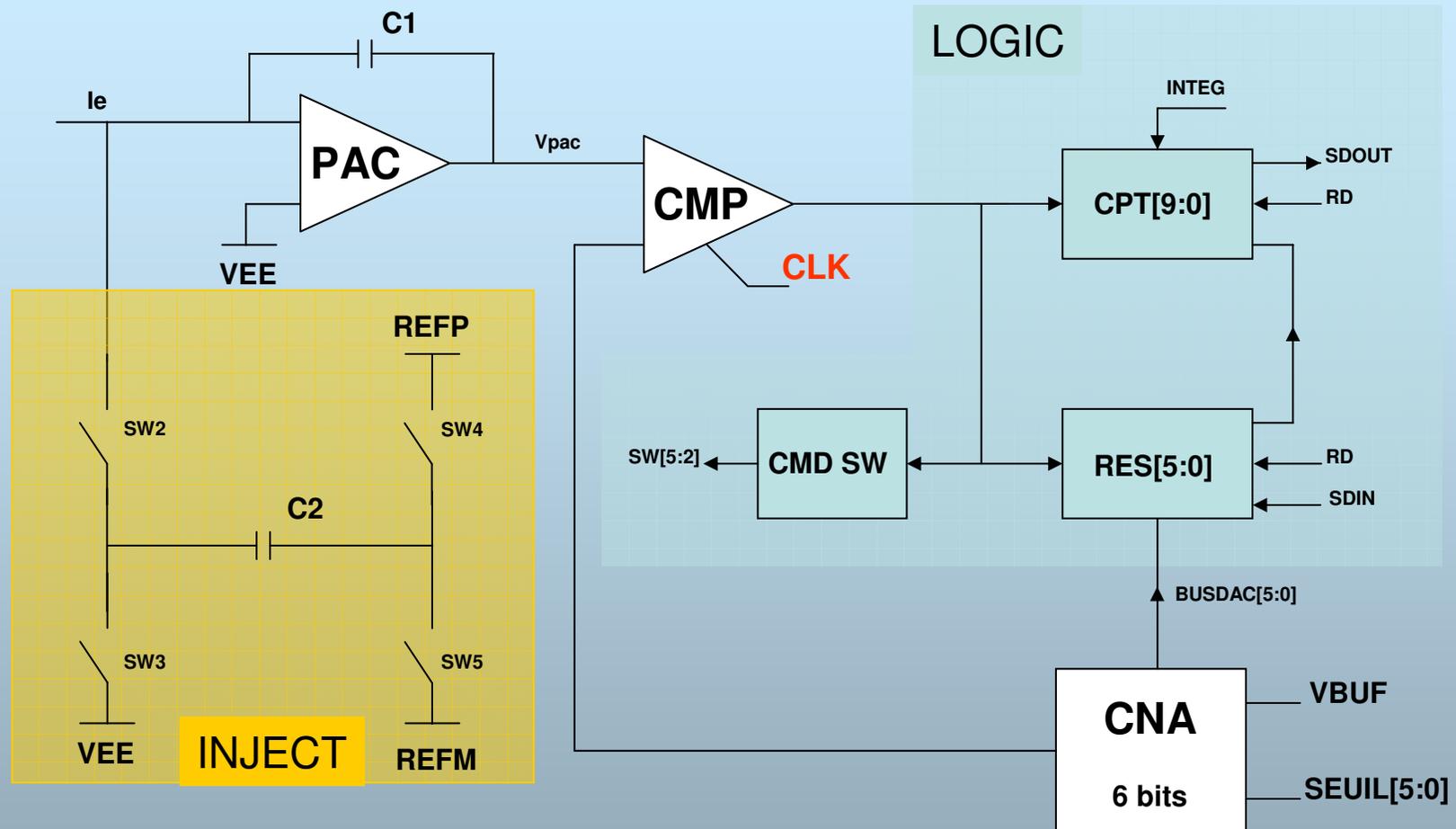


- Une quantité de charge Q est prélevée quand CMP bascule
- Q peut venir du pixel et/ou de $C1$
- $Q = C2 * (REFP - REFN) \Rightarrow$ réglable

Détails du QDC

- PAC : OTA avec $C1 = 200 \text{ fF}$ en contre réaction
- CMP : comparateur statique latché
- CNA : thermométrie => 64 sources de courant et conversion $I \Rightarrow V$ (résistance + AOP)
- AOP suiveur pour sortir la rampe analogique sur un PAD
- Injection de charge : $C2 = 200 \text{ fF}$
- Signaux de ctrl : RST, CLKCMP, CLKDAC, DCONF, WRCONF, INTEG, RMP et RD
- Chargement seuil 6 bits en série avec DCONF et WRCONF
- 16 voies 16 bits chaînées => lecture 256 bits série avec RD sur SDOUT
- Possibilité de chaîner les QDC avec SDIN et SDOUT
- Détermination du coefficient α : $\text{DATA} = \text{CPT} + \alpha \text{RES} \Rightarrow$ **simulation d'un modèle**

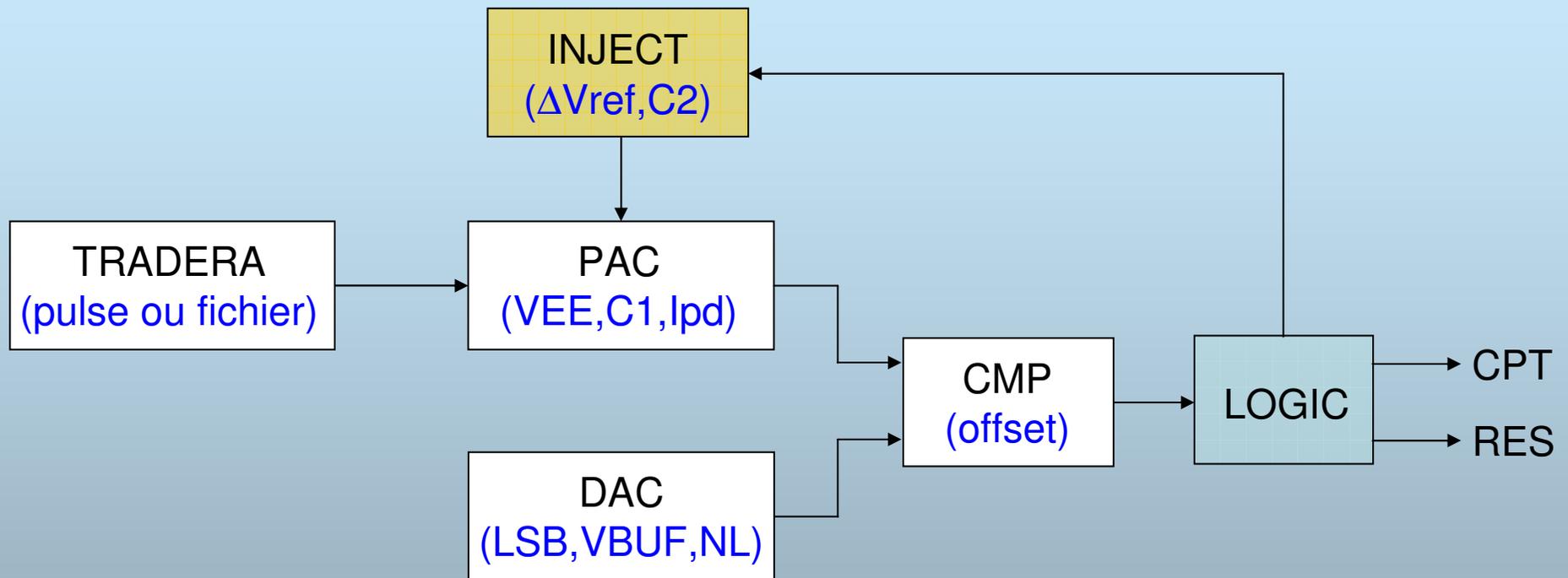
Schéma bloc du QDC



CMP réagit sur front de **CLK** => le modèle est simple à programmer

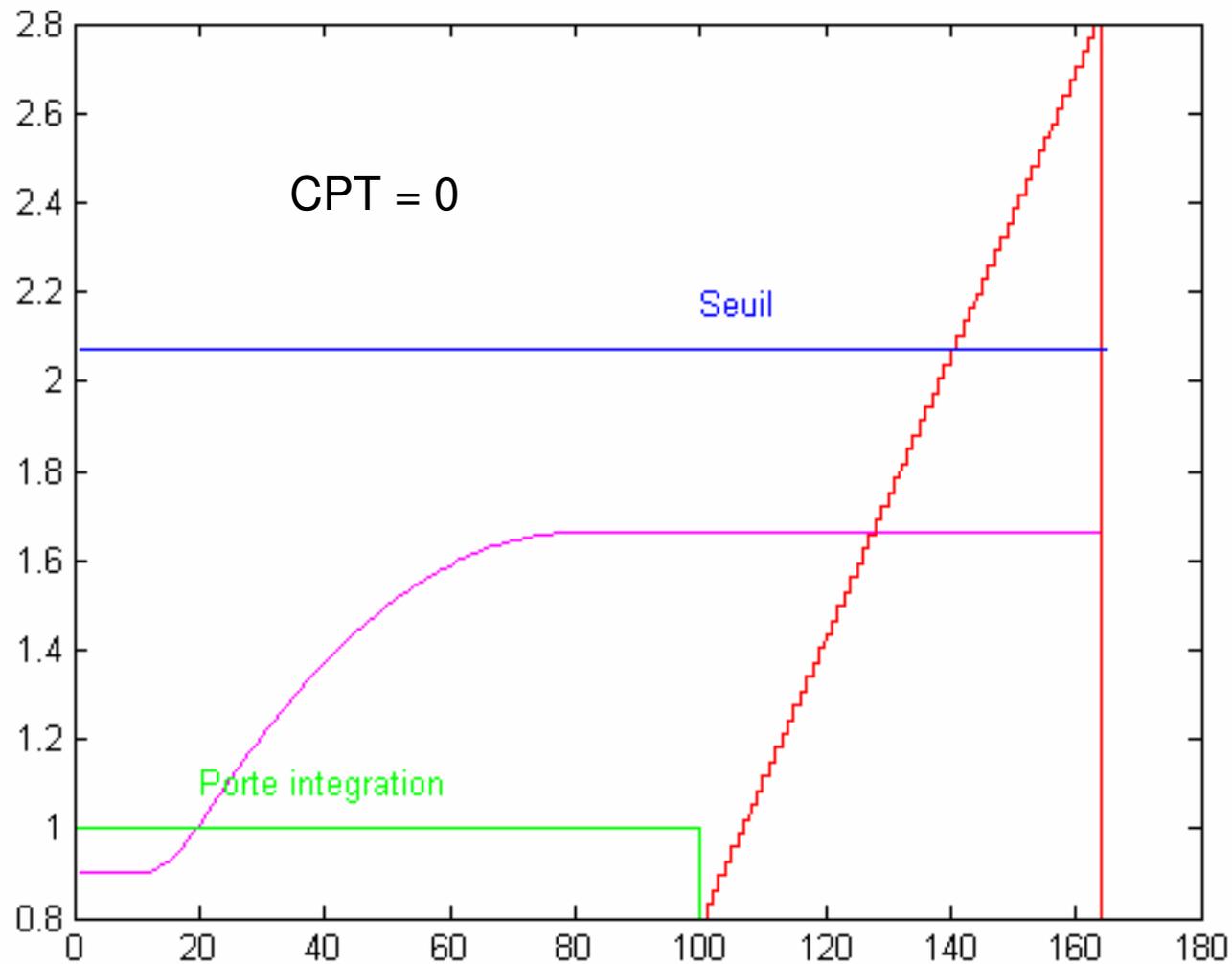
On calcule l'état du circuit uniquement sur front de **CLK** => une période de **CLK** = une itération de boucle

Modèle MATLAB du QDC

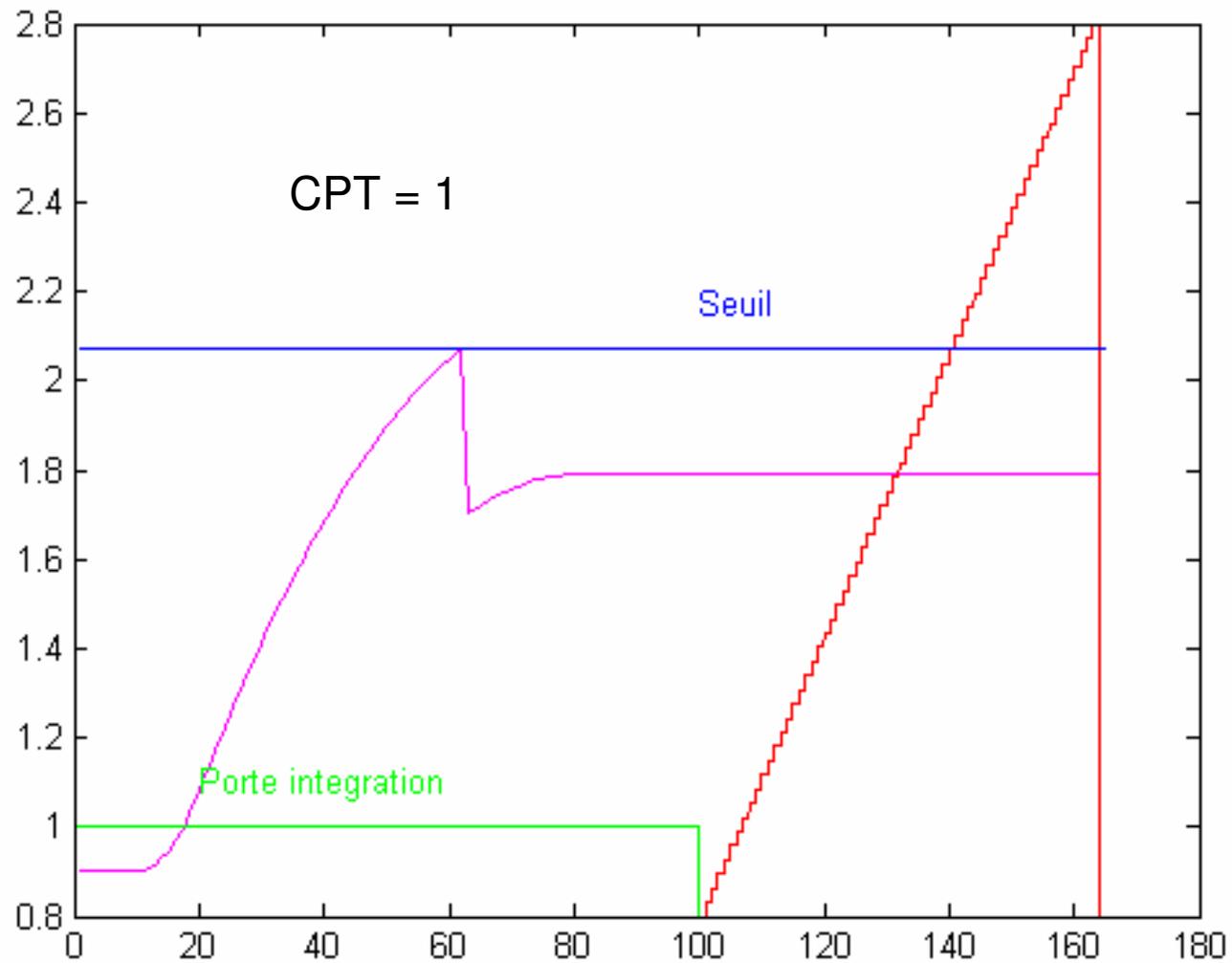


Du **bruit** peut être injecté dans chaque bloc.

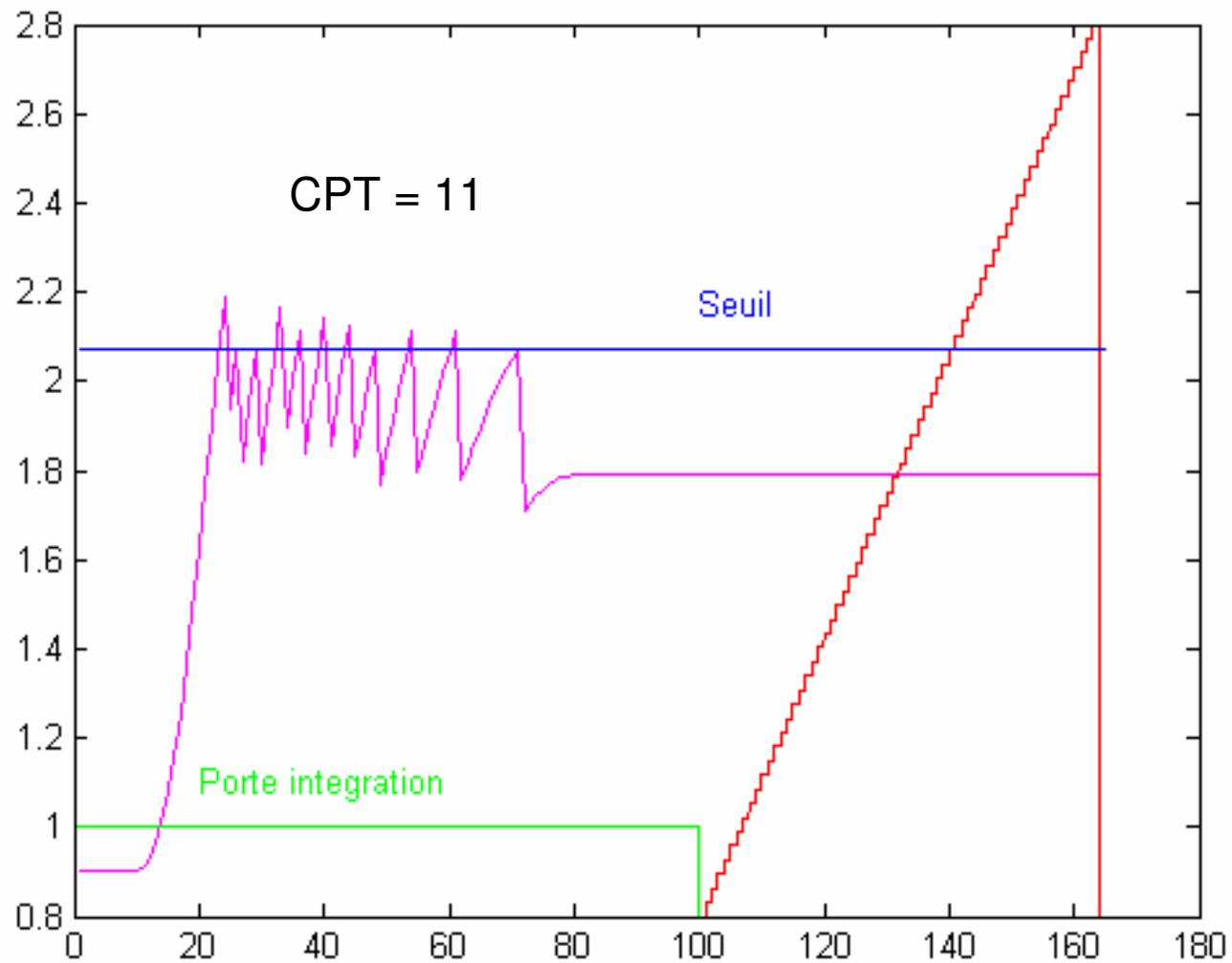
Modèle MATLAB du QDC



Modèle MATLAB du QDC



Modèle MATLAB du QDC



Modèle MATLAB du QDC

The image displays a MATLAB 7.10.0 (R2010a) environment with several windows:

- Editor - INL_ajustementV6.m:** Contains MATLAB code for signal calibration. Key parameters include:
 - `monCOEF = 12.0000`
 - `CodeSeuil=40;`
 - `deltaV=NB_LSB_DAC_deltaV*2/63*c1/c2;`
- Figure 23:** A plot showing a signal (magenta) oscillating around a mean value (blue horizontal line labeled "Seuil"). A green step function labeled "Porte integration" is shown below the signal. A red diagonal line is also present.
- Figure 24:** A plot showing a linear fit to data points. The equation is $TOT=CPT + \alpha * Residu$. The fit is labeled "fitted curve". Statistics: $N=12$, $rmse=2.5311e-007$, $residu$ VRAI.
- Figure 25:** A plot showing the INL (Integral Non-Linearity) of the ADC. The INL values are plotted against the input code. A red box highlights **INL=0**, indicating perfect linearity.

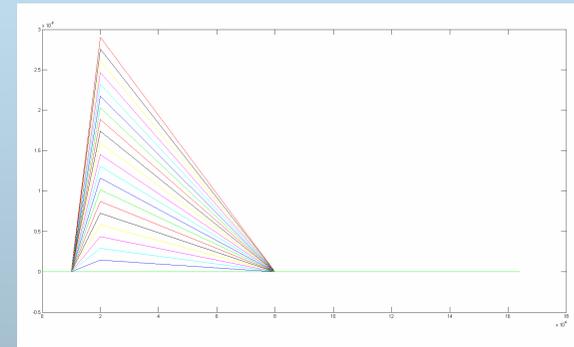
In the center, a yellow box contains the formula for the gain coefficient α :

$$\alpha = \frac{C_1}{C_2} \times \frac{LSB_{CNA}}{\Delta V_{ref}}$$

Détermination du coefficient de calibration

$$\alpha = \frac{C_1}{C_2} \times \frac{LSB_{CNA}}{\Delta V_{ref}}$$

- Le coefficient α dépend de C_1 et C_2 dont on ne connaît pas précisément la valeur.
- Un coefficient différent pour chaque voie.
- La réponse à une excitation linéaire doit varier linéairement.

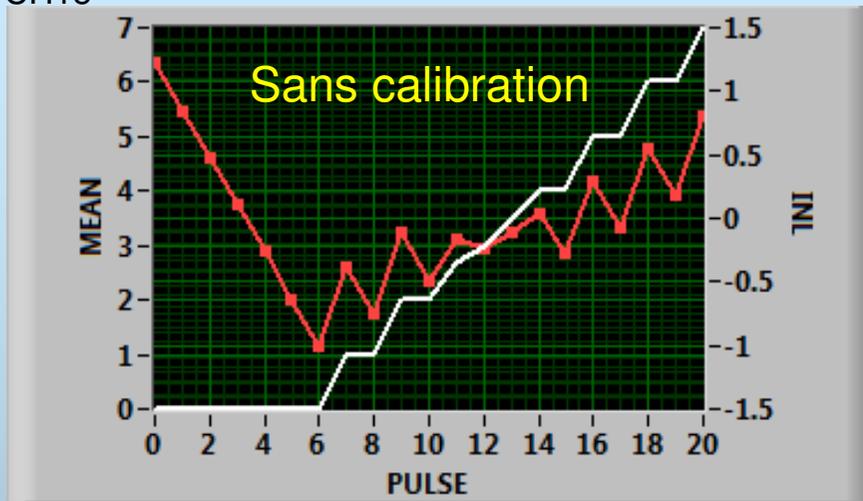


- ⇒ On enregistre la réponse de chaque voie pour une série d'impulsions de courant
- ⇒ On utilise un algorithme de minimisation (SIMPLEX, GC) pour déterminer α

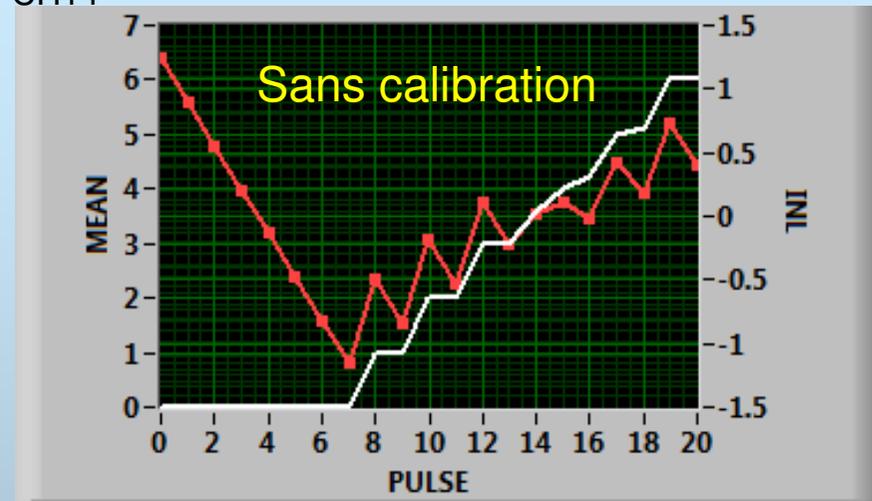
- ⇒ On minimise la fonction
$$\sum_i (CPT + \alpha RES - i)^2$$
 $i = \text{amplitude du pulse } i$

Coefficient de calibration : effet sur l'INL

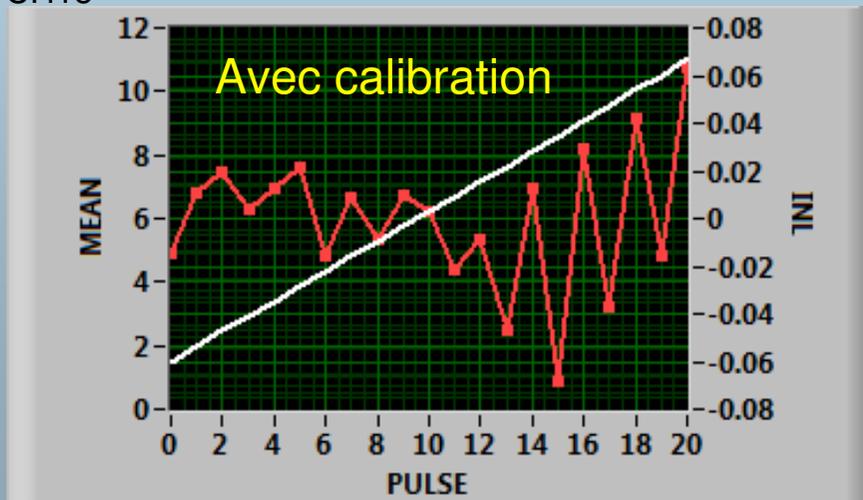
CH15



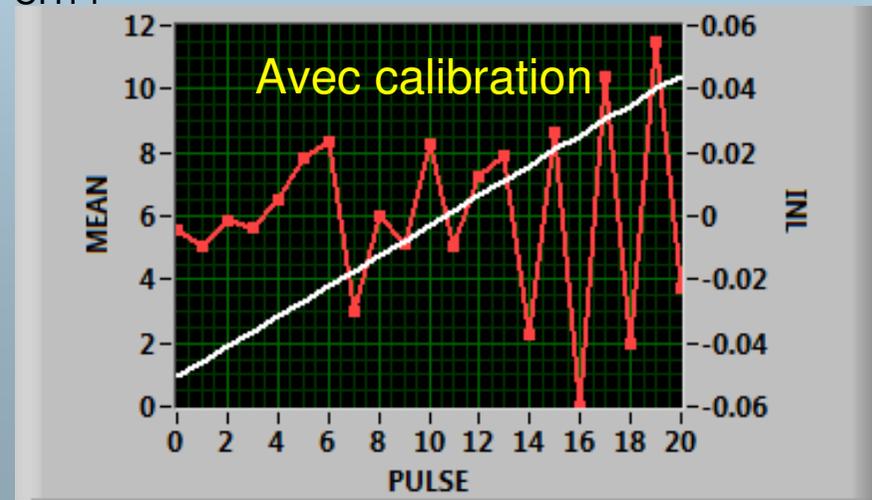
CH14



CH15

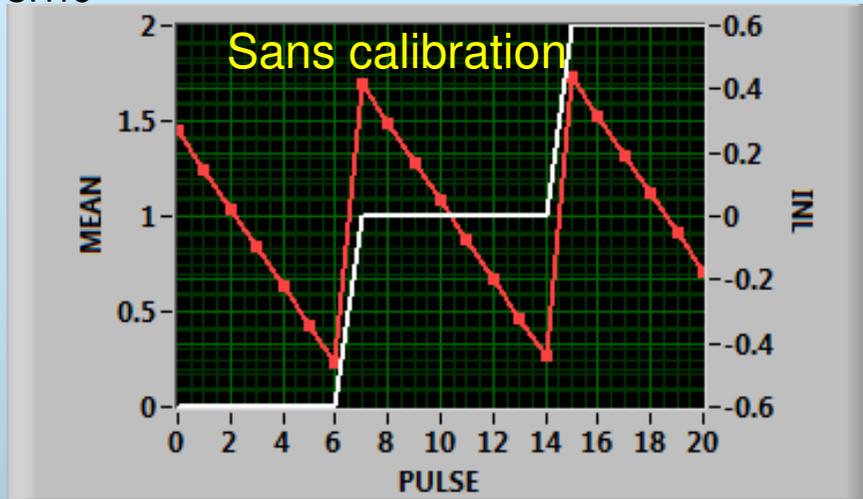


CH14

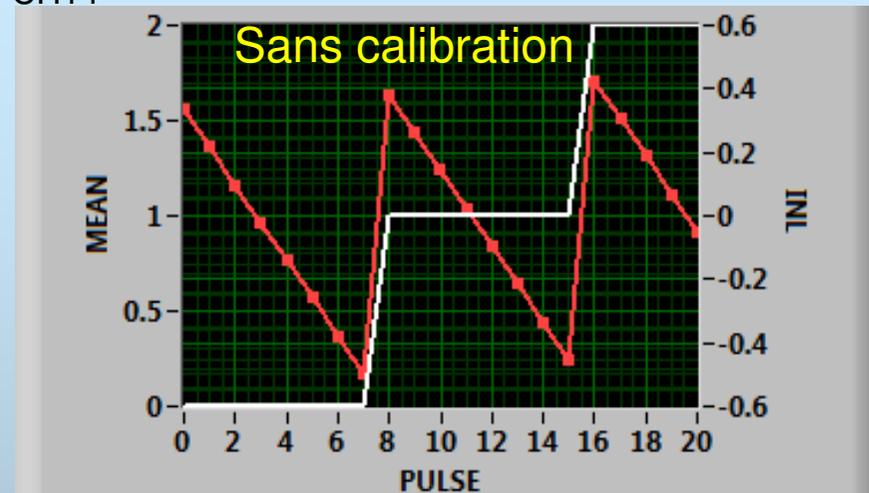


Coefficient de calibration : effet sur l'INL

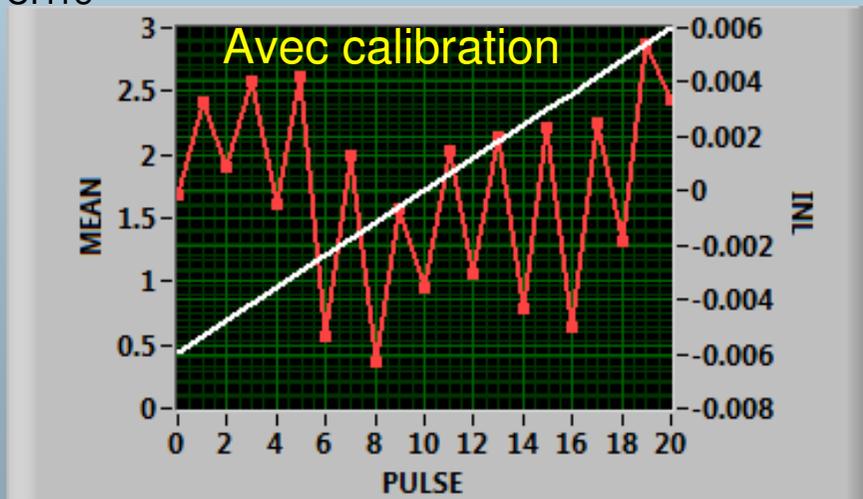
CH15



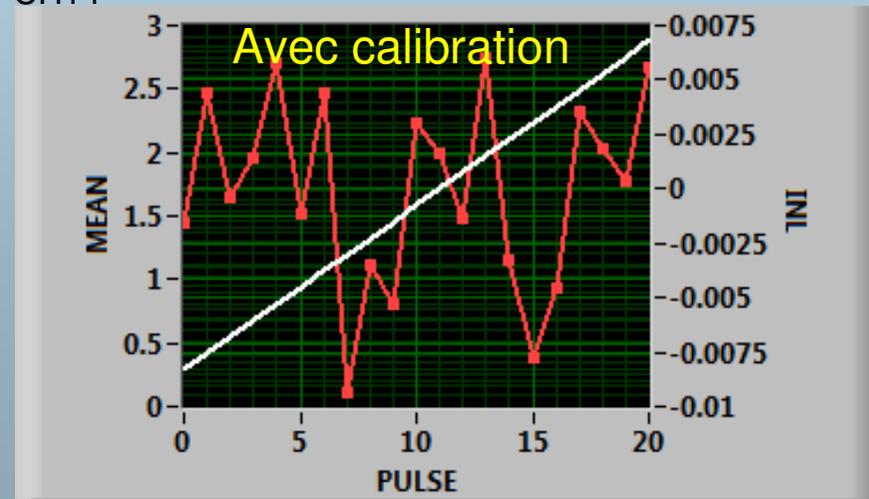
CH14



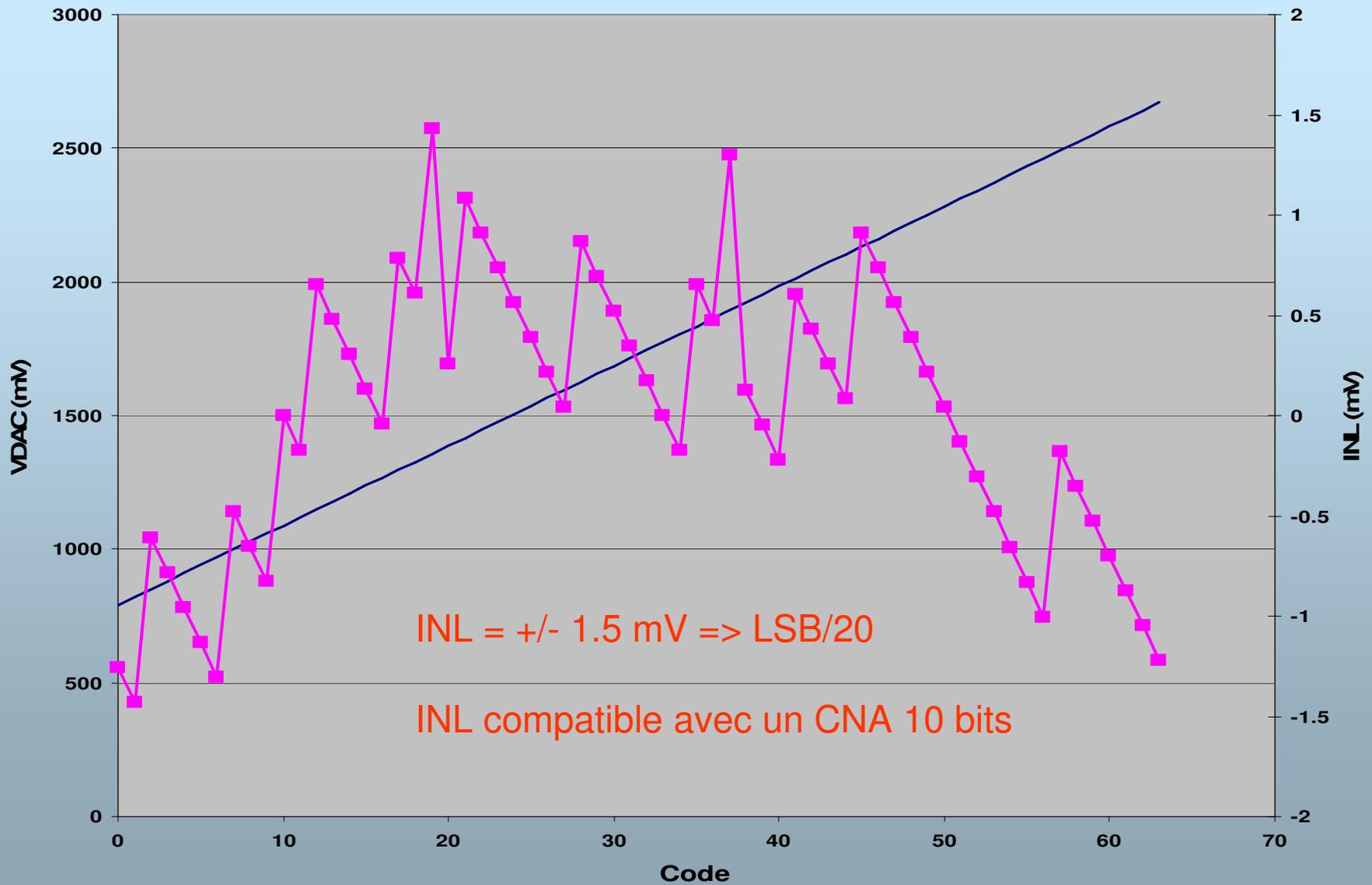
CH15



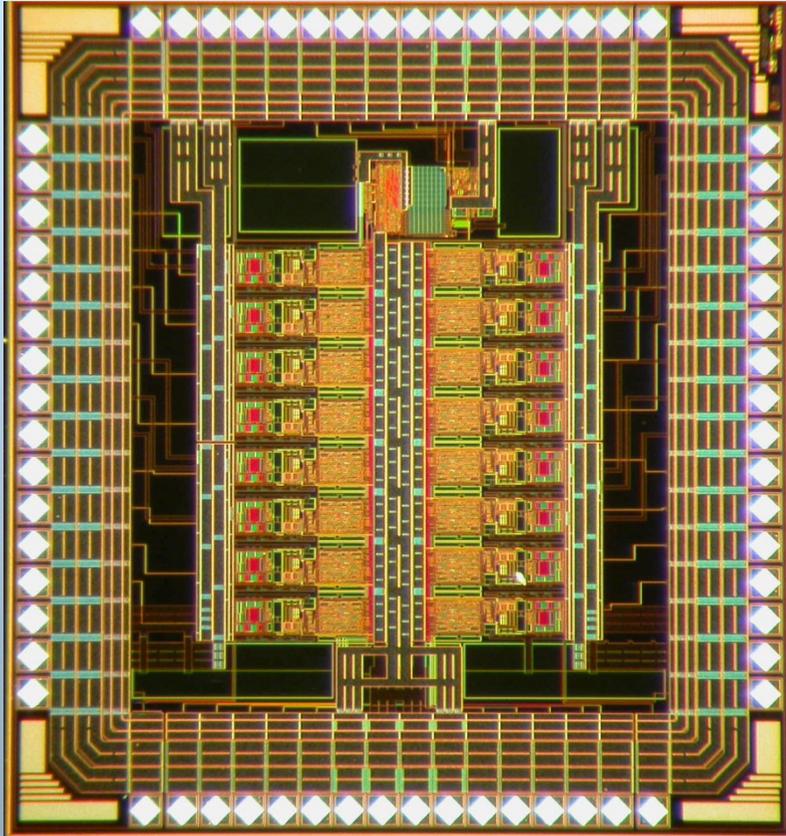
CH14



INL du CNA 6 bits



QDC : principales caractéristiques



Merci D. Dzahini pour tes briques AMS 0.35 μm

Technologie AMS CMOS 0.35 μm

Surface : 4mm²

16 voies de mesures 16 bits

1 CNA 6 bits (Seuil comparateur + Rampe)

Lecture des 16 données 16 bits en série sur Sdout

Circuits chainables avec Sdin/Sdout

Bruit < 0.5 LSB

INL < 0.1 LSB

Alimentation 3V3

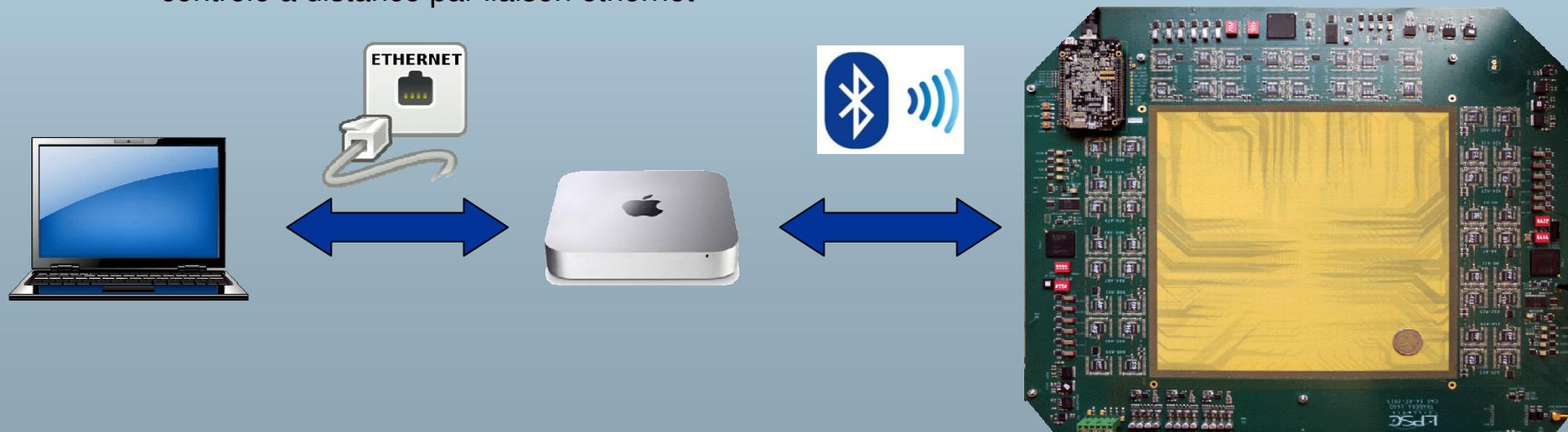
Consommation < 1 mW / voie

300 circuits produits

Développements électroniques en cours

TRADERA 1600 voies

- PCB 49x42 cm² dont surface active de 25x25 cm² contenant 1600 pixels
- basé sur la même électronique frontale => 100 QDC 16 voies
- auto déclenché par le signal de grille
- transmission sans fil avec une carte linux embarqué Beaglebone vers un MACmini
- interface graphique html
- contrôle à distance par liaison ethernet



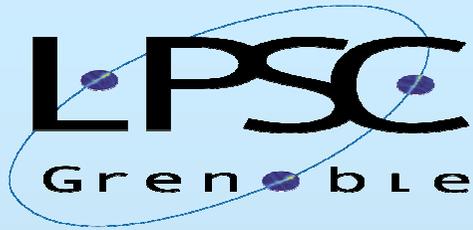
Développements électroniques à venir

TRADERA 6400 voies

- surface active de 25x25 cm² contenant 6400 pixels
- étude prochaine d'une version 64 voies du QDC

Détecteur pour la ligne médicale de l'ESRF

- besoin d'une dynamique bien plus grande que sur les accélérateurs du CHU (facteur 100 au moins)
- premiers tests réalisés avec TRADERA 324 => QDC convient à cette problématique
- étude d'une géométrie détecteur dédiée ESRF avec électronique embarquée : QDC + acquisition



Electronique de lecture pour MIMAC

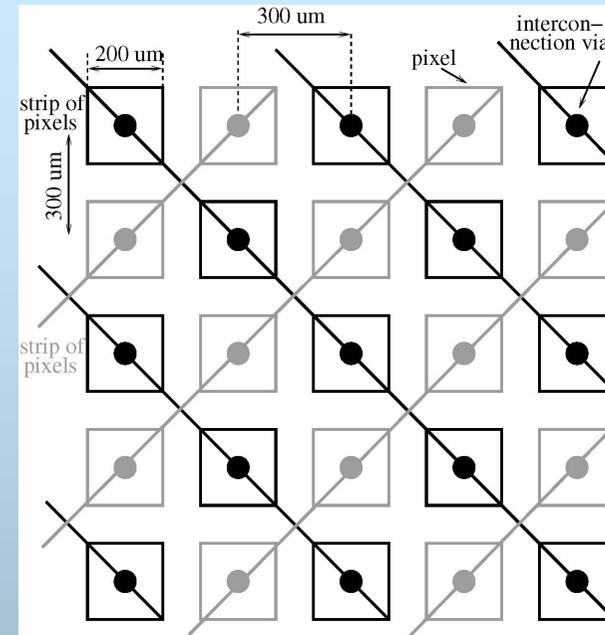
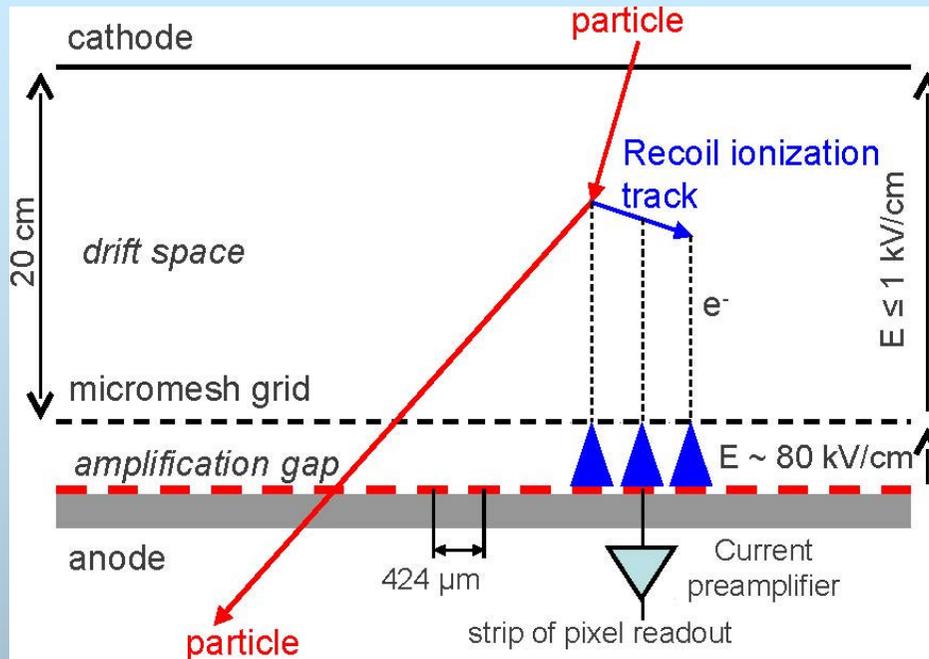
Micro-tpc MAtrix of Chambers

Laurent.gallin-martel@lpsc.in2p3.fr

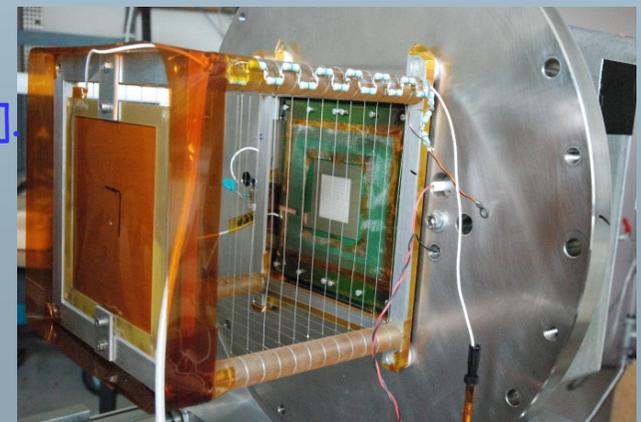
Sommaire

- Détecteur Micromégas: principe de lecture.
- Cahier des charges de l'ASIC.
- Schéma de principe et description générale.
- Correction du courant d'offset.
- Réponses du préamplificateur de courant et du comparateur.
- Interface numérique du circuit.
- Carte 512 voies
- Perspectives

Détecteur Micromegas Principe de lecture

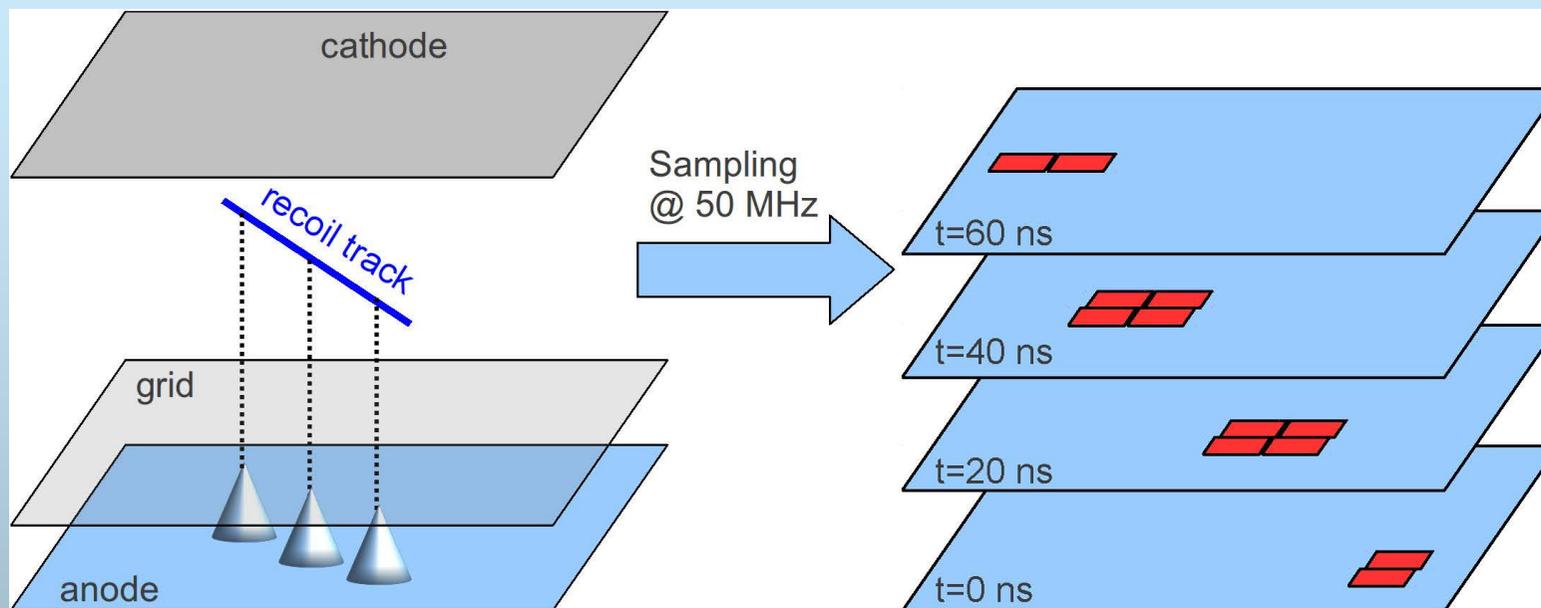


- **Anode pixelisée:** pixels interconnectés en lignes ("strips de pixels" X et Y).
- Chaque strip est lu par un **préamplificateur de courant** suivi d'un comparateur.
- Sorties des comparateurs échantillonnées à 50 MHz [20 ns].
- Coordonnées d'un pixel touché → coïncidence X-Y pendant un même intervalle de temps.
- **Prototype:** 2 séries de 256 strips de pixels implantées orthogonalement dans un même plan.

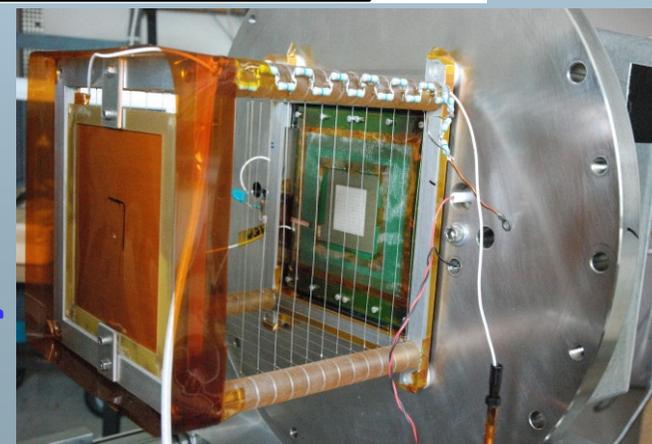


Détecteur Micromegas

Obtention de la 3^{ème} coordonnée et mesure de l'énergie de recul



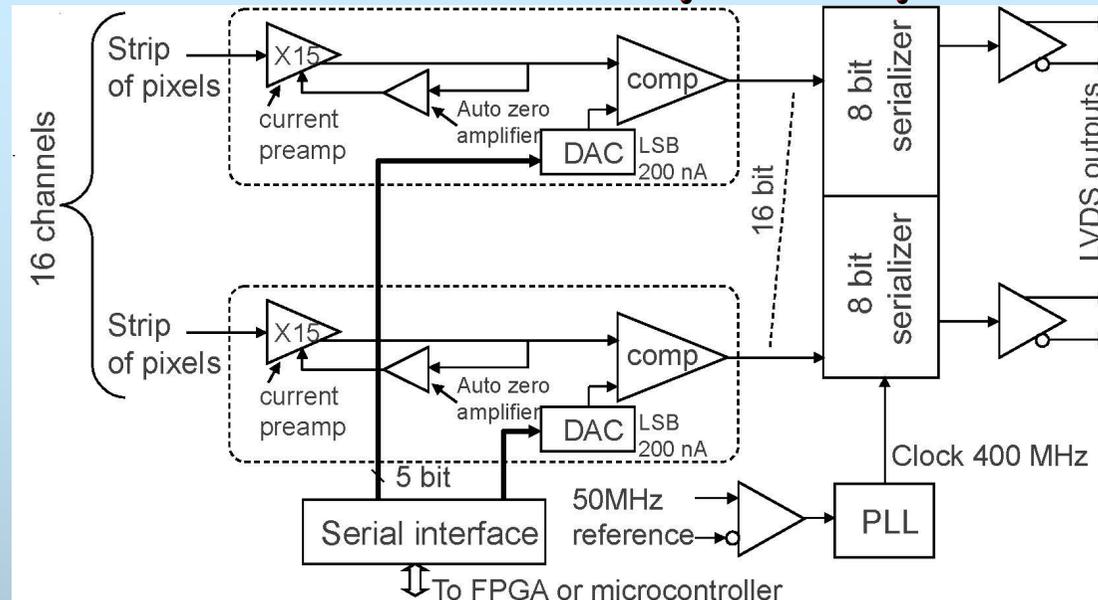
- Cartographie des strips de pixels touchés toutes les 20ns.
- La vitesse de dérive des électrons [$26\mu\text{m}/\text{ns}$ avec He^3] permet d'obtenir la coordonnée en Z.
- **Amplificateur de charge** connecté à la grille pour mesurer l'énergie de recul.



Cahier des charges de l'ASIC

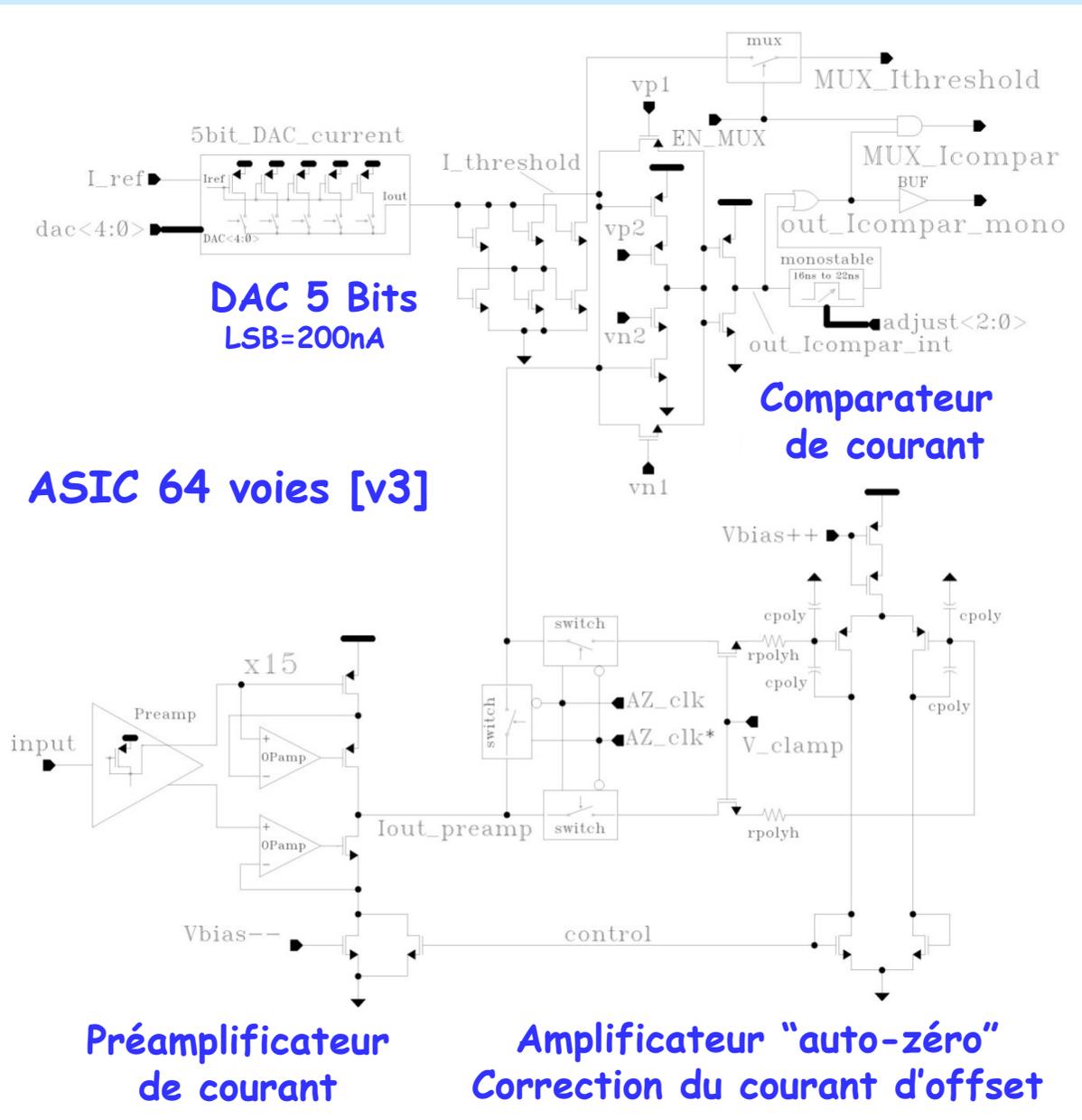
- Objectif final: équiper 36 chambres de 640 voies => 23040 voies
- → minimiser le coût, la place et la puissance dissipée.
- 64 voies par ASIC: compromis entre la densité d'intégration, le rendement et la taille du boîtier.
- Mesure du "Time Over Threshold" → préamplificateur de courant pour conserver la forme du courant d'entrée .
- Seuil minimum du comparateur [$\sim 200\text{nA}$] donné par le "pire cas":
 - Gain du détecteur: 3000.
 - Energie de recul : 500eV.
 - Trace de recul parallèle à l'anode.
 - Diffusion maximum: 16 pixels touchés [4 strips X et 4 strips Y].
- Minimiser les interconnexions → liens séries rapides.

Schéma de principe

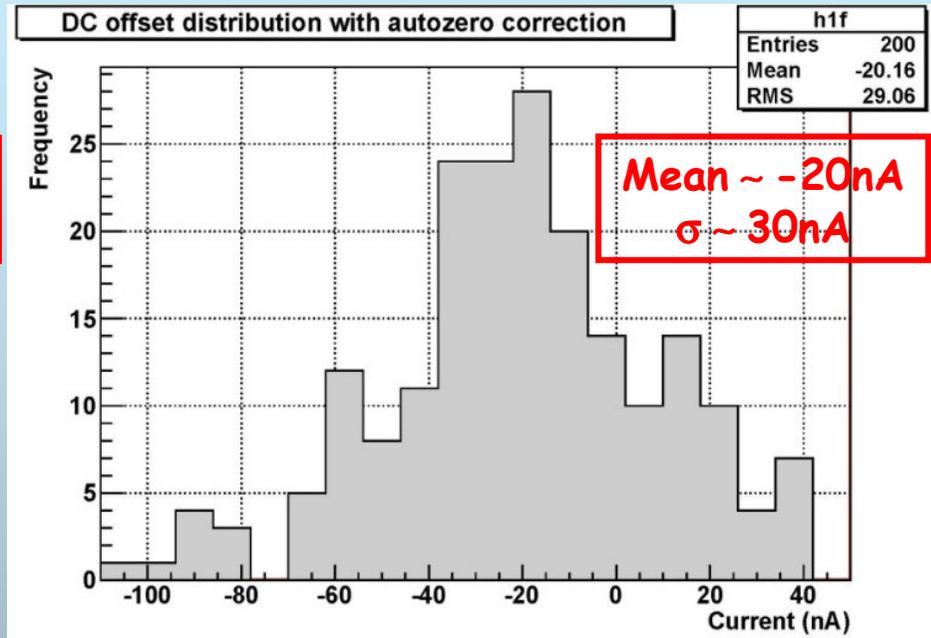
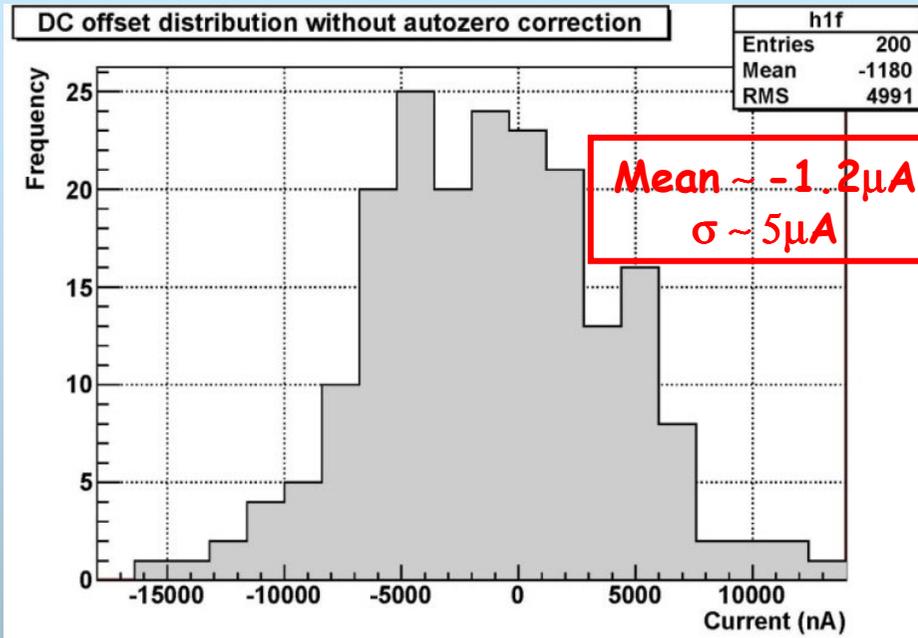


- Sorties des comparateurs échantillonnées à 50 MHz et "sérialisées" par groupe de 8 à 400 MHz → réduction des interconnexions et de la consommation.
- Horloge commune → synchronisation de l'échantillonnage des signaux anodes entre plusieurs ASICs.
- Sorties LVDS → minimiser le bruit numérique.
- Interface série:
 - Chargement des DACs [seuils des comparateurs].
 - Validation individuelle des voies [élimination des voies "mortes", tests, etc...].
 - Fourniture d'un "pattern" de synchronisation pour les liens séries LVDS.
- ASIC 64 voies composé de 4 groupes de 16 voies.

Etage d'entrée

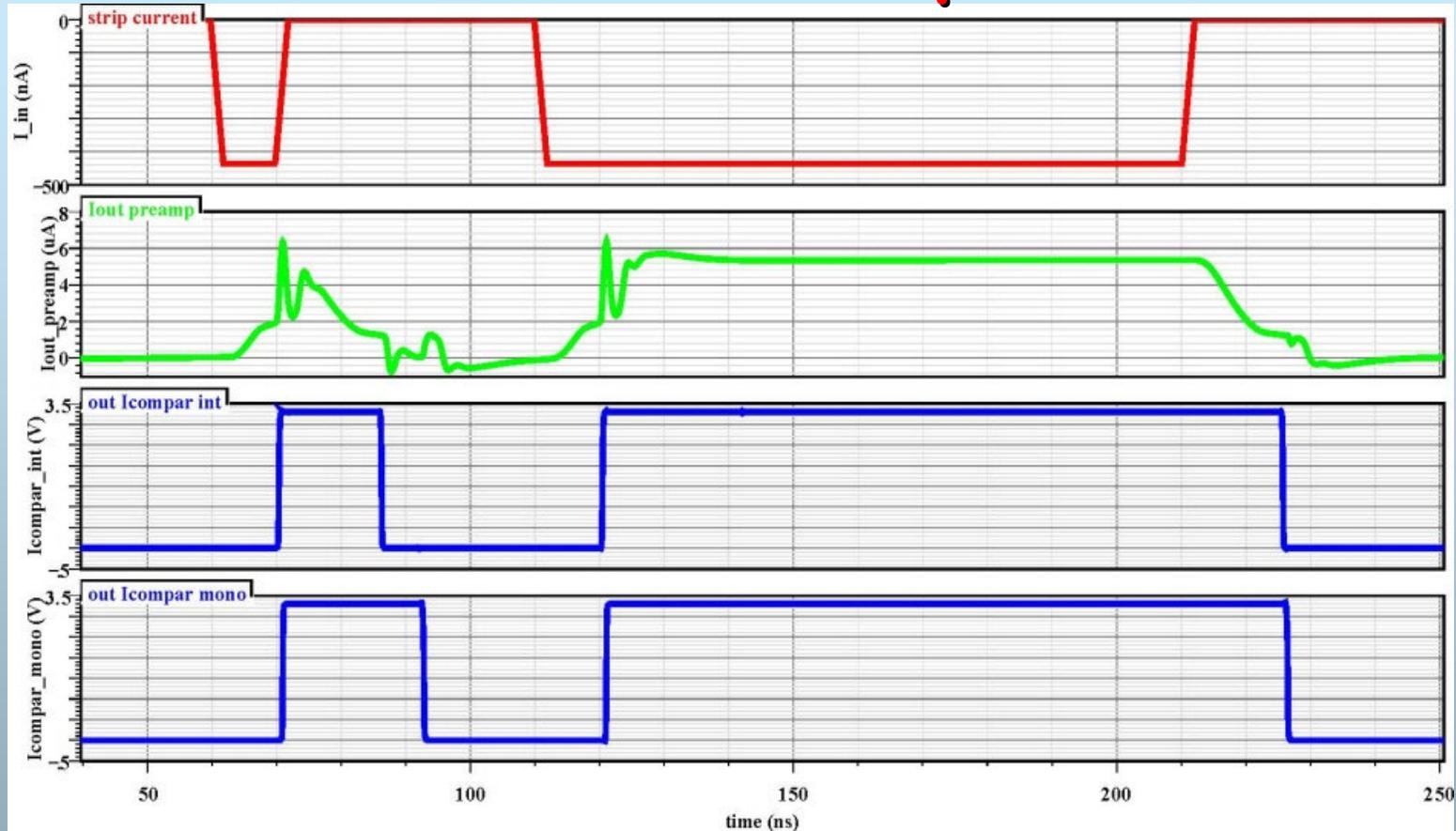


Correction du courant d'offset



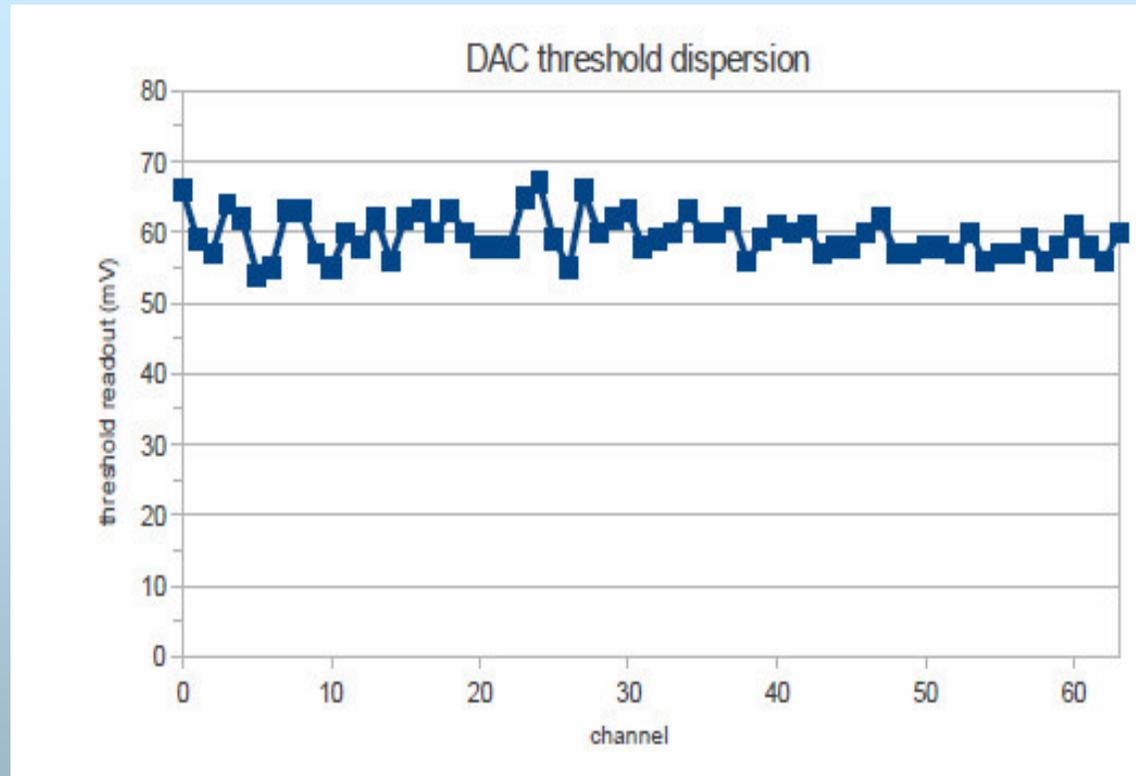
- Amplificateur auto-zéro associé à chaque préamplificateur → Mesure et correction périodique [$\sim 10 \mu$ s @ 1Hz] du courant d'offset pour le minimiser.
- Courant d'offset résiduel compatible avec le LSB [200nA] du DAC 5 bits [seuil comparateur].

Réponses du préamplificateur de courant et du comparateur



- Courant de sortie du préamplificateur → copie amplifiée [$\times 15$] du courant d'entrée.
- Mesure du " Time Over Threshold " en échantillonnant à 50 MHz le signal de sortie du comparateur → durée du courant d'entrée.

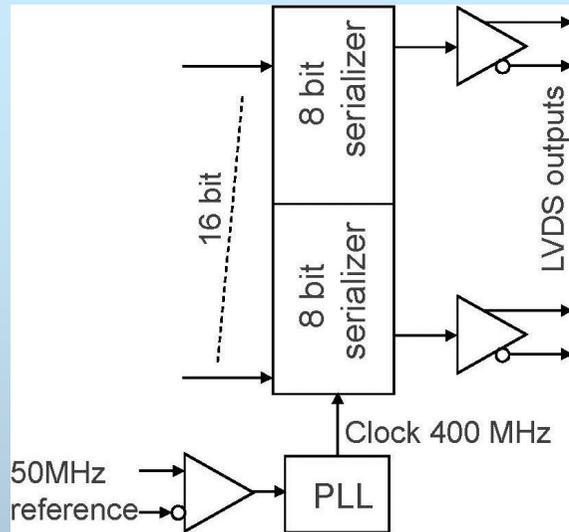
Dispersion des seuils dans un ASIC



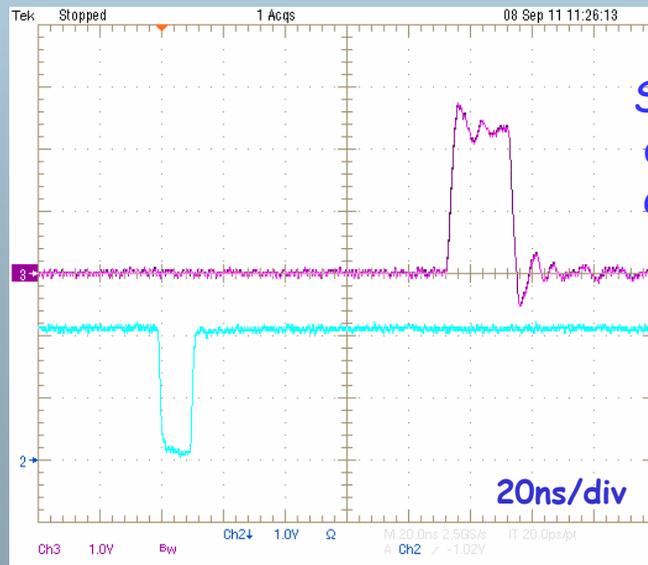
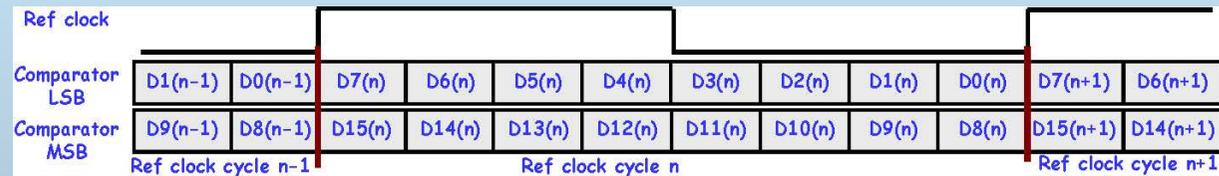
Pour une même valeur programmée [seuil DAC = 3]:

- Les seuils mesurés sont homogènes.
- La *dispersion sur la correction d'offset* se traduit par des fluctuations sur les "seuils réels" mesurés. Un seuil haut ne signifie pas une sensibilité moindre sauf si la correction d'offset est défailante.

Interface numérique de l'ASIC

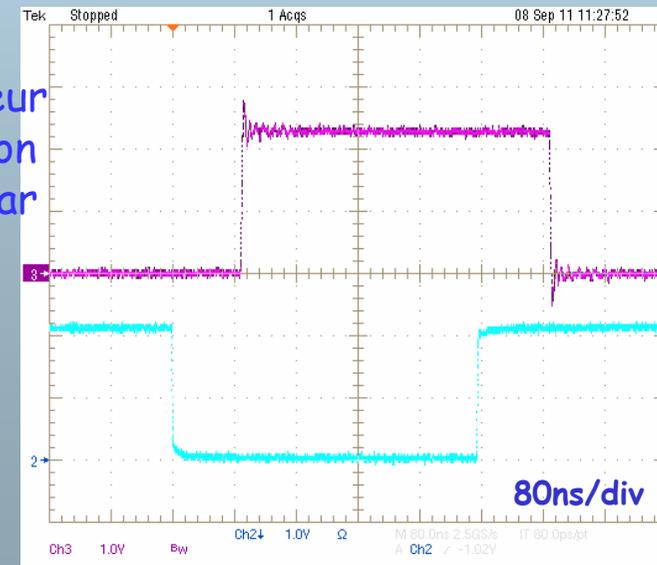


- Huit sérialiseurs 8 bits cadencés à 400MHz transmettent l'état des sorties des 64 comparateurs de courant échantillonnés à 50MHz .
- Sorties LVDS interconnectées avec le FPGA.

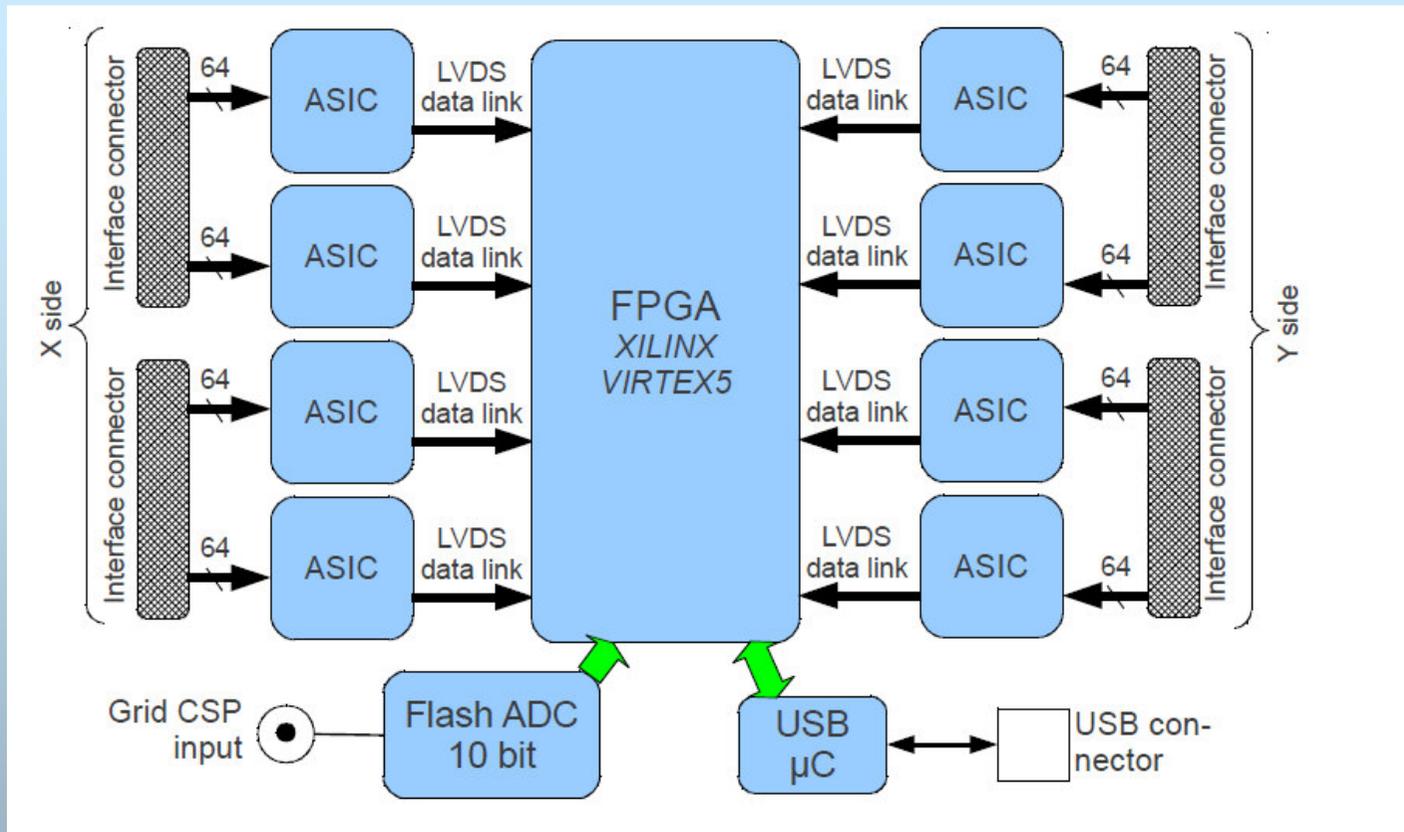


Sortie du comparateur après "désérialisation et mise en forme" par le FPGA

Signal d'entrée

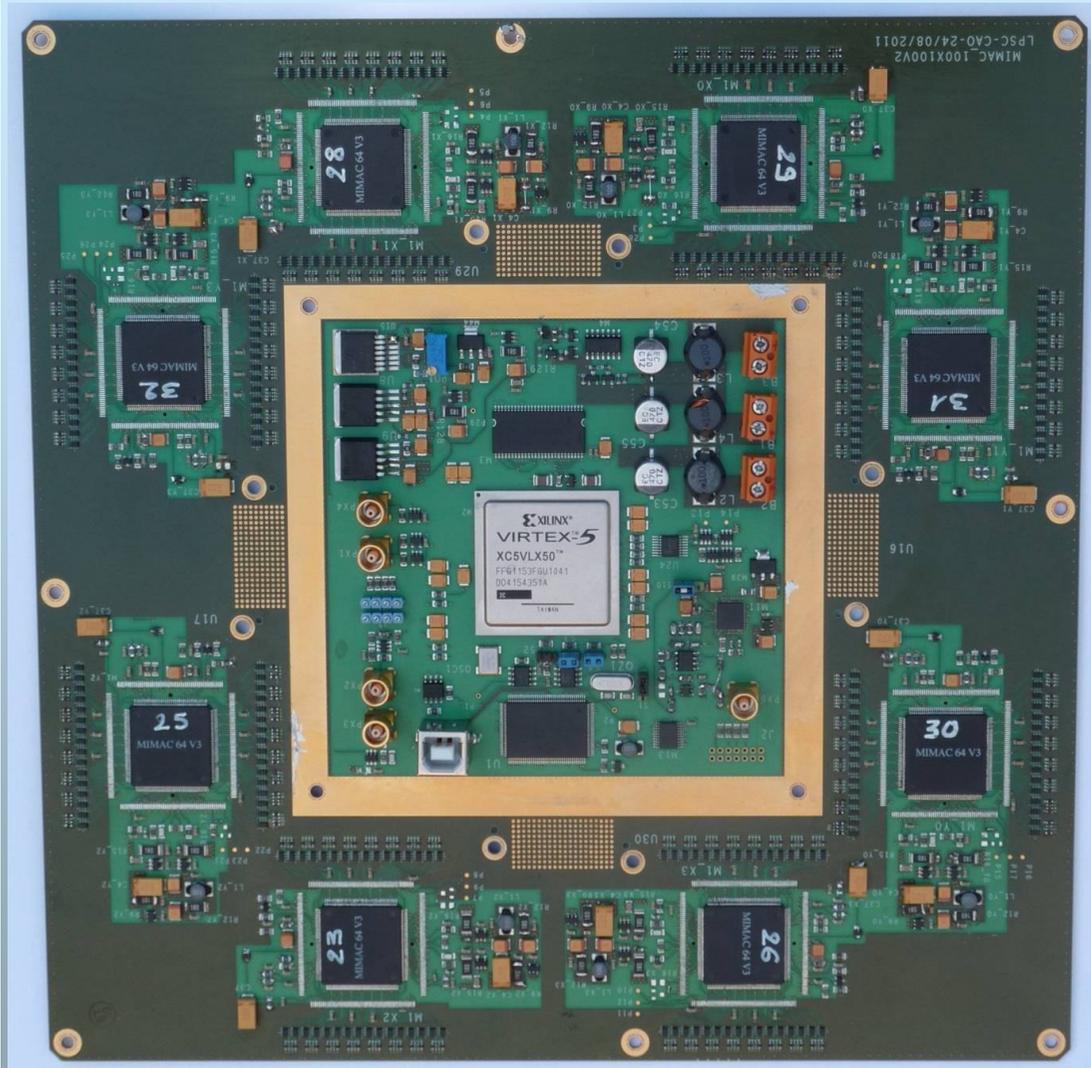


Carte 512 voies



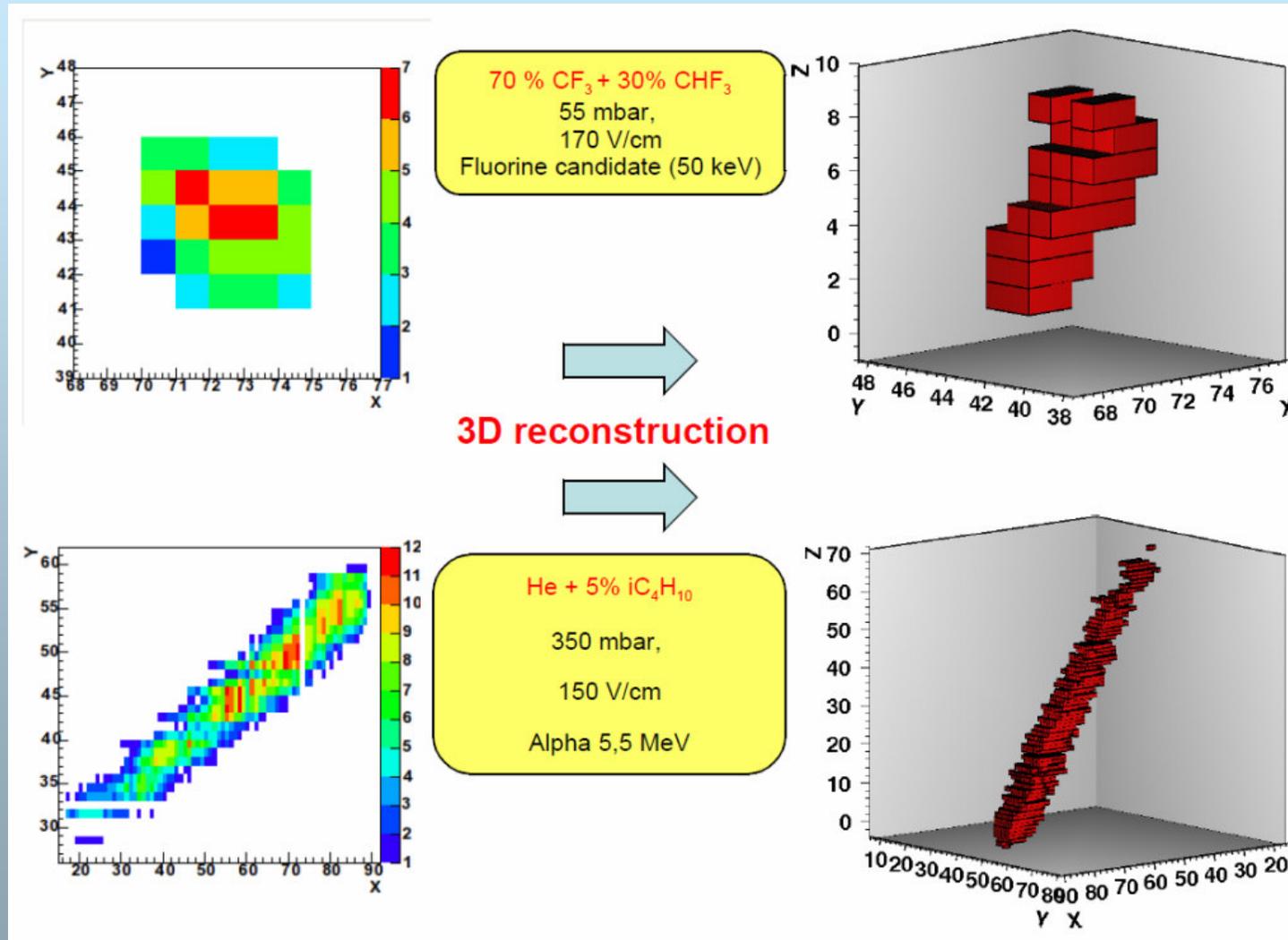
- Fonctionnement auto déclenché
- Le signal de grille échantillonné à 50MHz => image de l'énergie totale
- Trigger : énergie totale supérieure à un seuil (FPGA => analyse la pente du signal)
- Les données sont transmises si coïncidence X-Y

Carte 512 voies



- 25 x 25 cm²
- 8 ASICs 64 voies
- Protection contre les claquages sur chaque entrée
- FPGA VIRTEX 5
- Liaison USB2

Echantillons de traces dans le détecteur



Développements en cours

- Etude d'un nouvel ASIC basé sur "vrai" amplificateur de courant (V4):
 - réduction de la consommation.
 - sensible à des signaux de 3ns (composante électronique).
 - correction numérique d'offset : réduction des erreurs dues aux parasites.

- Mise au point d'une carte 1024 voies basée sur l'ASIC 64 voies existant (V3).
2 cartes 1024 seront produites pour équiper le détecteur bichambre 20x20 à Modane

Développements à venir

➤ Détecteur "m³" :

→ bichambre composé de 2 volumes de 100x100x50 cm³.

→ chaque volumes sera divisé en 36 chambres de 2x960 strips.

→ si multiplexage 3 par 3 des strips => 23040 voies d'electroniques.

(sinon 69120 voies)