**Contrat d'engagement technique**

1. **Présentation :**

Le LPC participe au Projet d’upgrade de l’expérience ATLAS lié à l’augmentation de la luminosité intégrée du LHC d’un ordre de grandeur (HL-LHC) à l’horizon 2022, et peut-être à l’augmentation de l’énergie (HE-LHC) à une date pas encore déterminée. Sa participation concerne l’électronique Very Front End et Front End de lecture du Calorimètre Hadronique à Tuiles Scintillantes Tilecal. La R&D est engagée au LPC depuis 2005 et a fait l’objet de sept CSP (ou équivalents), la dernière datant du 3 novembre 2014.

La R&D en cours concerne la réalisation du Démonstrateur option 2 qui sera comparé aux deux autres Démonstrateurs des options 1 (Chicago) et 3 (Argonne) durant les années 2015-2016 lors des tests effectués en surface dans le bâtiment 175 du CERN, puis sur faisceau test (Une période en 2015, une période en 2016).

Selon les choix retenus, la R&D pourra ensuite se poursuivre et aboutir à des prototypes, puis à la production en vue d’équiper l’ensemble du Tilecal pour la Phase II du LHC. Il se pourrait que l’upgrade soit anticipé et concerne la Phase I.

L’évolution du projet a fait l’objet de documents officiels du CERN : EoI (avril 2008), LoI Phase I (Décembre 2011), LoI Phase II (Décembre 2012), ainsi que de présentations au Conseil Scientifique du LPC (19 janvier 2012) et de l’IN2P3 (21 juin 2012), et bien entendu de présentations régulières dans le cadre des réunions Tilecal et au LPC. Des informations détaillées, et tenues à jour, sont accessibles sur le site indico du LPC.

<https://indico.in2p3.fr/categoryDisplay.py?categId=219>

De nouveaux documents CERN font état de l’IDR (Initial Design Review) pour le Tilecal upgrade Phase

II vers fin 2016 et la soumission du TDR programmée fin 2017.

L’option 2 développée au LPC est la seule qui corresponde au ″schéma idéal″ défini par la communauté Tilecal, à savoir une sortie unique par canal de lecture de l’électronique VFE/FE vers la salle d’acquisition USA15, au lieu de 3 sorties actuellement dans ATLAS et avec numérisation à la fréquence du LHC dans l’électronique VFE. Ce schéma idéal contient aussi une nouvelle disposition de l’électronique dans laquelle les trains actuels de deux Tiroirs en Super-Tiroirs sont remplacés par des trains de 4 Mini-Tiroirs (toujours appelés Super-Tiroirs) entièrement indépendants du point de vue électronique, donc plus fiables, et plus aisément manipulables.

Les travaux de R&D exposés lors des CSP d’octobre 2013, mars et novembre 2014 concernaient :

* L’évolution des nouveaux outillages de manutention des Mini-Tiroirs.
* L’étude des performances du Système déporté des Hautes Tensions.
* La fin de l’étude de Ponts diviseurs actifs alimentant les PMTs dans un environnement correspondant à des Luminosités instantanée et intégrée, respectivement 5 et 10 fois supérieures.
* L’étude d’une électronique VFE fondée sur la conception d’un ASIC en technologie IBM 130 nm renfermant la majeure partie des éléments de lecture (ADC compris) et de l’électronique FE associée, ces deux éléments s’insérant dans la chaîne électronique générale du Tilecal, avec des éléments fournis par d’autres laboratoires (Stockholm pour le dernier élément FE appelé "Daughter Board", Valence et Lisbonne pour l’électronique BE Back End).

Ce document décrit la poursuite de ces activités qui font appel aux 4 services techniques du LPC, et fait

suite aux réunions de la collaboration Tilecal sur son upgrade Phase-II, en particulier la réunion dédiée à

l’upgrade à Valence du 19 au 21 novembre 2014.

*Responsabilités :*

* Porteurs du projet : Dominique Pallin, François Vazeille.
* Coordinateur technique : Roméo Bonnefoy.
* Correspondant électronique : Roméo Bonnefoy.
  + Conception : Roméo Bonnefoy
  + CAO : Marie-Lise Mercier.
  + Réalisation : Martine Bony, Christian Fayard et Eric Sahuc.
  + Commande : Eric Sahuc.
  + Suivi de production : Roméo Bonnefoy + ?
  + Tests : Roméo Bonnefoy + ?
* Correspondant micro-électronique : Laurent Royer.
  + Conception : Equipe Micro.
  + CAO : Equipe Micro.
  + Test : Equipe Micro (+ Roméo Bonnefoy via les cartes électroniques + Physiciens).
* Correspondant mécanique : François Daudon.
  + Conception : François Daudon.
  + CAO : Pierre Verdier et François Daudon.
  + Réalisation : Marc Nivoix et Gilles Magaud.
* Correspondant informatique : Patrick Lafarguette.
* Correspondant administratif : Jean-Marie Lanusse.

1. **Objectifs**

Compte-tenu des résultats positifs obtenus dans tous ces travaux, il est demandé de les poursuivre avec deux objectifs principaux :

* La réalisation complète du Démonstrateur option 2 et ses tests préliminaires au LPC puis en surface, au CERN, dans le bâtiment 175 du CERN.
* La comparaison effective des trois options concurrentes du Démonstrateur lors des tests en faisceau programmés en 2015 (octobre) et en 2016 (printemps).

Pour atteindre ces objectifs, des échéances à des dates intermédiaires doivent être satisfaites. Elles sont

détaillées dans le tableau de la section 4 donnant le calendrier prévisionnel pour fin 2015 et 2016.

1. **Études et réalisations prévues**

* Mini-Tiroirs (Outillages)
* Les résultats des tests du Slider version 3 et du Panier version 2, effectués au CERN en novembre 2013, ont validé les améliorations qui avaient été décidées, et des modifications de détail ont ensuite été apportées.
* La réunion spéciale de Valence a permis de clarifier un peu le rôle de chacun des trois partenaires (Barcelone, Bucarest, Clermont-Ferrand). Les charges prises par Barcelone n’étaient pas encore bien claires à ce moment-là, mais depuis c’est plus simple, car Barcelone s’est retiré du jeu.
* Une première discussion avec le management du Tilecal et les parties prenantes restantes, Bucarest et Clermont-Ferrand ont fait progresser la situation, Gabriel Popeneciu devant jouer le rôle de coordinateur. Une entrevue directe entre les protagonistes des deux laboratoires est programmée les 9 et 10 juin 2015, le laboratoire étant toujours impliqué dans les outillages de manutention.
* La Note interne ATLAS qui valide le concept des Mini-Tiroirs et des outillages de manutention associés n’a pas encore été écrite : l’objectif est l’automne 2015 au plus tard.
* Hautes Tensions
* Dans une première phase de R&D, le LPC avait dénombré 6 options pour l’upgrade. Après réflexion, deux ont été retenues pour des tests comparatifs, conservant chacune le schéma électronique des boucles de régulation que le LPC avait élaboré pour ATLAS : l’option embarquée (reprise par Argonne et Lisbonne) et l’option déportée dans la salle de comptage USA15 d’ATLAS que nous avons pris en charge … bien qu’elle fut *a priori* rejetée *sine die* par Argonne
* Après avoir optimisé notre système de régulation déportée des HT individuelles de chaque PMT  (Plusieurs mois de travail), et en particulier résolu les problèmes de bruits signalés précédemment, nous avons effectué, depuis le CET d’octobre 2013, huit campagnes de mesures systématiques, au LPC et au CERN : mesures de bruits, de stabilité de la régulation, de corrélation entre bruit et régulation, etc., dans les conditions les plus proches possibles de la réalité (Câbles de 20 m et de 100 m, Ponts diviseurs actifs, alimentations HT Tilecal standard…) : les résultats valident pleinement cette solution qui est, de notre point de vue, très performante et la plus fiable.
* La dernière étape était l’étude de l’impact des HT sur le bruit au niveau du readout. Nous avons instrumenté, sur le Démonstrateur1, un Mini-Tiroir avec cette solution et un autre avec la solution Argonne embarquée (Schémas du LPC). Le groupe d’Argonne n’a pas voulu que nous effectuions une comparaison, souhaitant réaliser encore des développements. Nos mesures effectuées sur notre option montrent que le bruit induit est négligeable puisqu’il est inférieur à la précision sur les mesures données par le readout en l’absence de HT.
* Une Note interne ATLAS, datée du 13 mai 2015, présente les performances complètes des HT déportées : "*Performances of a Remote High Voltage Power Supply for the Phase II upgrade of the ATLAS Tile Calorimeter"*.
* Nous avons soumis un abstract et un résumé à la conférence TWEP qui se tiendra à Lisbonne en octobre 2015. Nous ne savons pas encore si notre proposition est retenue.
* Les dernières études concerneront le routage des câbles vers la caverne, l’emplacement des châssis de régulation dans USA15 et nos propositions d’optimisation du châssis de régulation pour sATLAS, et bien entendu la comparaison des deux options sur les faisceaux tests. Là encore, la collaboration devra accepter une comparaison sérieuse et documentée des deux options en lice.
* Nous avons proposé au laboratoire de Lisbonne de se joindre à nous en participant aux faisceaux tests puis de poursuivre cette activité, ce qui a été accepté par ses autorités de tutelle qui a demandé que nous designions deux consultants (Roméo Bonnefoy et François Vazeille).
* Ponts Diviseurs
* Le succès de cette étude a conduit la collaboration à anticiper la production de 350 Ponts supplémentaires (financés par la collaboration) afin d’équiper dès 2015 certaines parties du détecteur.
* Deux Note internes ATLAS rendent compte des performances et des tests de radiation effectués à Valduc (CEA) pour les neutrons et à Brookhaven (USA), par nos collègues d’Argonne : "*Active Dividers for the Tile Calorimeter for the ATLAS detector* (21 mai 2014)" et "*NIEL and TID certifications of the active Dividers of the Tile Calorimeter of the ATLAS detector for the Phase II upgrade* (13 janvier 2015)".
* L’édition de ces deux Notes concrétise le succès de cette R&D. Il appartiendra à la collaboration de décider si tout ou partie des ponts diviseurs passifs sont remplacés par des ponts actifs pour l’upgrade.
* Electronique VFE
* Suite au CET d’octobre 2013, et après discussion avec le Service de Micro-électronique, il était apparu qu’il fallait donner la priorité aux études de simulation du VFE, en accordant du temps aux personnels concernés.
* Plutôt que de développer un nouveau chip TACTIC, il avait été finalement décidé de réaliser un chip FATALIC 4 optimisé, qui incluait 3 ADC TACTIC (corrigés des défauts de non linéarité et associés chacun, respectivement, à des gains bas, moyen et haut) plus un supplémentaire pour des tests spécifiques, ainsi qu’une copie pour tests de la partie analogique avec les 3 gains.
* Lancée en mai, la fonderie de 80 chips a été livrée fin aout 2014 et la version empaquetée a été livré le 17 septembre 2104.
* Un programme détaillé de tests a été établi avec les services de micro-électronique et d’électronique, tests qui font appel aux cartes d’électronique FE (ci-dessous), avec la contribution de ces services techniques, puis des physiciens.
* Electronique FE
* Une première phase de développement a concerné l’électronique FE qui accompagne les chips: la carte "Tout-en-1" qui reçoit le chip (logée dans chaque Bloc PMT) a été étudiée d’abord par Baptiste Joly puis reprise par Richard Vandaele ; la version prototype MB0 d’un quart de carte "Main Board" reliée à 3 Blocs PMT d’un Mini-Tiroir a été conçue par Roméo Bonnefoy.
* Cette Main Board sera compatible avec l’option 2 (FATALIC 4 du LPC) et l’option 3 (QIE d’Argonne), ce qui signifie que nous travaillons aussi pour une option concurrente qui, comme celle du LPC, demande du temps, alors que l’option 1 de Chicago est une évolution de leur produit initial.
* Il faut noter que, comme FATALIC 4, les cartes Tout-en-1 et Main Boards comportent des éléments supplémentaires liés à leurs tests, éléments qui disparaitront dans les versions finales.
* Des tests systématiques ont été effectués d’abord par le service de micro-électronique (Laurent Royer, en particulier) sur les chips FATALIC4, puis par Roméo Bonnefoy et quatre physiciens (Geoffrey Gilles, Romain Madar, Dominique Pallin, François Vazeille) sur un banc test associant tous les éléments, à l’exception de la Daughter Board de Stockholm dont la version officielle n’est pas encore disponible. Ce banc test peut fonctionner avec un générateur au niveau de la carte Tout-en-1 ou avec des impulsions lumineuses en associant jusqu’à 3 LEDs et un bloc PMT complet équipé d’un PMT et d’un Pont diviseur actif. Ces LEDs permettent de simuler des signaux physiques, du fond continu et de l’empilement.

Ces tests ont permis de valider la majorité des fonctionnalités du chip et des cartes électroniques.

Ils ont aussi révélé quelques défauts de conception du chip concernant notamment certaines alimentations et la sélection automatique de deux gains sur trois.

Il a été décidé de commander une nouvelle fonderie d’un chip FATALIC4b qui sera exempt de ces défauts et sera utilisé pour équiper deux Mini-Tiroirs (24 voies au total) sur le faisceau test d’octobre.

Entretemps, les tests se poursuivent : linéarité, bruit, forme du signal, reconstruction du signal par la méthode du filtrage optimum, etc.

* Connaissant enfin les branchements (le pin-out) de la Daughter Board officielle, et tirant bénéfice des tests avec la version réduite MB0, il a été possible de finaliser le schéma de la Main Board commune aux deux options Argonne et Clermont-Fd. Les commandes relatives à la fabrication de cette carte sont soit lancées, soit en cours (Circuit imprimé, composants, mise en place des composants.
* Ce travail a également été proposé à la conférence TWEP de Lisbonne. Le choix n’est pas encore connu.
* Des tests avec la source de Césium (Calibration) sont programmés en septembre-octobre 2015, sans besoin de la Main Board, afin de revoir la sommation digitale et non analogique des signaux Césium.
* L’objectif majeur est la comparaison des options 1 (Chicago) et 2 (Clermont-Ferrand) sur le faisceau test d’octobre 2015, puis avec l’option 3 au printemps 2016.

**● Les participations aux "Experts Weeks" au CERN et aux réunions (CERN, Vidéo) sont vitales.**

**● L’activité majeure pour les années 2015 et 2016 concerne l’électronique VFE/FE :**

**- Bien qu’il s’agisse des upgrades Phase II, les choix entre les différentes options se feront**

**pendant la Phase 0, suite aux tests comparés en faisceau test en 2015 et aussi en 2016.**

* **L’activité Ponts diviseurs actifs est terminée. L’option HT déportée doit être comparée avantageusement à l’option embarquée. L’activité sur les Outillages demande encore une clarification et un suivi avec peu d’évolutions.**

**● Une réflexion est déjà menée sur la concrétisation des R&D en vue du partage des tâches pour l’upgrade, avec l’éventualité de l’équipement d’un quart du détecteur bien avant la Phase II.**

**● Il est important de noter que toutes les R&D engagées par le LPC peuvent être crédités de succès, ce qui n’était ni gagné d’avance ni perçu *a priori* positivement par la collaboration.**

**● La contribution des physiciens aux travaux liés à l’upgrade s’est étoffée grâce au recrutement d’un chercheur CNRS, Romain Madar et les aides ponctuelles de doctorants et post-docs qui ont affirmé leur intérêt à participer aux tests et analyses correspondantes.**

1. **Calendrier prévisionnel de juin 2015 à juin 2016 :**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Service | Description tâches | Responsables | Dates | mois ETP Ingé. | mois ETP Tech. |
| Electronique | Coordination technique | Roméo Bonnefoy | Permanent | 2 |  |
|  | Réalisation de 2 câbles HT | Eric Sahuc | Juin 2015 |  | 0.1 |
|  | Tests et jouvence cartes HT | ? | Juin 2015 | 0.1 |  |
|  | Design cartes All In One FATALIC4b |  | Juin 2015 | 0,5 |  |
|  | Test Main Board v1  y compris avec Daughter Board | Roméo Bonnefoy | Fin Juin à Septembre 15 | 1,5 |  |
|  | Câblage de 30 cartes All In One FATALIC4 | Christian Fayard | Juillet  Aout 2015 |  | 0.75 |
|  | Test All In One | Roméo Bonnefoy | Aout Septembre 15 | 0,5 |  |
|  | Test Beam 2015 du  Démonstrateur et installation | Roméo Bonnefoy | Septembre Octobre 2015 | 1 | 1 |
|  | Evolution du code VHDL MB | Roméo Bonnefoy | Octobre 2015 à Juin 2016 | 3 |  |
|  | Tests dans le hall 175 au CERN | Roméo Bonnefoy | Septembre 15  à Juin 2016 | 0,5 |  |
|  | Test Beam 2016 du  Démonstrateur et installation | Roméo Bonnefoy | Entre Janv et  Juin 2016 | 1 | 0,5 |
|  | Développement pour test au radiations et test | Roméo Bonnefoy | ? Janv à  Juin 2016 | 2 | 0,5 |
| Microélectronique | Test FATALIC4b + Rapport | Laurent Royer | Septembre à  Novembre 15 | 1 |  |
|  | Test Beam 2015 du  Démonstrateur et installation | Laurent Royer | Octobre 2015 | 0,5 |  |
|  | Tests dans le hall 175 au CERN | Laurent Royer | Novembre 15 à Juin 2016 | 0,25 |  |
|  | Test Beam 2016 du  Démonstrateur et installation | Laurent Royer | Entre Janv et  Juin 2016 | 0,25 |  |
| Mécanique | Upgrade outillages | François Daudon | Septembre Octobre 2015 | 1 | 0,5 |
|  | Test Beam 2015 du  Démonstrateur et installation | François Daudon | Septembre Octobre 2015 | 1 | 1 |
|  | Tests dans le hall 175 au CERN | François Daudon | Novembre 15  à Juin 2016 | 0,25 | 0,25 |
|  | Test Beam 2016 du Démonstrateur et installation | François Daudon | Entre Janv et  Juin 2016 | 0,5 | 0,5 |
| Informatique | DCS Test Beam & Hall 175 | Patrick Lafarguette | Septembre 15 | 1 |  |