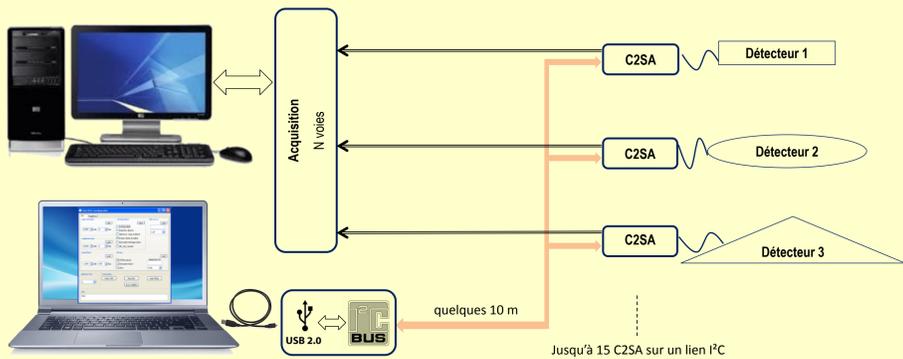


Système de Préamplificateurs de Charge Configurables

CNRS-IN2P3-LPC Caen-ENSICAEN-Université de Caen
S. Drouet, L.Leterrier
CNRS-IN2P3-GANIL
P.Vallerand* (*maintenant au LAL Orsay)
Contact : leterrier@lpc.caen.in2p3.fr

Architecture

Ce système est composé d'un ensemble de préamplificateurs de charge indépendants et interconnectés par un bus I2C. Ce bus permet la configuration de chacun des PAC grâce à un PC et une liaison USB. Chaque PAC repose sur un ASIC nommé Configurable Charge Sensitive Amplifier (C2SA). Cet ASIC a été conçu pour répondre à la plupart des expériences de physique nucléaire.



Architecture du système complet

Au maximum, 15 PAC C2SA peuvent être connectés sur le bus I2C qui peut s'étendre jusqu'à quelques dizaines de mètres. Grâce à ce système, l'utilisateur peut programmer et contrôler à distance les paramètres de chacun des PAC C2SA (temps de décroissance, gain, unipolarité/bipolarité, etc.). De plus, il peut utiliser le générateur de tests intégré dans chaque ASIC pour valider le fonctionnement de sa chaîne d'instrumentation. Il est à remarquer que le bloc "Acquisition" ne fait pas partie du système fourni, il revient à l'utilisateur de définir le type d'acquisition souhaitée: soit une acquisition traditionnelle, soit un numériseur.

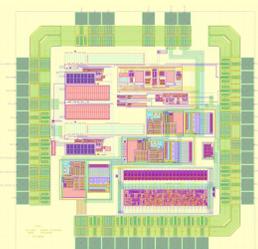
Le système proposé a les caractéristiques suivantes :

- Configuration des PAC par un PC disposant d'une connexion USB
- Slow Control via I2C (intégré dans l'ASIC) sur quelques 10 m
- Possibilité d'interconnecter jusqu'à 15 PAC sur un bus I2C
- Sorties différentielles ou unipolaire pour l'énergie et le temps
- ASIC C2SA:
 - ASIC développé en technologie AMS 0.35 μm CMOS
 - Gamme en énergie: 100 keV à 1,5 GeV
 - Résolution: <10 keV FWHM avec Cdet=60 pF (soit 4.25 keV RMS)
 - Linéarité <1 %
 - Temps de montée d'entrée : >10 ns
 - Constante de décroissance: 280 ns à 180 μs
 - Polarité des signaux : Unipolaire ou Bipolaire
 - Taux de comptage: <5 kHz
 - Générateur de test intégré dans l'ASIC

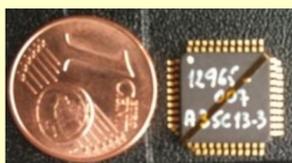
Préamplificateur de charge C2SA

L'ASIC C2SA est un développement commun entre le LPC Caen et le GANIL. Cet ASIC est principalement constitué :

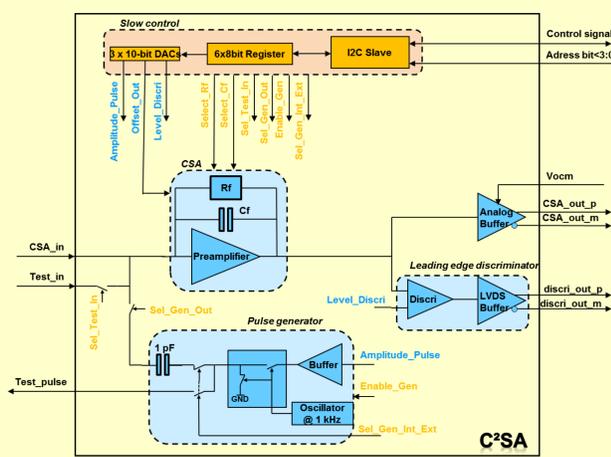
- d'un PréAmplificateur de Charge (PAC),
- d'un discriminateur à seuil,
- d'un générateur d'impulsion de test,
- d'une interface de configuration via un lien de type I²C (Building block fourni par l'IPN Lyon).



Layout de l'ASIC C2SA



ASIC C2SA



Synoptique simplifié de l'ASIC C2SA

Voici les paramètres configurables par le lien I2C :

- Pour le PAC :
 - la constante de décroissance et le gain sont configurables (277 k Ω \times Rf < 4,37 M Ω et 1 pF < Cf < 41,8 pF)
 - l'unipolarité ou la bipolarité en configurant les tensions de polarisation via un DAC 10 bits (pas de 3,2 mV)
- Pour le générateur de tests intégré :
 - la mise en marche/arrêt du générateur
 - l'amplitude de l'impulsion via un DAC 10 bits (pas de 3,2 mV)
 - l'utilisation d'un générateur externe au lieu du générateur intégré
- Pour le discriminateur à seuil :
 - la tension de seuil via un DAC 10 bits (pas de 3,2 mV)

Les informations de « charge » et de déclenchement sont disponibles sur des sorties différentielles.

Caractérisation de l'ASIC C2SA

Constante de décroissance

Suivant le couple Rf et Cf configuré, la constante de décroissance mesurée est comprise entre 280 ns et 155 μs .

Linéarité

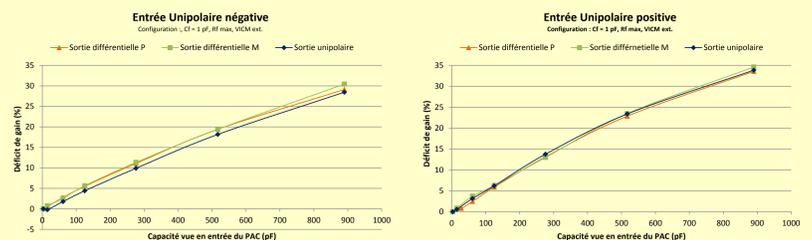
Les linéarités ont été déduites des fonctions de transfert mesurées du PAC et avec un PAC ayant un gain de 1,96 (Cf=1 pF, Cinj=1,96 pF).

Les énergies données ci-dessous correspondent aux énergies déposées dans un détecteur silicium :

| Polarité des signaux d'entrée du PAC | Unipolarité négative | Unipolarité positive | Bipolarité |
|--------------------------------------|----------------------|-----------------------|--------------------------|
| Dynamique en énergie pour INL<1% | [2,1; 30,1] MeV | [-30,3; -2,1] MeV | [-17,2; 15,3] MeV |
| Dynamique en énergie / INL | [0; 33,9] MeV / 4,1% | [-38,4; 0] MeV / 2,6% | [-19,3; 19,4] MeV / 3,9% |

Déficit de gain

Ce déficit correspond à la perte de gain due à l'augmentation de la capacité de détecteur. En théorie, ce déficit est égal à $\frac{C_D}{A_0 \times C_f}$ (A_0 =Gain en BO du PAC)



Bruit Large Bande

Cette mesure correspond au bruit de la voie énergie sans filtrage et sans capacité de détecteur. Cette donnée est utile pour les acquisitions qui numérisent directement les signaux de charge et les filtrent numériquement.

| Polarité des signaux d'entrée du PAC | Unipolarité négative | | Unipolarité positive | |
|--------------------------------------|-----------------------|-----------------------|-----------------------|-----------------------|
| Type de sortie | Unipolaire | Différentielle | Unipolaire | Différentielle |
| Bruit large bande | 462 μV RMS | 292 μV RMS | 383 μV RMS | 264 μV RMS |

Charge équivalente de bruit (CEB)

Les CEB données ci-dessous sont mesurées après filtrage d'un amplificateur de spectroscopie et avec un PAC ayant un gain de 1,96 (Cf=1 pF, Cinj=1,96 pF).

| Polarité des signaux d'entrée du PAC | Unipolarité négative | | Unipolarité positive | |
|--------------------------------------|----------------------|------------|----------------------|-------------|
| Cd | 0 pF | 60 pF | 0 pF | 60 pF |
| CEB mesurée | 720 e- RMS | 943 e- RMS | 875 e- RMS | 1068 e- RMS |
| Equivalent CEB pour Silicium | 6,1 keV FWHM | 8 keV FWHM | 7,4 keV FWHM | 9 keV FWHM |

Suite aux mesures de CEB effectuées, nous avons déterminé les équations des droites de régression linéaire du taux d'accroissement de la CEB (e- RMS) en fonction de la capacité de détecteur Cd et pour un shaping time de 0,5 μs .

Unipolaire négatif : CEB = 7 x Cd + 630 (Cd donnée en pF)

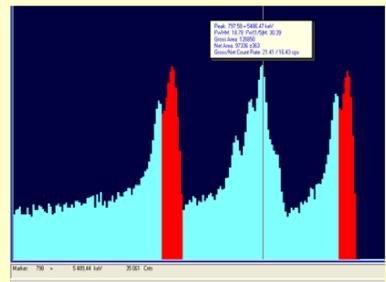
Unipolaire positif : CEB = 6,7 x Cd + 810 (Cd donnée en pF)

Walk et Jitter du discriminateur à seuil

Pour une dynamique de 10, le temps de walk est inférieur à 9 ns et le jitter inférieur à 450 ps RMS. Ces mesures sont faites en injectant un signal provenant d'un générateur de test dont les amplitudes s'étalent entre 50 et 500 mV.

Résultat expérimental

Le système complet a été testé avec une source 3 alpha (^{239}Pu , ^{241}Am , ^{244}Cm) et une photodiode (10keV FWHM). Celle-ci a été polarisée à +120V via la carte C2SA. La capacité équivalente (détecteur+câbles) ramenée à l'entrée du PAC est estimée à 80pF. La sortie Energie de la carte C2SA a été connectée à une acquisition traditionnelle par un câble de 10 m. La configuration du PAC est la suivante: Cf=1pF, Rf=4,37M Ω , unipolaire négatif. La résolution du dispositif est de 18,8keV FWHM, et celle de la carte C2SA est égale à 15,2keV FWHM.



Spectre d'émission alpha d'une source mixte

Conclusion et Perspectives

Ce premier prototype d'ASIC répond bien aux caractéristiques souhaitées. Cependant une nouvelle soumission d'ASIC se fera pour corriger quelques bugs et surtout pour intégrer de nouvelles fonctionnalités telles qu'une sortie courant et un discriminateur à faible walk.

D'un point de vue système, il faudra aussi diminuer l'encombrement des cartes et notamment celle intégrant l'ASIC C2SA qui est pour l'instant une carte prototype permettant de tester la série d'ASIC reçus.

Une nouvelle version de la carte USB/I2C va être réalisée en intégrant un ADC permettant ainsi la numérisation d'une voie de charge. Cette fonctionnalité permettra à l'utilisateur de disposer d'une voie de type "oscilloscope" et ainsi vérifier que le détecteur et le PAC fonctionnent correctement.