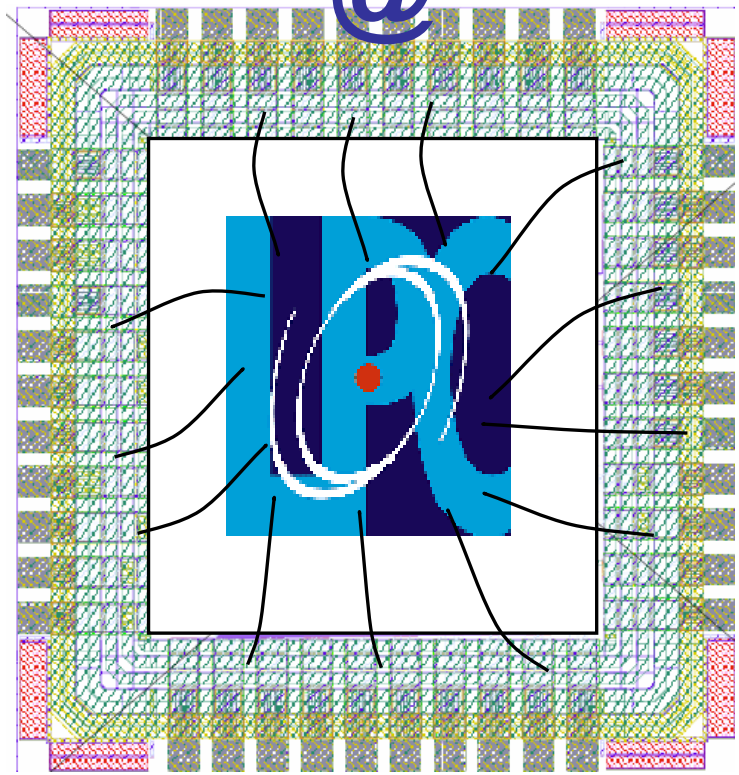
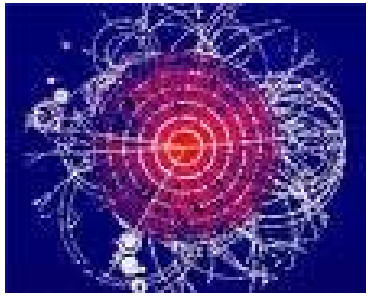
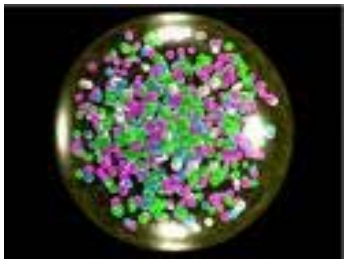
Le métier de micro-électronicien @







Laurent ROYER

Le métier de micro-électronicien @

Préambule

Cette présentation a été motivée par:

- curiosité de Claude F.
- présentation de Jean-Claude C. sur travail informatique dédié à la grille
- intérêt exprimé à St-Flour pour séminaires techniques

Cette présentation ne sera pas:

- un cours de micro-électronique
- une présentation du service de micro-électronique du LPC

Sommaire

1. Le contexte: la micro-électronique
2. La brique de élémentaire: le transistor
3. Les étapes de conception
4. Le test … et le reste
5. Conclusion

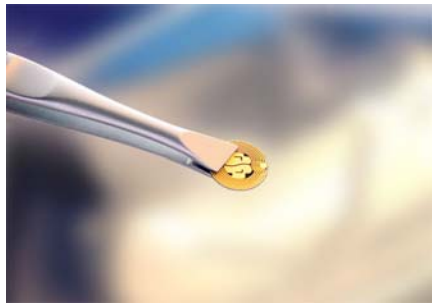
1. Le contexte: introduction à la μ-électronique.

Électronique et micro-électronique

Circuit électronique

Qu'est-ce-que la micro-électronique ?

La microélectronique consiste en la réalisation miniaturisée de fonctions électroniques sur un seul support (du silicium en général).



Circuit micro-électronique

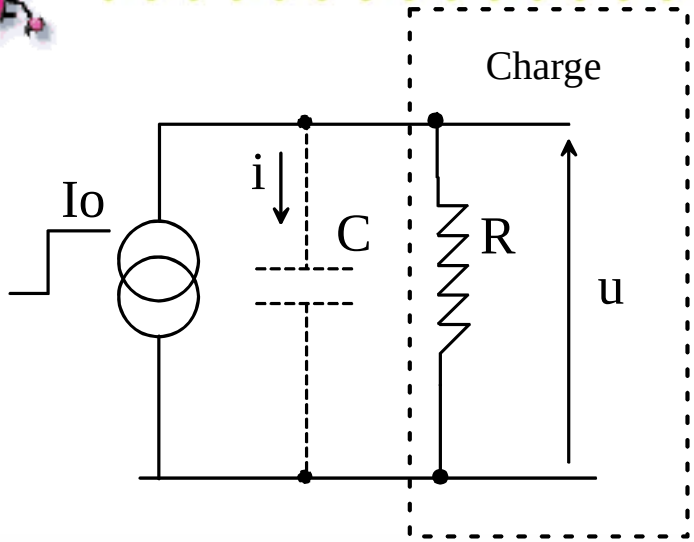
Les atouts de la micro-électronique:

- ↗ Intégration (↘ volume et poids)
- ↘ Consommation ⇨ ↗ Autonomie
- ↗ Vitesse (puissance de calcul)
- ↗ Fiabilité ↗ Confidentialité
- ↘ Coût (production de masse)
- ↗ Tenue aux radiations

Les limitations de la micro-électronique:

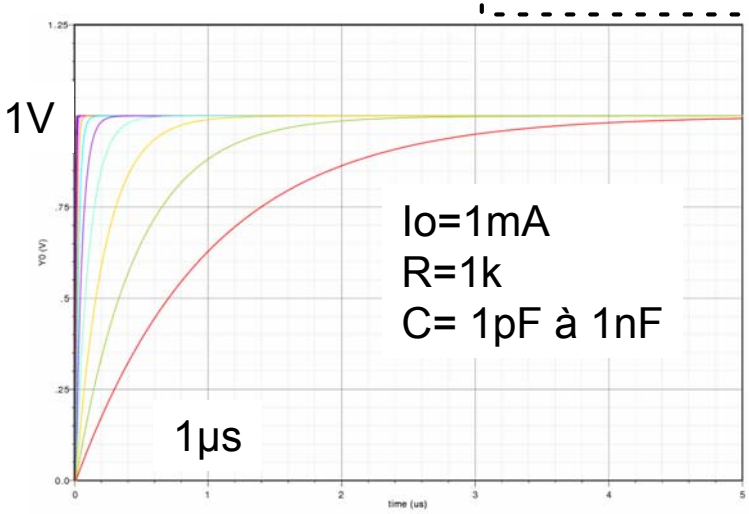
- ↗ Coût (petite et moyenne production)
- ↗ Délai de conception (savoir faire)
- ✓ Électronique figée
- ↘ Testabilité
- ...

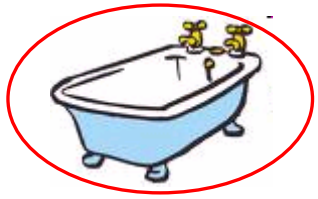
Capacité, consommation et vitesse



- ✓ Une source de courant Io
- ✓ Une charge résistive R
- ✓ Une charge capacitive parasitique C

$$u = \frac{1}{C}\int_0^T i.dt$$





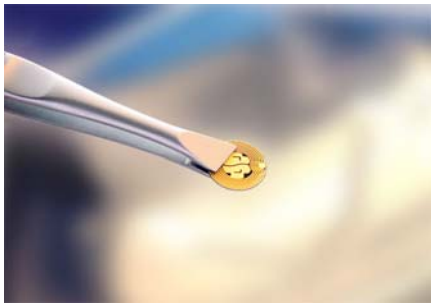
Les valeurs de la capacité de charge et du courant déterminent la vitesse de fonctionnement.

Miniaturisation et consommation

Circuit électronique

réduction taille

mm → **µm**



Circuit intégré

réduction capacités

pF → **fF**

$$C = \varepsilon \frac{S}{e}$$

Puissance dissipée $P=f.C.VDD^2$

réduction consommation
augmentation vitesse

mA → **µA**

$$u = \frac{1}{C}\int_0^T i.dt$$

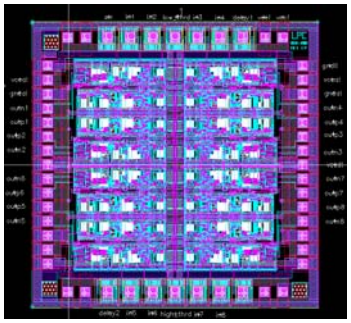
La miniaturisation permet d'augmenter le rapport vitesse/consommation

+ meilleure tenue aux radiations

Choix: électronique ou micro-électronique

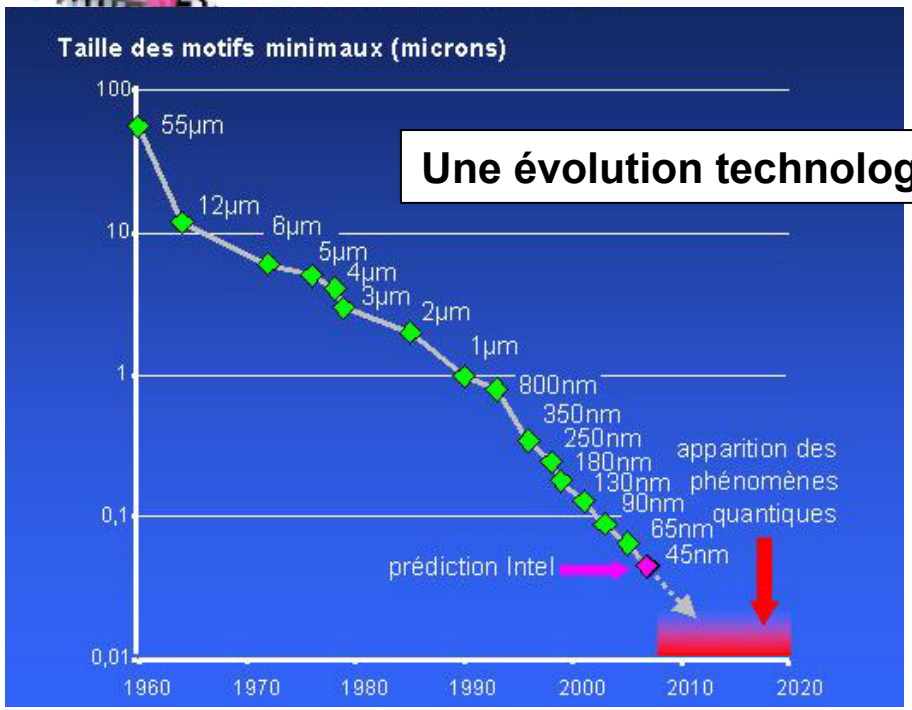
Exemple de comparatif pour l'électronique frontale du Trigger Dimuon d'Alice :

- ✓ **21 000 voies – 3000 circuits**

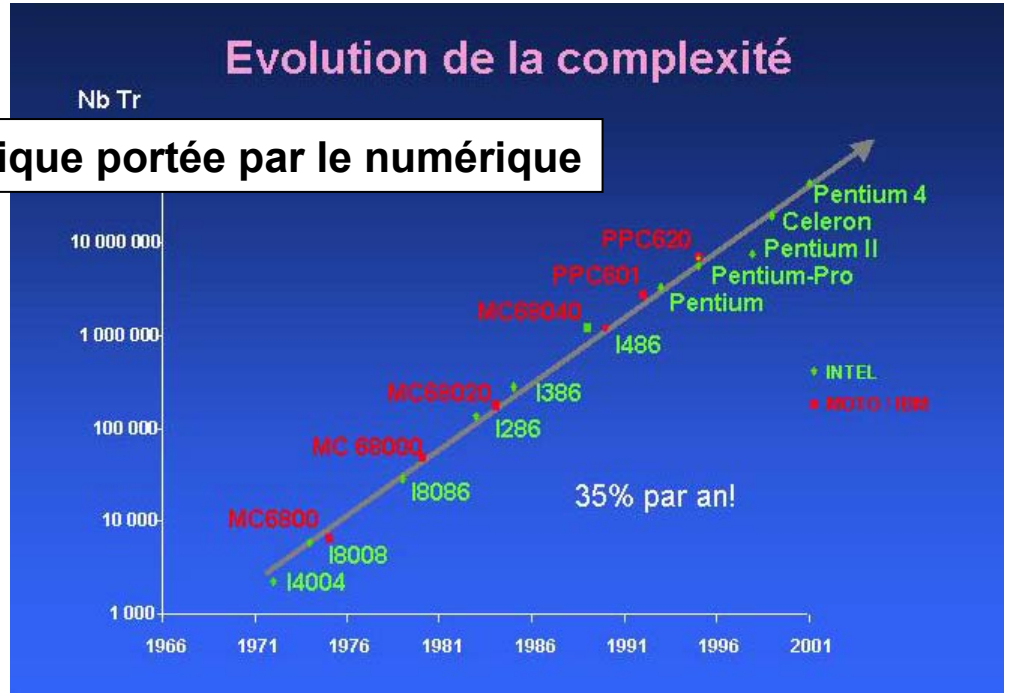


	Composants du commerce	Circuit ALICE ADulT
Cout par voie (estimation 2001)	> 100 €	≈ 3 €
Cout total (estimation 2001)	> 2 M €	≈ 63 k€
Consommation par voie	832 mW	100 mW
Consommation totale	17 kW	2 kW

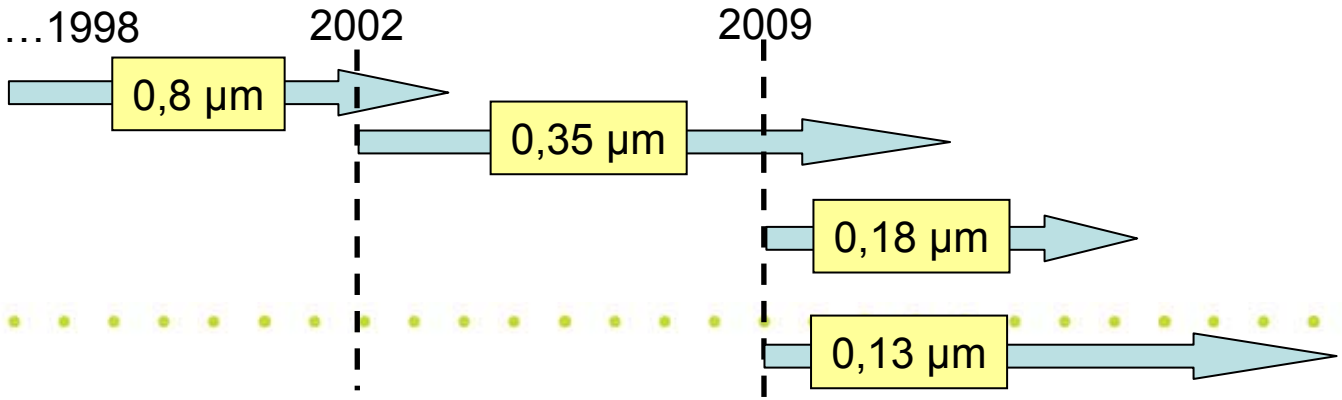
Une évolution continue



Une évolution technologique portée par le numérique



Au LPC (idem IN2P3), pour développements **analogiques**:



Miniaturisation et tension d'alim.

Evolution des technologies → baisse des tensions d'alimentation

ITEM	1997	1999	2001	2003	2006	2009	2012
FEATURE [nm]	250	180	150	130	100	70	50
CHIP SIZE [cm^2]	3	3.4	3.85	4.3	5.2	6.2	7.5
COMPLEXITY [MOS]	11M	21M	40M	76M	200M	520M	1.4G
DENSITY [MOS/cm^2]	3.7M	6.2M	10.4M	17.7M	38.5M	83.9M	186.7M
GLOBAL CLOCK [GHz]	0.75	1.2	1.4	1.6	2	2.5	3
LOCAL CLOCK [GHz]	0.75	1.25	1.5	2.1	3.5	6	10
VDD SUPPLY [V]	2.5 - 1.8	1.8 - 1.5	1.5 - 1.2	1.5 - 1.2	1.2 - 0.9	0.9 - 0.6	0.6 - 0.5
POWER [W]	70	90	110	130	160	170	175
METAL LEVELS	6	6 to 7	7	7	7 to 8	8 to 9	9
METAL LENGTH [Km]	0.8	1.2	1.8	3	5	10	24
COST/MOS [10^{-6} cent]	3000	1735	1000	580	255	110	49
CHIP COST [$]	330	357	400	440	510	572	686

Baisse tension alim. et rapport signal sur bruit

Ex: on veut réaliser un pèse personne de charge max. de 100kg et de résolution de 10g

- ✓ Si 100kg ⇔ 2,0 V (tension d'alim. de 2,5V) → 10g ⇔ 200µV
- ✓ Si 100kg ⇔ 0,5 V (tension d'alim. de 1,0V) → 10g ⇔ 50µV

- Le rapport signal sur bruit est dégradé par la baisse de la tension d'alimentation.

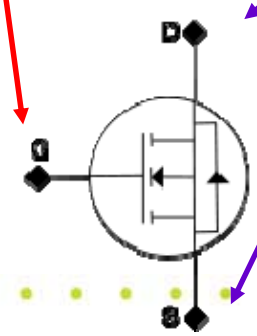
- La tension d'alim. réduite doit être partagée par plusieurs transistors "empilés" verticalement
  - limite fonctionnement en régime linéaire → régime faible inversion
  - nouveaux schémas: structures repliées, signal en courant

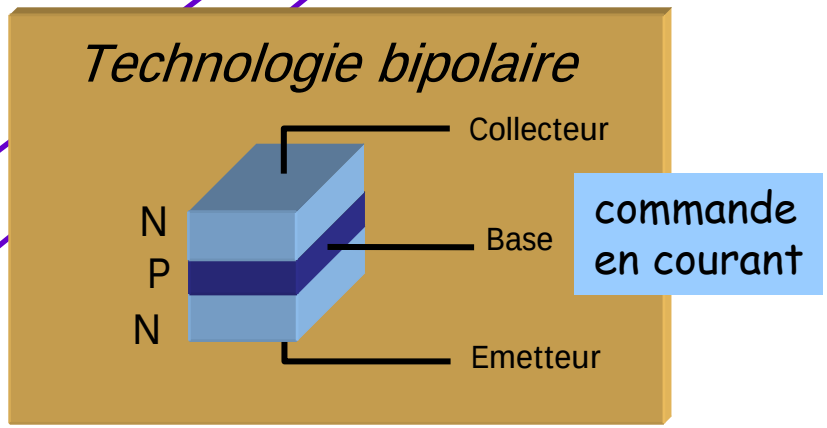
2. La brique élémentaire: le transistor

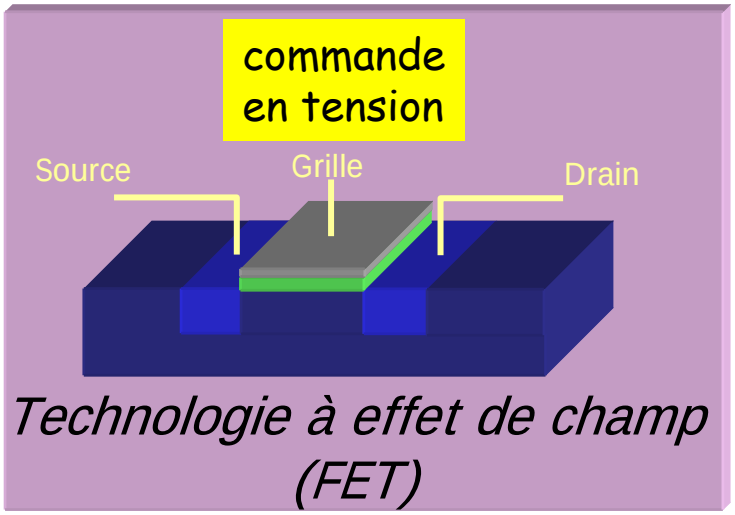
Bell Labs - 1947

Le transistor: la brique élémentaire

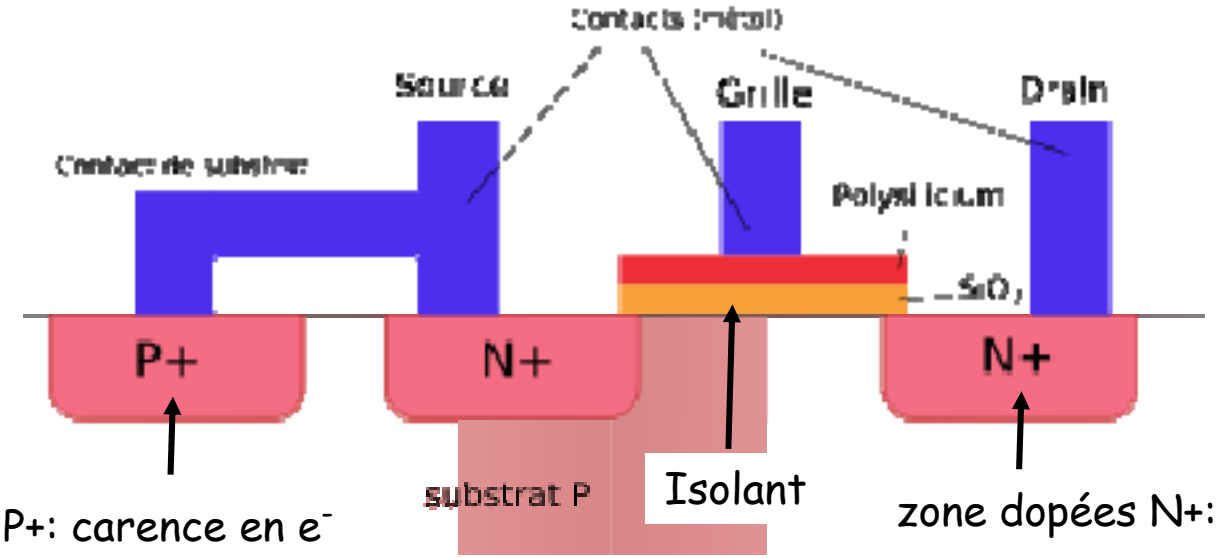
Définition: le transistor est un dispositif actif semi-conducteur à trois électrodes qui permet le contrôle d'un courant **des électrodes de sorties** grâce à une **électrode d'entrée**.







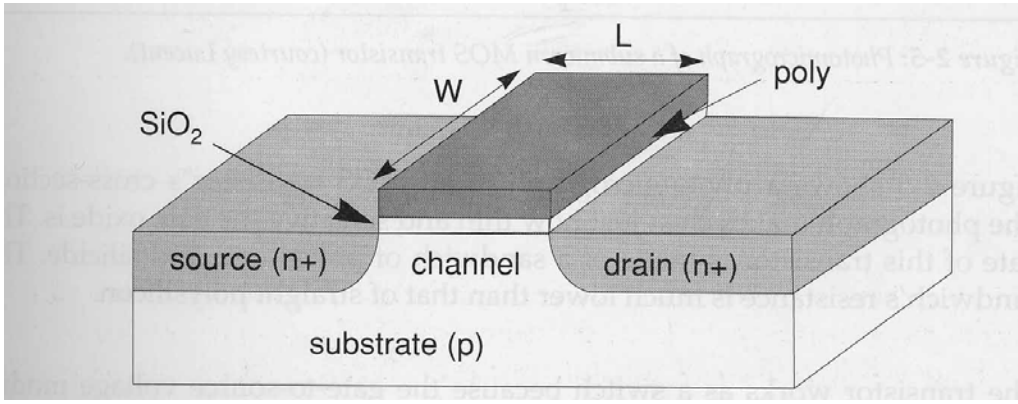
Le transistor N-MOS(FET)



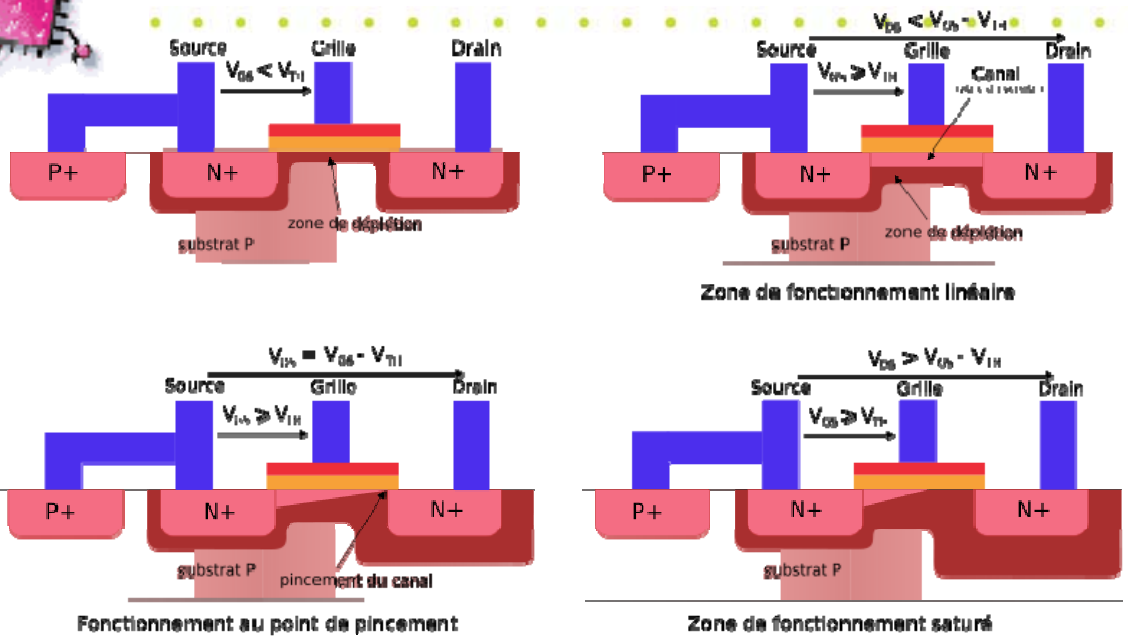
zone dopées P+: carence en e^-

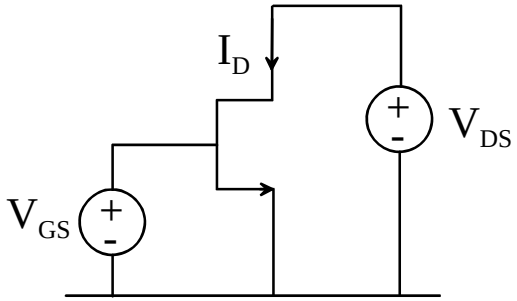
zone dopées N+: excès d'e^-

Grille – Oxyde -Substrat → condensateur C = Cox W * L



Fonctionnement du transistor N-MOS





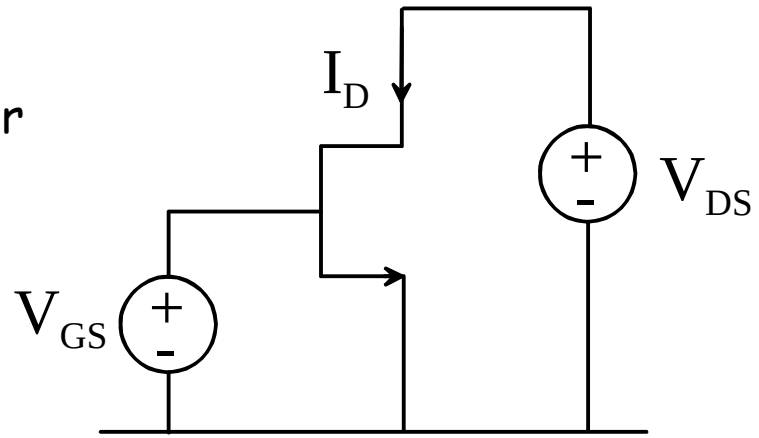
✓ Tension positive sur grille → les électrons attités à l'interface isolant-semiconducteur et trous repoussés

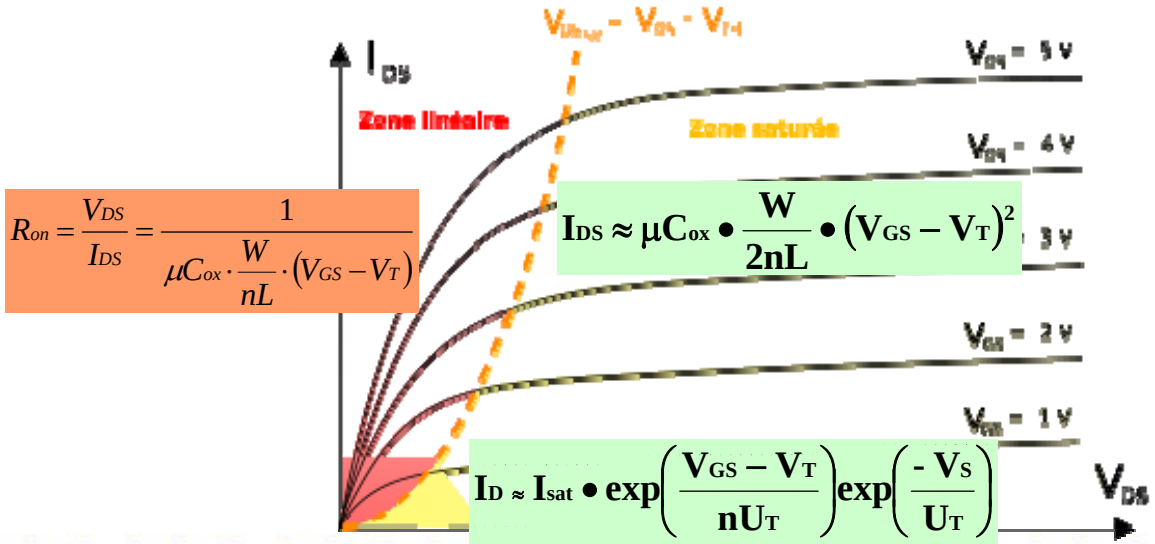
✓ Pour $V_{GS}>V_{TH}$ → apparition couche d'inversion apparaît → transistor de plus en plus passant → Le courant source-drain est modulé par la tension de grille → zone linéaire

✓ Pour $V_{DS}>V_{GS}-V_{TH}$ → inversion locale du champ électrostatique entre le substrat et la grille au voisinage du drain → le canal d'électrons y disparaît, le courant sature → toute augmentation de la tension de drain au-delà de la tension de saturation conduit à une disparition encore plus précoce du canal d'électrons, et à une augmentation faible voire nulle du courant → zone saturée

Les régimes de fonctionnement du transistor

Un composant "sous tension" pour donner le meilleur de lui-même.



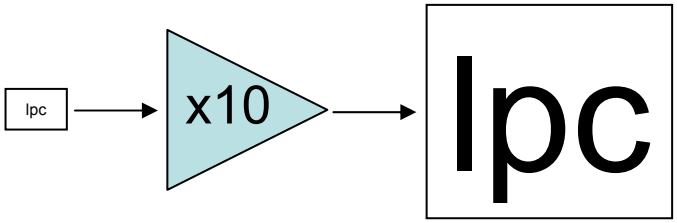


Fonctionnement du transistor déterminé par V_{GS}, V_{DS}, I_D et W/L.

Le transistor: la bête à tout faire

Le transistor: un bête à 4 pattes qui se transforme en:

- ✓ Amplificateur



$(U,I)=G.(u,i)$

- ✓ Résistance

$U=R.I$

- ✓ Interrupteur

ON (R=0) ou OFF (R = ∞)

- ✓ Source de courant ou de tension

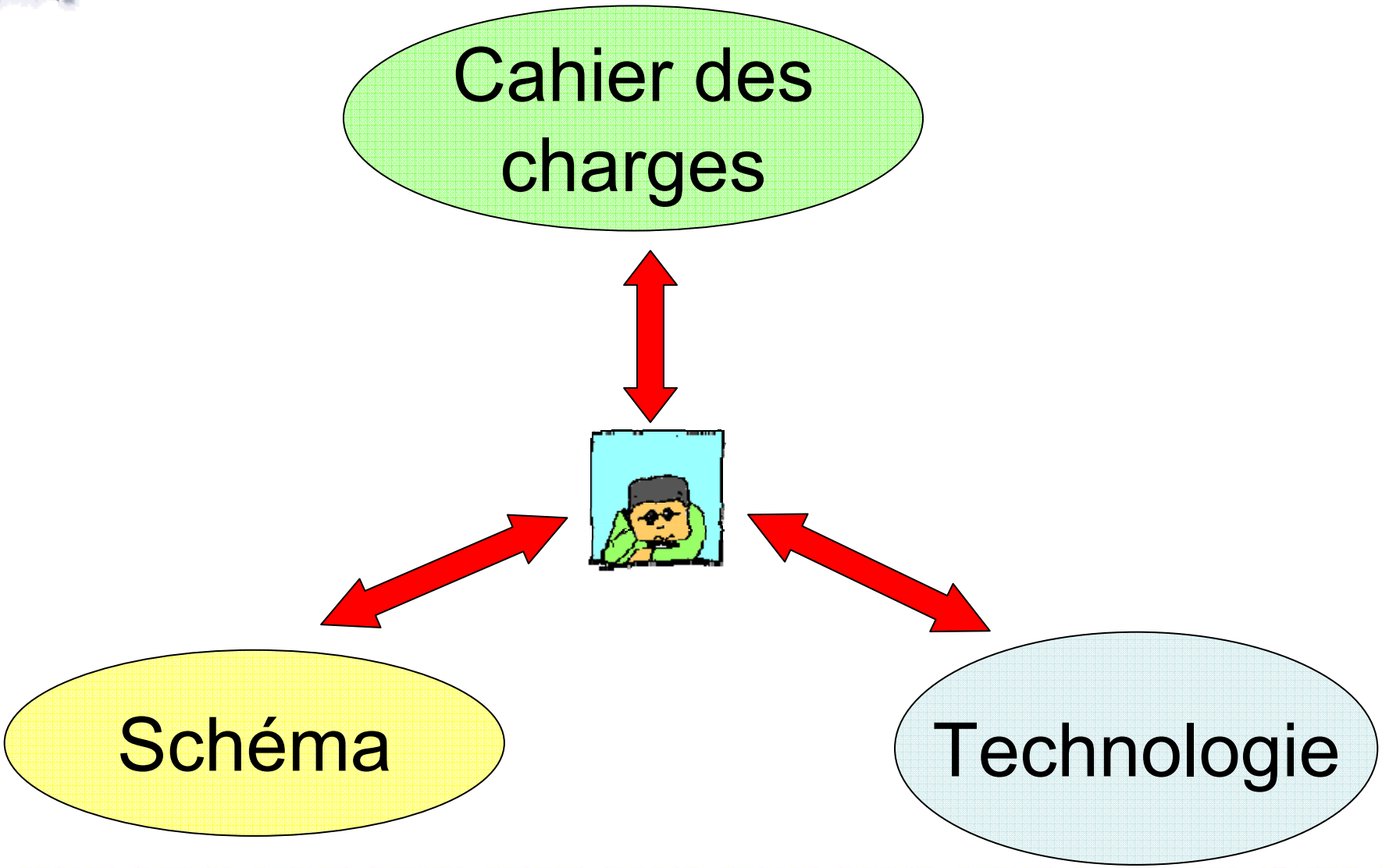
I constant
U constant

- ✓ Condensateur

En jouant sur la taille et la polarisation

3. Les étapes de conception

Le travail du designer



Le cahier des charges

Cahier des charges du physicien

Consommation

Dynamique

Bruit (SNR)

Prix

Intégration

Vitesse

Résolution

Nombre de voies

Charge

Délais

Sensibilité variation tensions alim

Sensibilité variation température

Tenue aux radiations……..

Contraintes sur conception

Tension d'alimentation

Courant statique/dynamique

Surface

Rendement

Nombre voies/ circuit

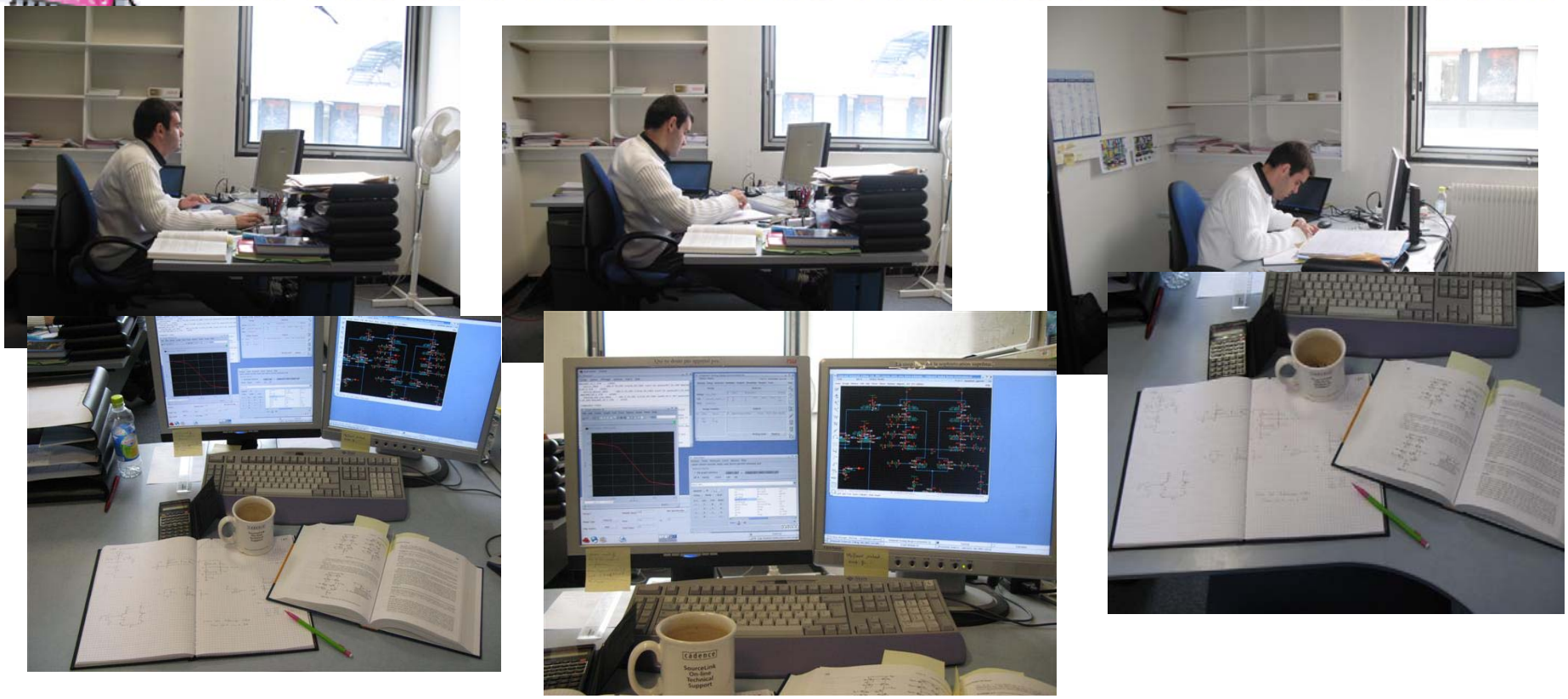
Technologie

Slew rate

Stabilité

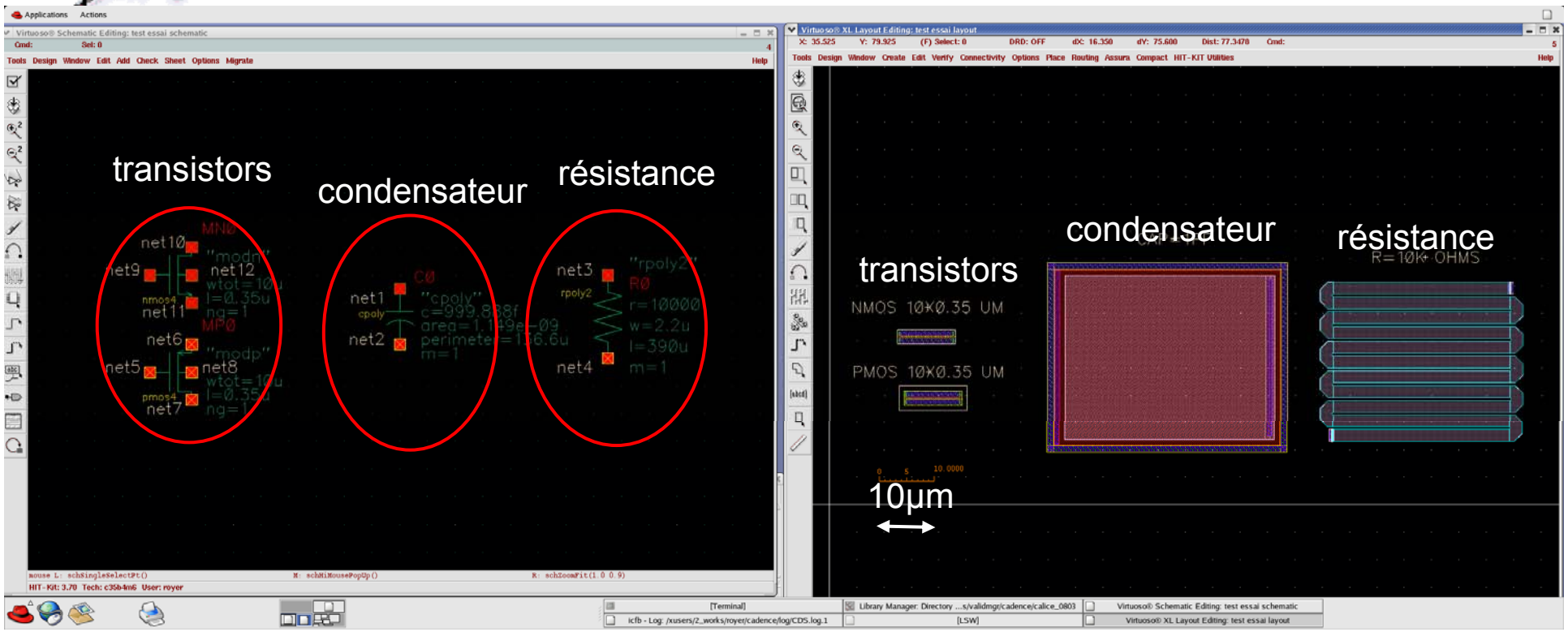
Linéarité……..

L'étude



- ✓ L'étude s'appuie sur une recherche bibliographie → état de l'art
- ✓ Des calculs (un peu), des simulations (beaucoup) ….et du café/thé

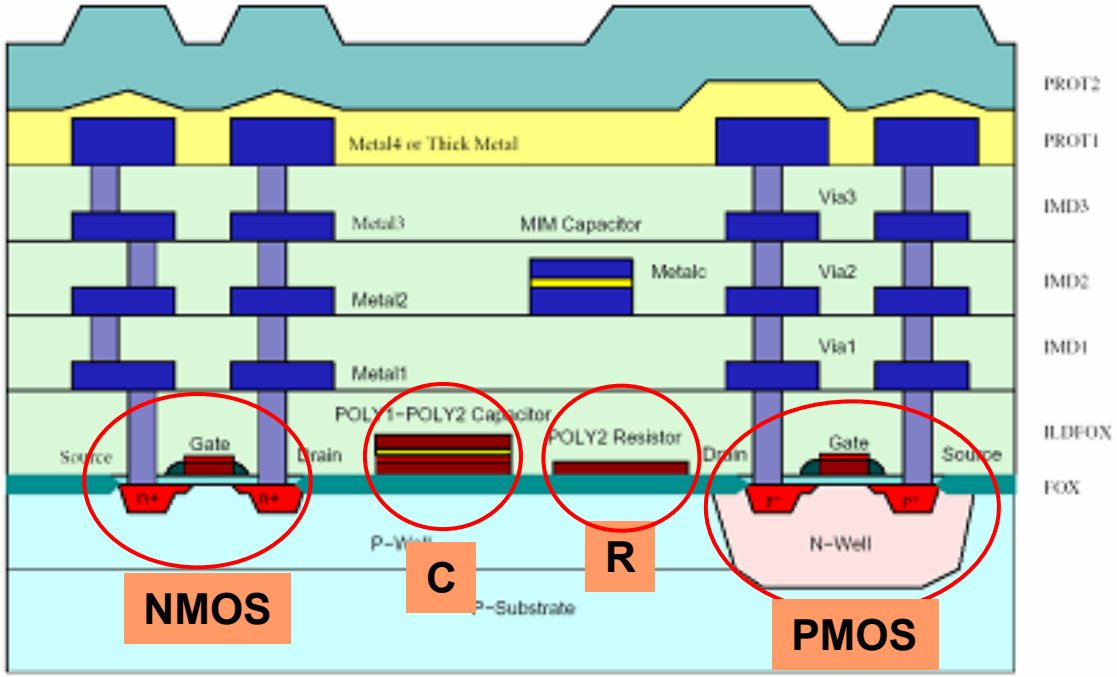
La "palette de couleurs"



- ✓ Seulement 4 types de composants disponibles: NMOS, PMOS, C, R
- ✓ Dimensionnement "libre"
- ✓ Précision absolue de l'ordre de 10% → **process**
- ✓ Précision relative < 1% → **appariement**

La techno. à la coupe

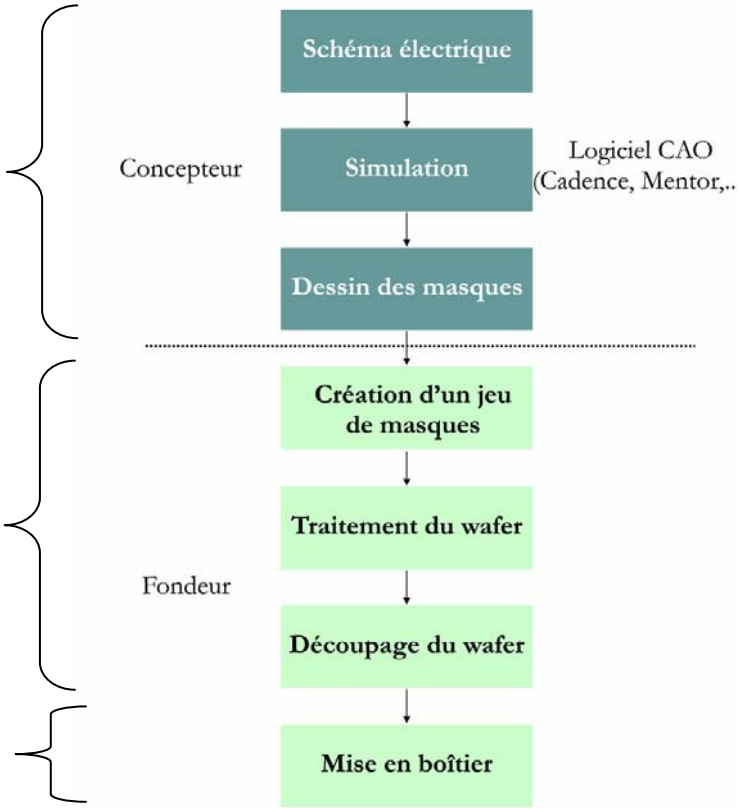
4 couches de métallisation



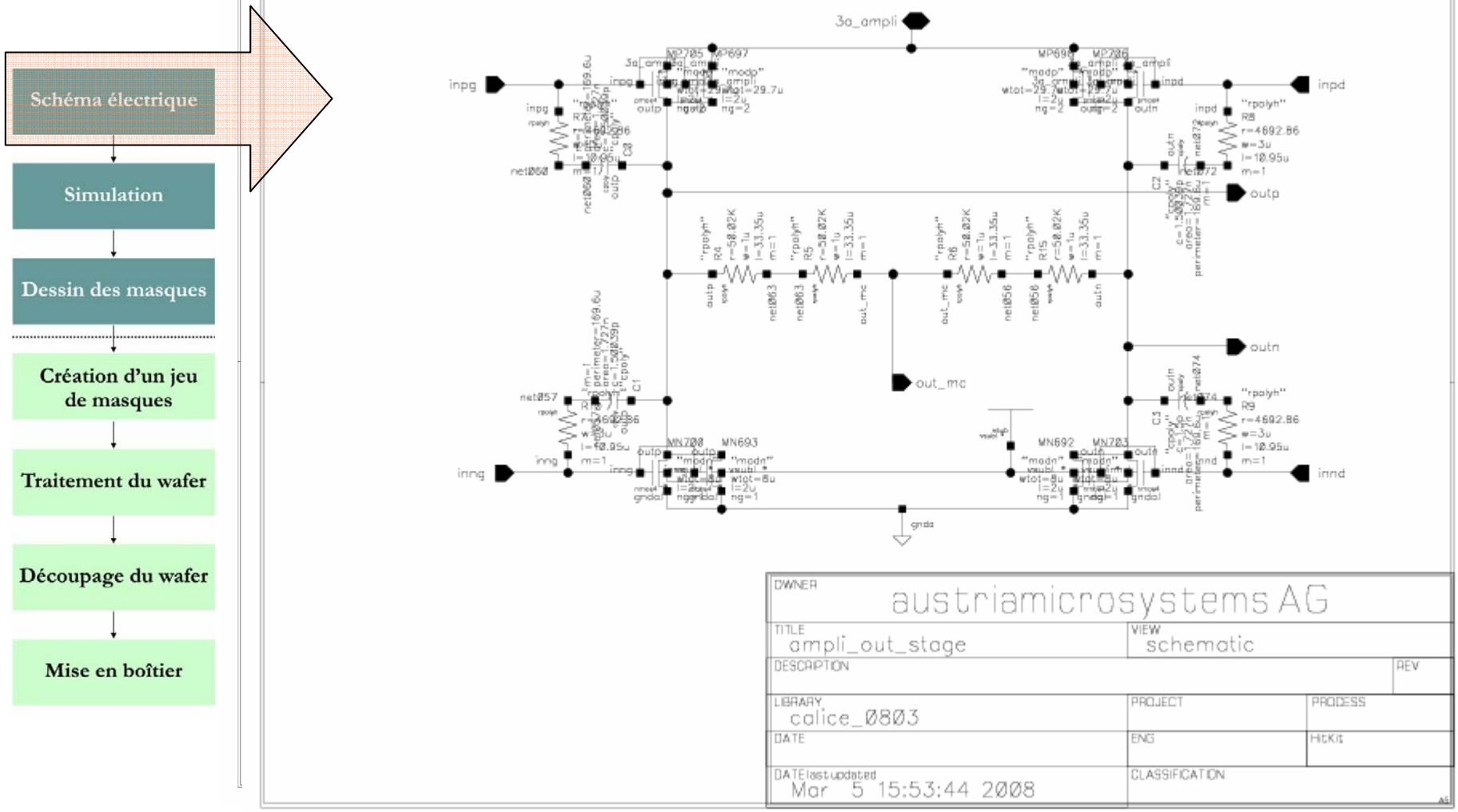
Du schéma au circuit

Travail du concepteur

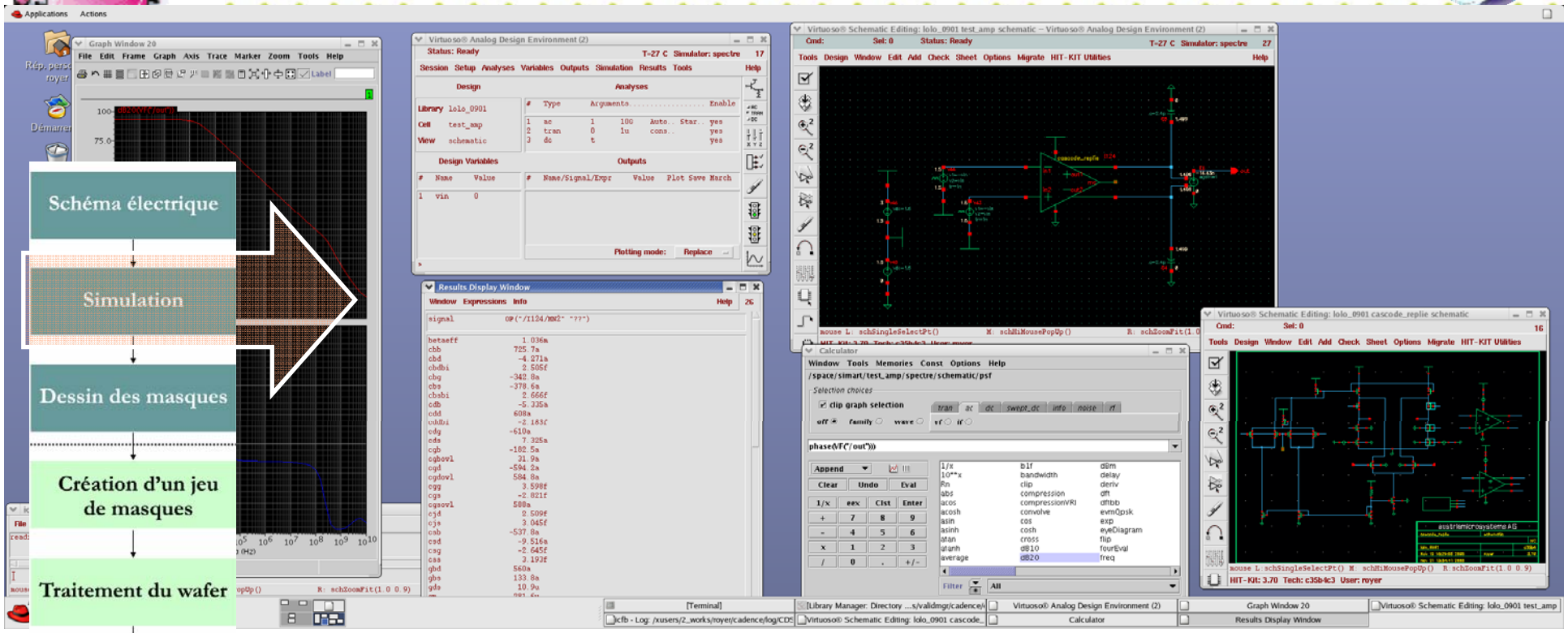
Travail du fabricant de circuits



Une conception en "poupées russes"



Les simulations



Différentes simulations COMPLEMENTAIRES:

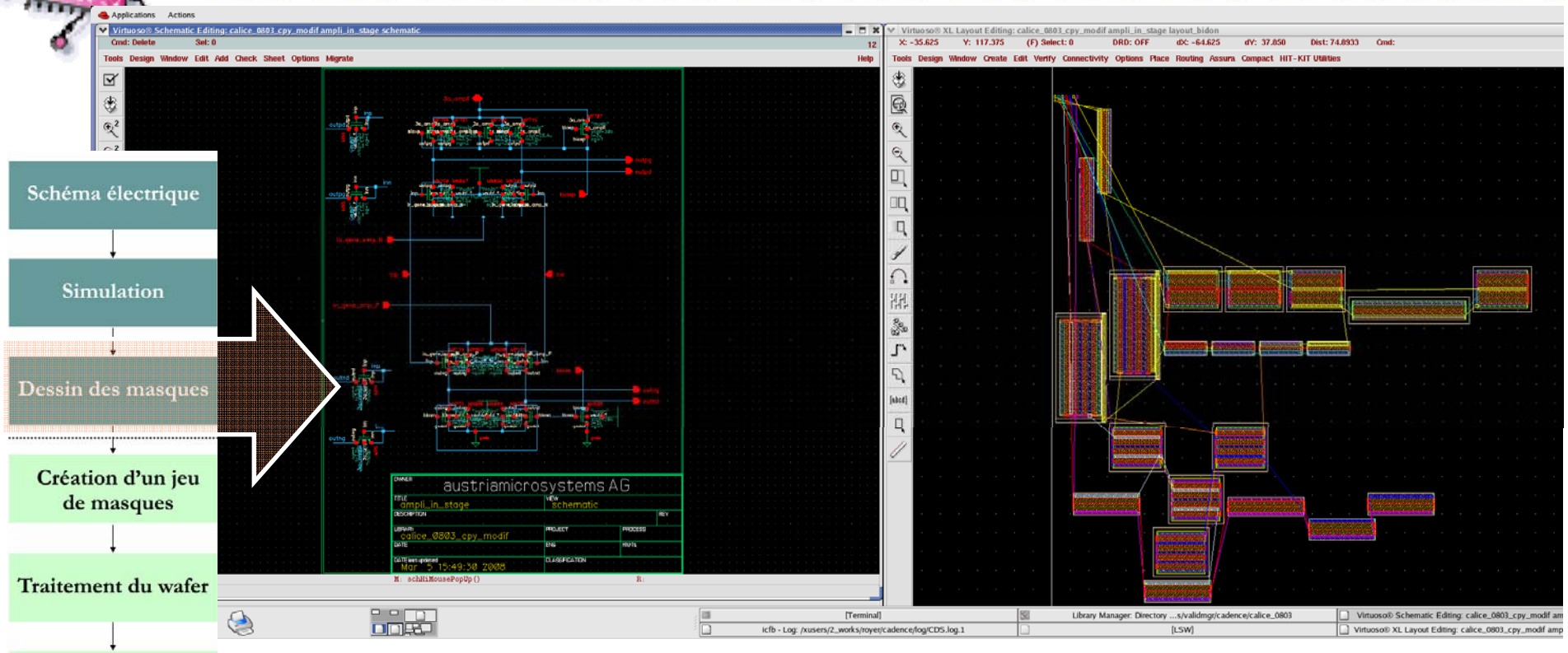
- **en continue** (dc) : tensions continues des nœuds (polarisation) sans signal (repos)
- **en fréquence** (ac): réponse du circuit en fonction fréquence du signal d'entrée
- **transitoires**: réponse temporelle du circuit
- **statistiques**: variations performances en fonction des paramètres du *process*, de l'appariement, de la température

Les modèles de simulation

Concordance des simulations avec comportement réel du circuit
tributaire de la précision des modèles des composants fournis par fondeur

```
inline subckt modn ( d g s b )
parameters w=1.0e-6 l=1.0e-6 nrd=0.0 nrs=0.0 ad=0.0 as=0.0 pd=0.0 ps=0.0 ng=1
//
modn ( d g s b ) mosinsub w=w l=l nrd=nrd nrs=nrs ad=ad as=as pd=pd ps=ps m=ng
model mosinsub bsim3v3 version=3.2400e+00  type=n  capmod=2.0000e+00 \
 mobmod=1.0000e+00  nqsmod=0.0000e+00  noimod=3 \
    k1=5.0296e-01 \
    k2=3.3985e-02      k3=-1.136e+00     k3b=-4.399e-01 \
   nch=2.6110e+17 vth0=4.9790e-01 \
  voff=-8.925e-02    dvt0=5.0000e+01    dvt1=1.0390e+00 \
  dvt2=-8.375e-03    keta=2.0320e-02 \
 pscbe1=1.0000e+30  pscbe2=1.0000e-06 \
 alpha0=2.6000e-06  alpha1=5.0000e+00   beta0=2.1000e+01 \
  dvt0w=1.0890e-01   dvt1w=6.6710e+04   dvt2w=-1.352e-02 \
    ua=4.7050e-12      ub=2.1370e-18      uc=1.0000e-20 \
u0=4.7580e+02 \
  dsub=5.0000e-01    eta0=1.4150e-02    etab=-1.221e-01 \
nfactor=4.1360e-01 \
    em=4.1000e+07    pclm=6.9480e-01 \
  drout=5.0000e-01 \
    a0=2.5410e+00      a1=0.0000e+00      a2=1.0000e+00 \
  pvag=0.0000e+00    vsat=1.3380e+05     ags=2.4080e-01      b0=4.3010e-09      b1=0.0000e+00 \
  delta=1.4420e-02 pdiblcb=3.2220e-01 \
pdiblc1=3.5710e-01 \
pdiblc2=2.0650e-03 \
    w0=2.6730e-07 \
```

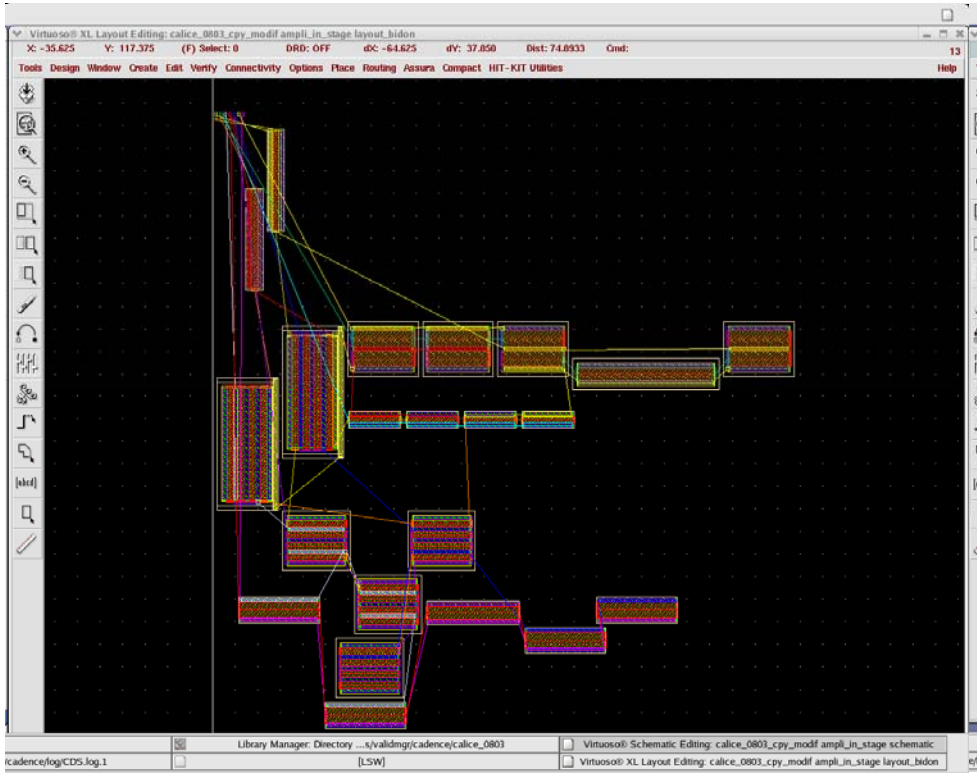
Schéma et layout



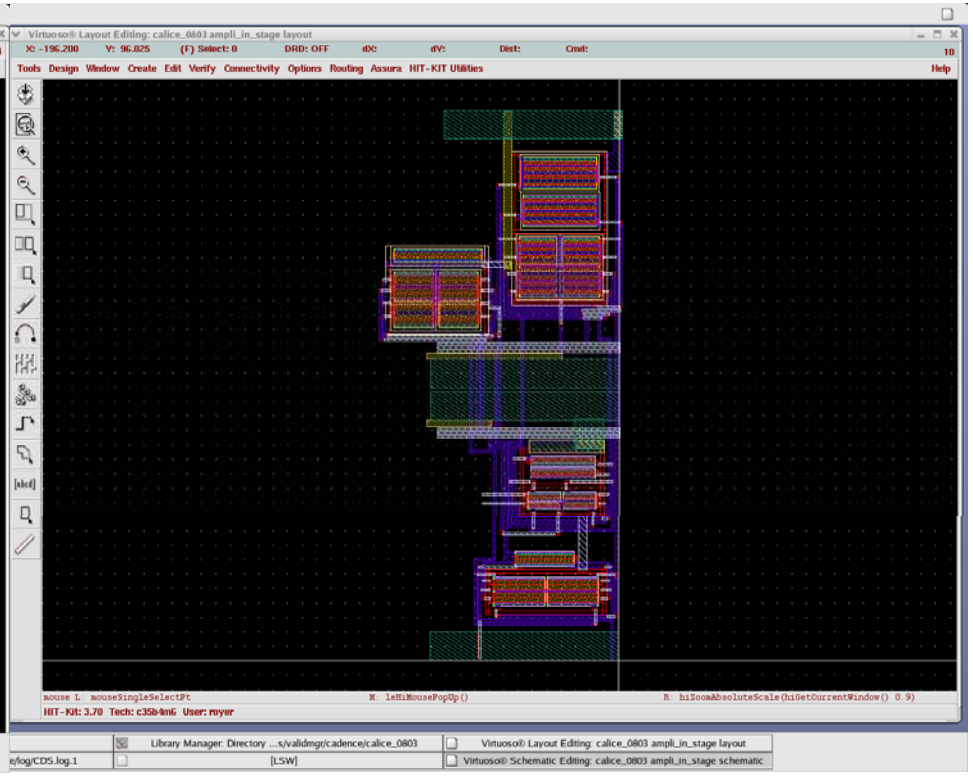
- ✓ Extraction automatiques des vues physiques des composants
- ✓ Placement et routage manuel:
  - ➢ optimisation de la surface
  - ➢ optimisation appariement
  - ➢ réduction capacités parasitiques, diaphonie

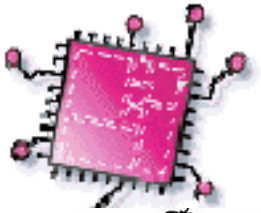
Schéma et layout

Avant …

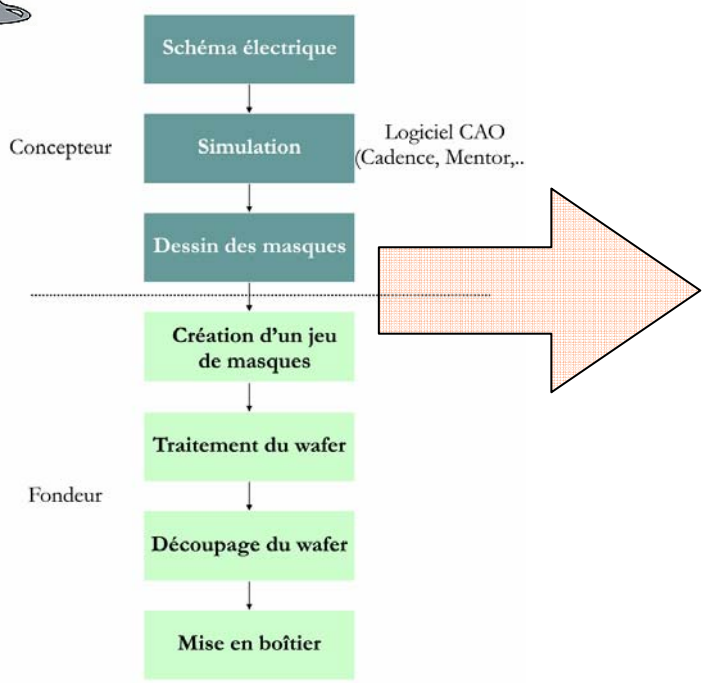


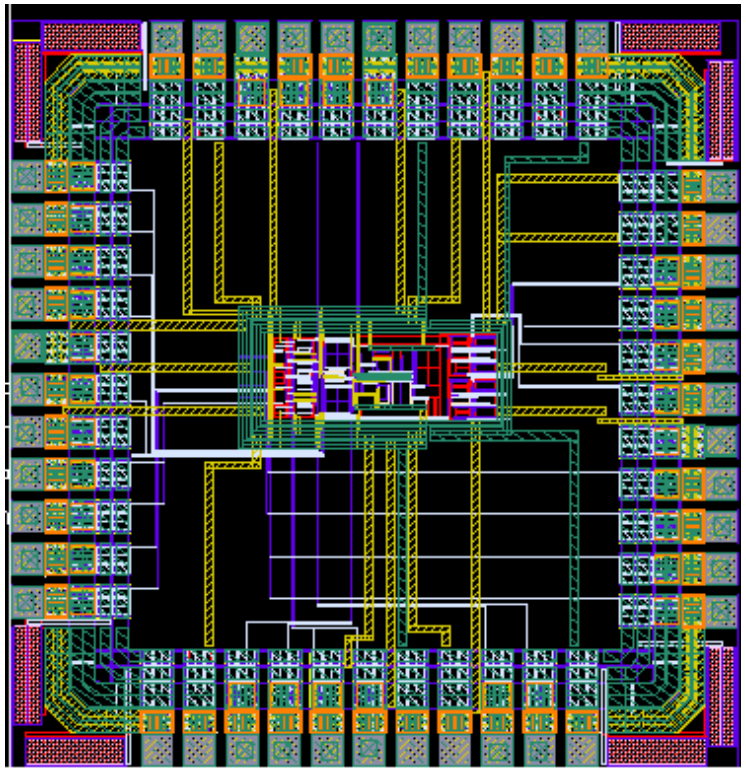
… après.



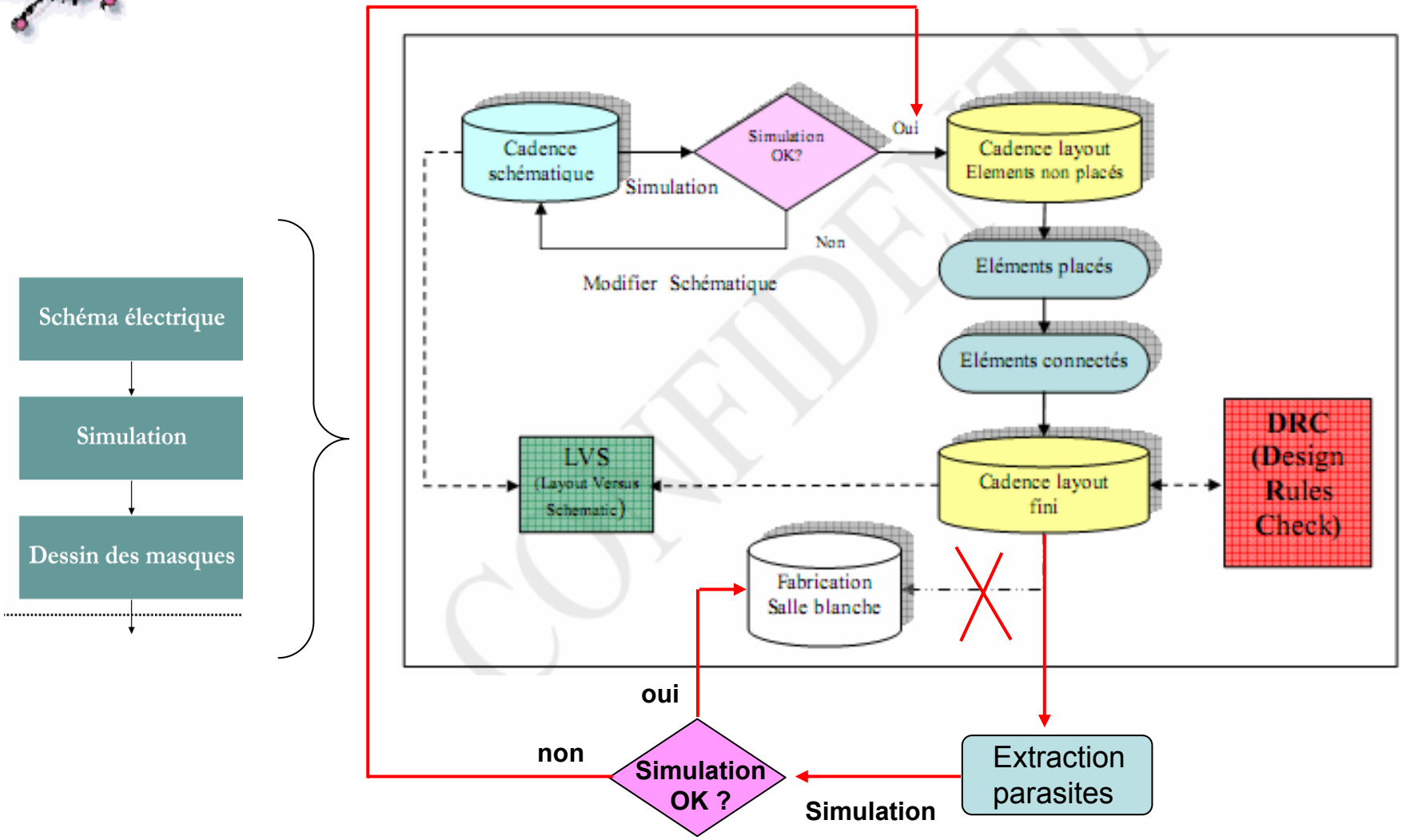


Layout final





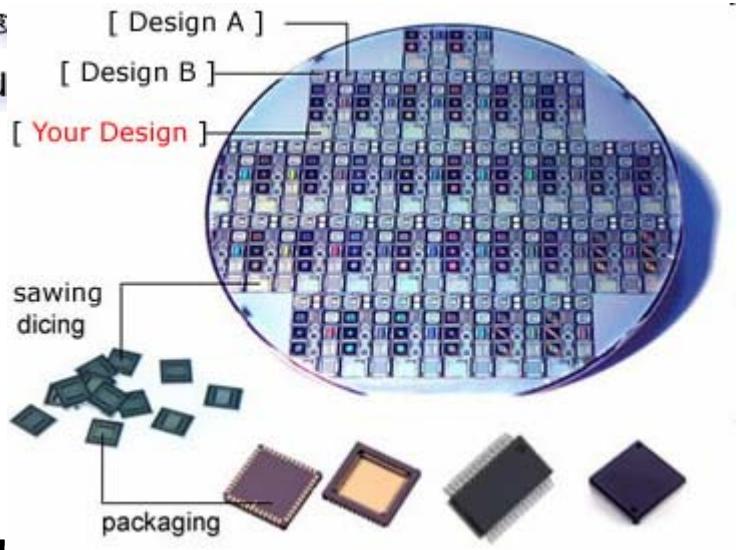
La conception: un processus itératif



CONFIDENTIAL

La fabrication

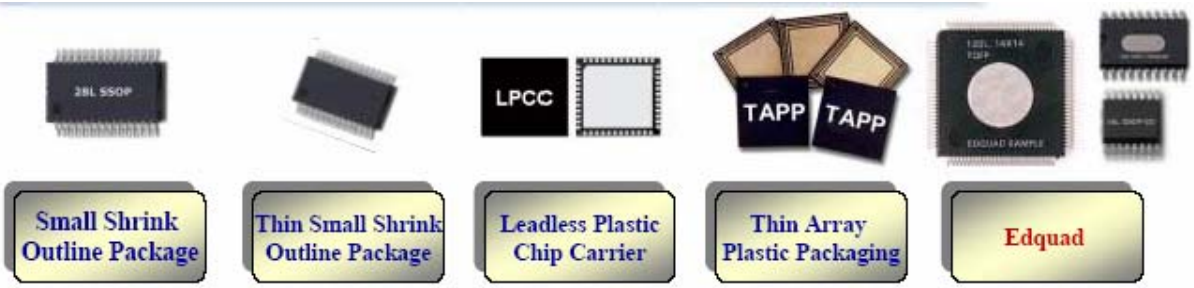
Circuits Multi-Projets®
Multi-Project Circu



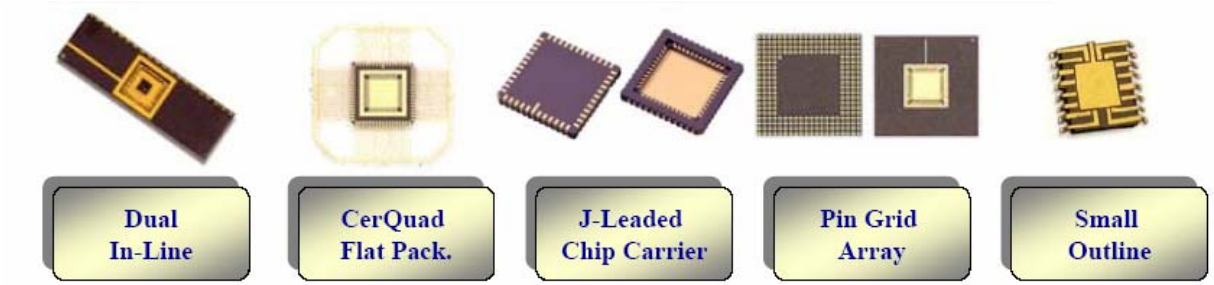
Permet à des laboratoire de recherche, des universités et à des entreprises d'accéder à des technologies micro-électroniques à moindre coût (??).

Technologie	Pour 10 mm^2
CMOS 350 nm	6500 €
SiGe 350 nm	8900 €
CMOS 130 nm	22 000 €
CMOS 90 nm	50 000 €
CMOS 65 nm	80 000 €
CMOS 45 nm	99 000 €

Une tenue pour sortir



Etc ...



La fabrication

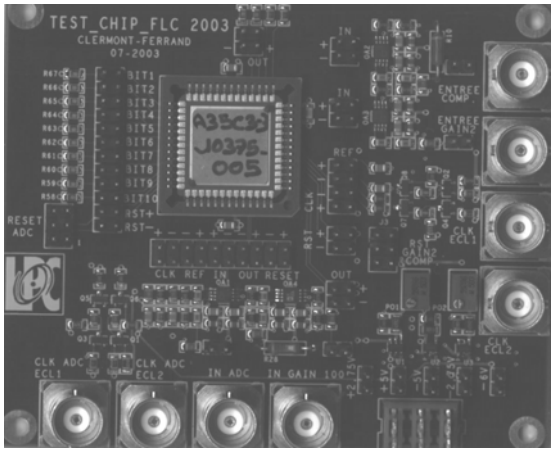
~~9~~ ……. 3 mois plus tard ….

Livraison de 5 puces (ou plus) mises en boitier
+ 20 puces "nues"

4. Le test … et le reste

Le test

- Paramètres à mesurer (liste non exhaustive):
  - ✓ Consommation
  - ✓ Dynamique
  - ✓ Bruit (SNR)
  - ✓ Résolution
  - ✓ Linéarité
  - ✓ Stabilité
  - ✓ Sensibilité variation tensions alim
  - ✓ Sensibilité variation température
  - ✓ Dispersion des performances sur plusieurs circuits (rendement)

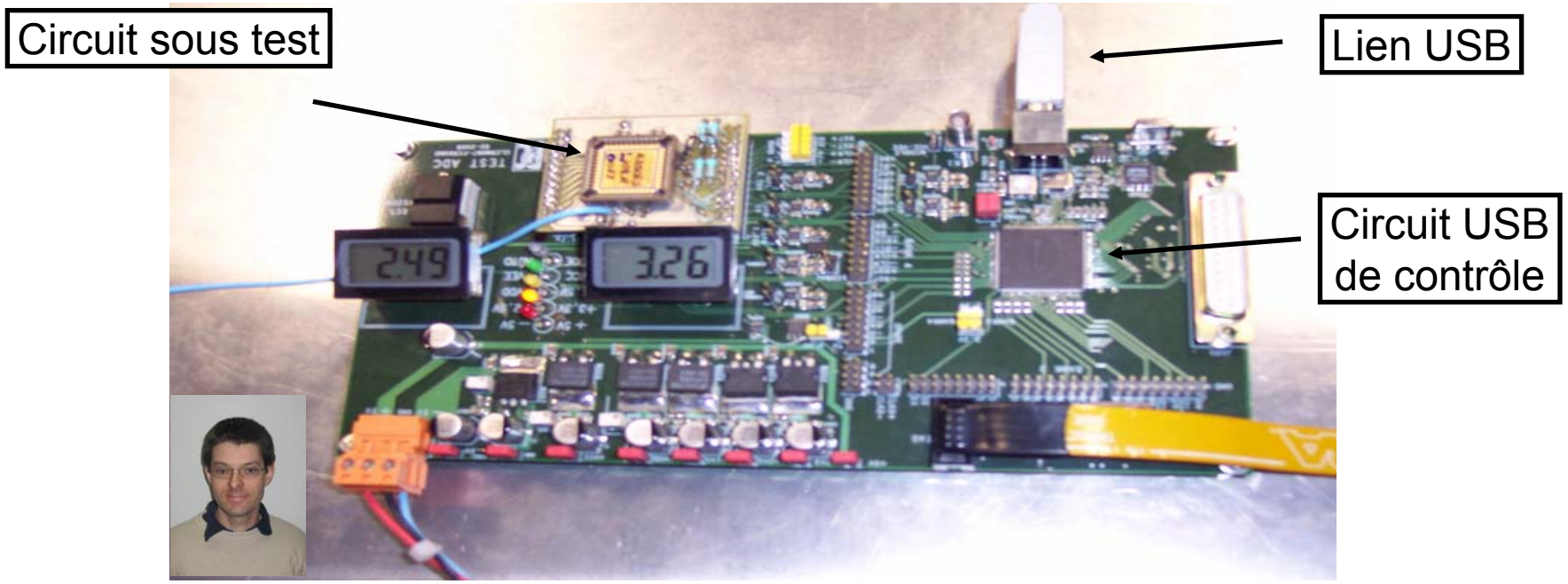


- Réalisation de la carte de test
  - ✓ un circuit micro-électronique sans carte électronique est inutilisable
    - ✓ alimentation, contrôle, acquisition, …

Le test

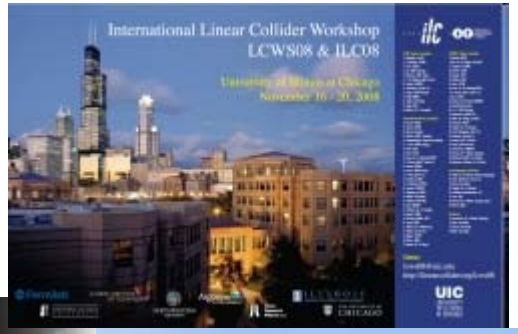
Exemple de banc de test:

- Générateur de stimuli: signal continu de grande précision par rapport à la précision du circuit sous test
- Banc test automatisé → PC/LabView + USB interface
- Ex.: 50 mesures x 4096 valeurs d'entrée= 200k mesures



Publication des résultats

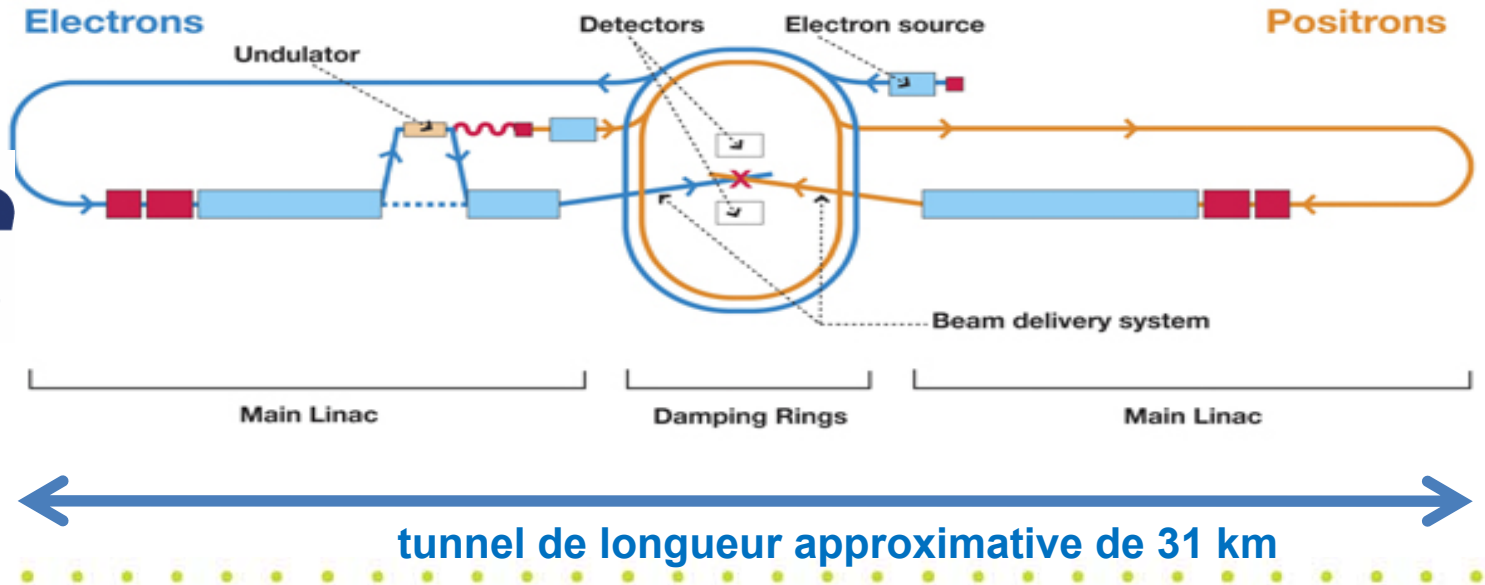
- ✓ Présentation réunion de collaboration
- ✓ Présentation congrès
- ✓ Séminaire
- ✓ Note interne
- ✓ Note collaboration
- ✓ Publication revue



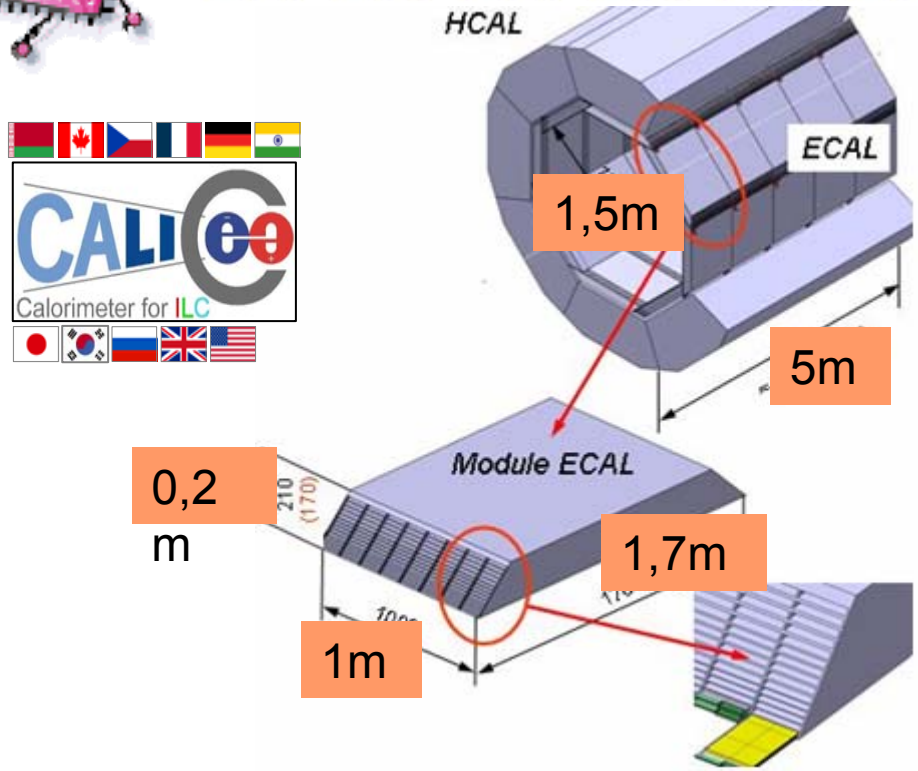
5. Un exemple de conception

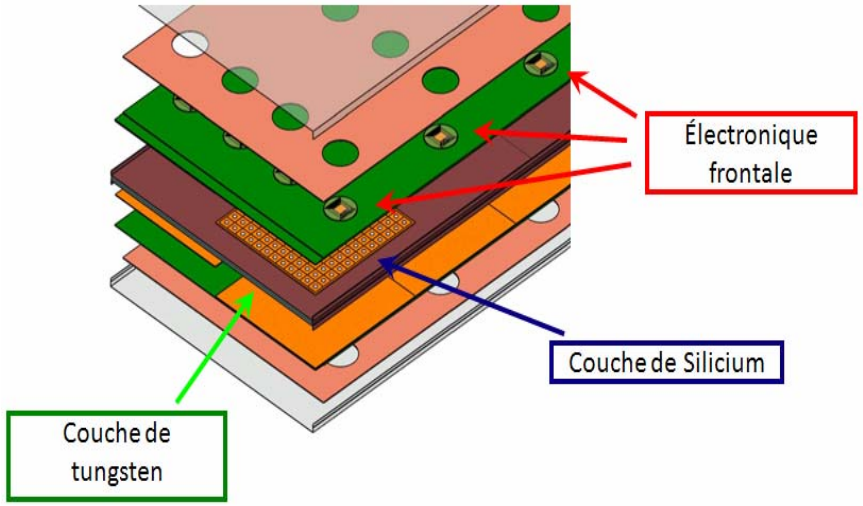
Le projet ILC

- ✓ ILC: la "machine" complémentaire au LHC
- ✓ *"Exploration physique du secteur de Higgs et des interactions fondamentales au-delà du modèle standard"*
- ✓ Accélérateur linéaire ≈ 31 km
- ✓ Collisionneur $e^+ \rightarrow\leftarrow e^-$ jusqu'à quelques centaines de GeV



Le calorimètre électromagnétique





- ✓ Mesure de l'énergie des particules
- ✓ Sandwich de tungstène (absorbeur) et silicium (diodes: détecteur)
- ✓ Interaction des particules avec matière très dense du tungstène
  → émission d'électrons et de photons (gerbe)
- ✓ Charge déposée par électrons dans les diodes
- ✓ Mesure de la charge déposée une électronique frontale (front-end) placée juste sous la diode

L'électronique frontale

Cahier des charges

- Grande dynamique:

  → de 0,1 MIP à 3000 MIP (15 bits)
- Precision de quelques % (8 bits)
- Suppression des évènements nuls

  → Auto-trigger sur ½ MIP
- Électronique confinée dans le détecteur

  → pas ou peu de refroidissement

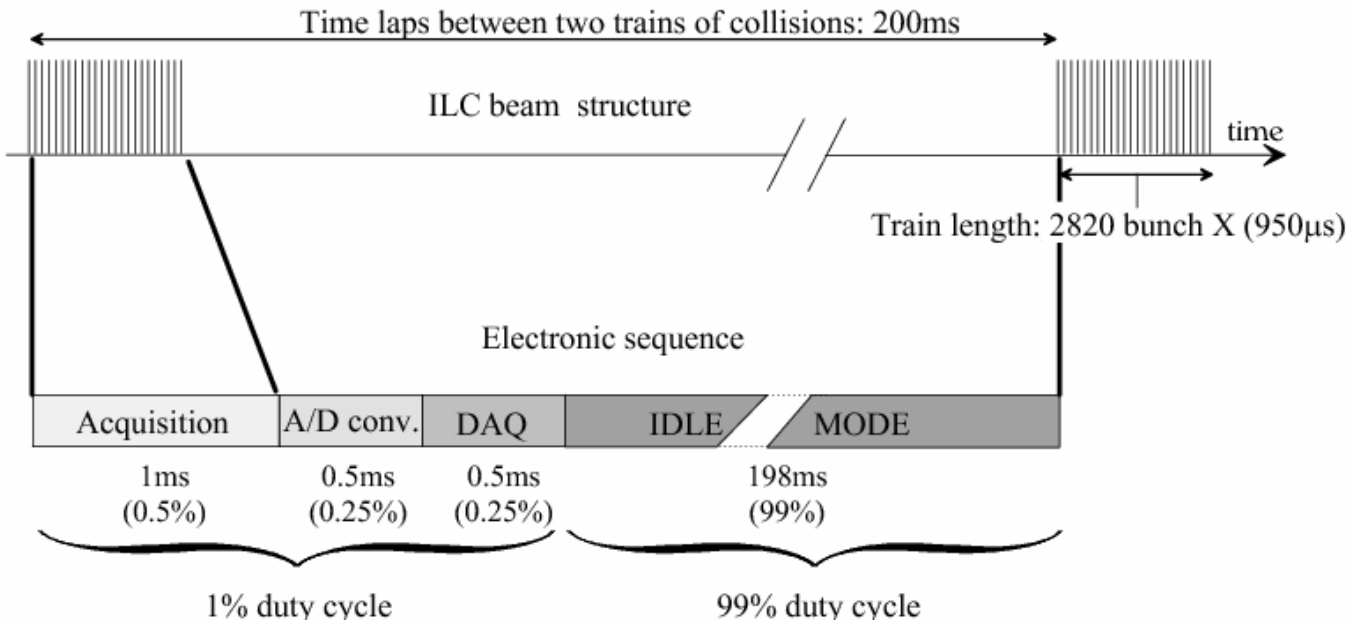
  → forte intégration (circuit dans l'épaisseur du PCB)
- ≈ 100 millions de voies (pad de 5x5 mm^2)

  Ultra-basse cionsommation: 25 µW/voie max.

  → alimentation pulsée: ON 2ms - OFF 198 ms

Ultra-low POWER is the KEY issue (C. de la Taille)

"Timing" d'ILC



Électronique ON **Électronique OFF**

Schéma (simplifié) d'une voie de l'électronique frontale

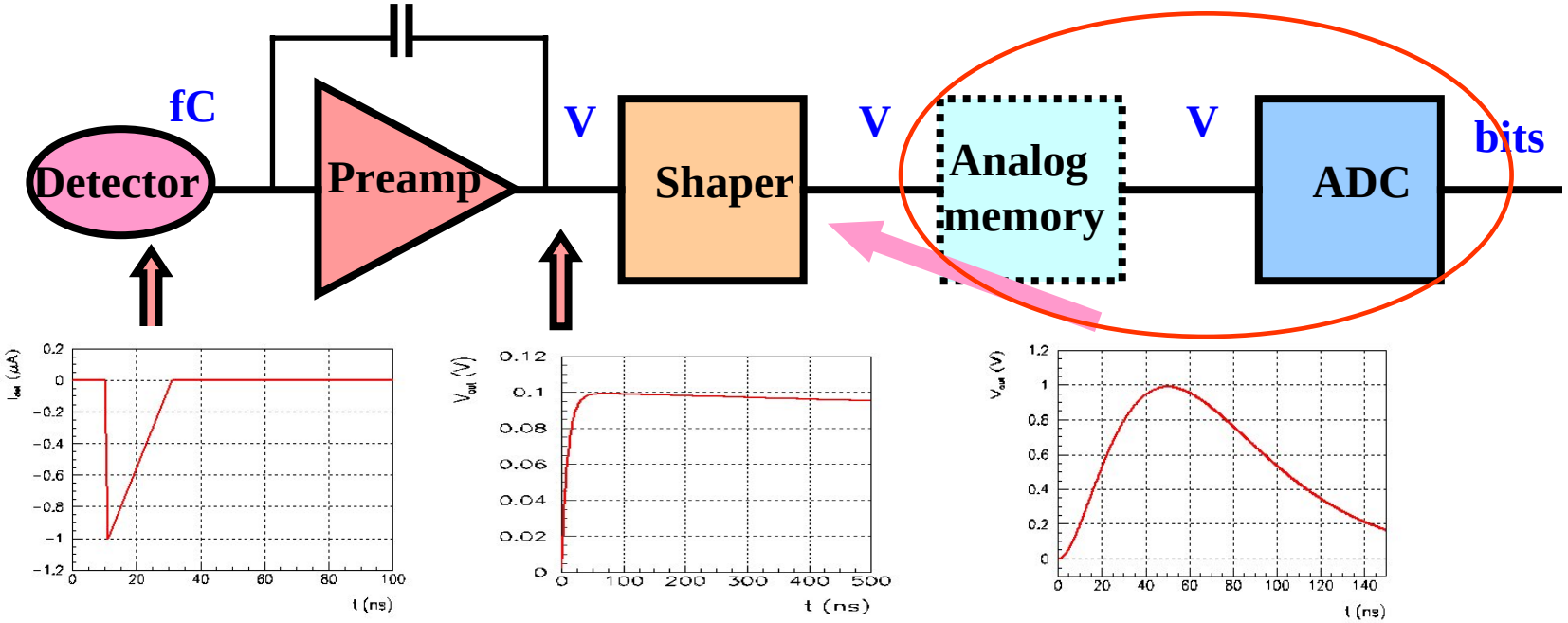


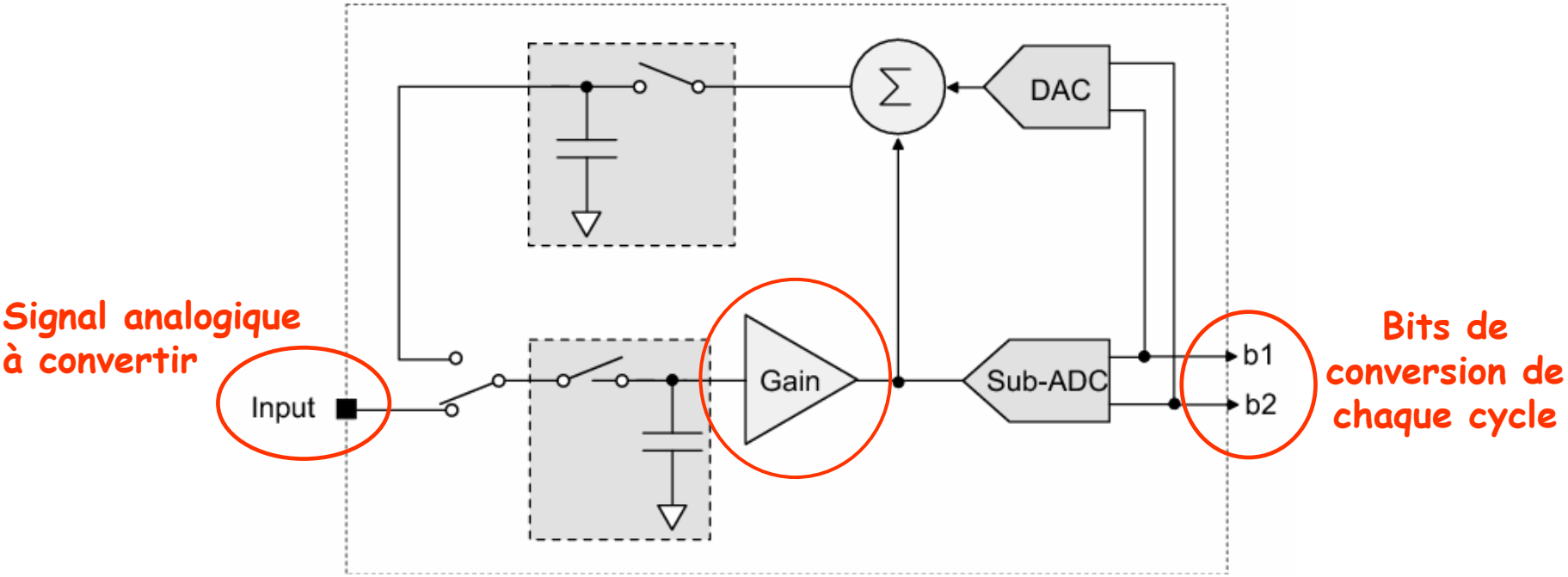
Schéma standard d'une chaine de mise en forme signaux détecteur:

- ✓ Pré-amplicateur de charge: conversion C → V et amplification
- ✓ Shaper: filtrage → amélioration rapport signal sur bruit
- ✓ Analog memory: stockage des informations pendant collisions
- ✓ ADC: numérisation des signaux à la fin des collisions

Un long chemin …

avr.-02	AMS BiCMOS 0,8	Intégrateur
nov.-02	AMS BiCMOS 0,8	2 comparateurs: entrées bipolaire et MOS
juin-03	AMS CMOS 0,35 csi	ADC pipeline 10bits + comparateur + amplis (gains 2 et 100)
avr.-04	AMS CMOS 0,35 c35b4	Comparateur et ampli. boucle ouverte
juin-04	AMS CMOS 0,35 c35b4	ADC pipeline 10 bits
juin-05	AMS CMOS 0,35 c35b4	Comparateur et ampli. boucle ouverte
juin-05	AMS CMOS 0,35 c35b4	ADC pipeline 10 bits
juil.-05	AMS CMOS 0,35 c35b4	Circuit commun: préampli (LAL) + 3 shapers (LPC) gain 1, 9 et 40
avr.-06	AMS CMOS 0,35 c35b4	ADC pipeline 10 bits 1,5 bit par étage 5V
juil.-06	AMS CMOS 0,35 c35b5	1 étage ADC pipeline 1,5 bit par étage 3V
sept.06	AMS SiGe S35b4	ADC rampe 12 bits 50MHz
mars-08	AMS CMOS 0,35 c35b4	ADC cyclique 12 bits - 1MS/s -3,5V

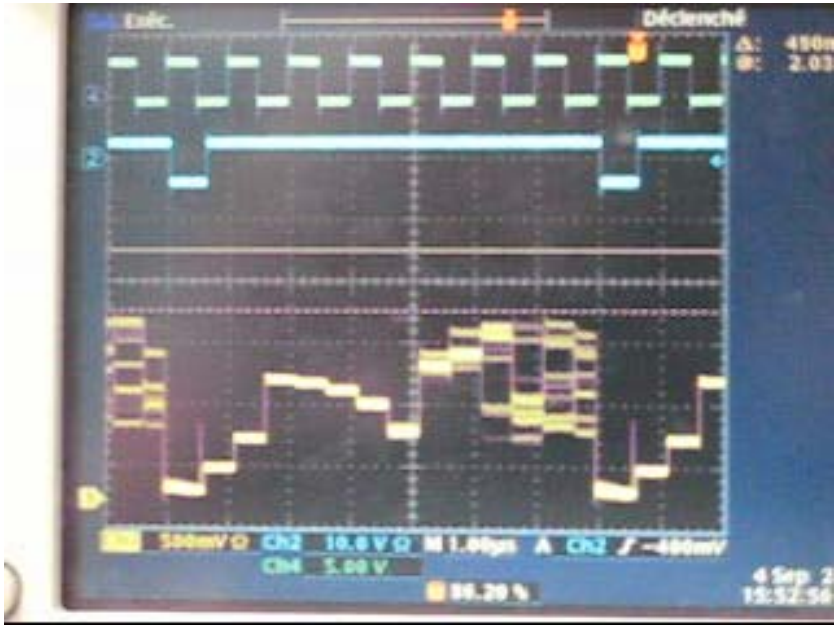
ADC cyclique 12 bits 3.5V



- ✓ A chaque cycle 1 bit est déterminé + 1 bit de redondance
  - → MSB puis MSB-1, ...jusqu'au LSB
- ✓ Pour un ADC n bits, n cycles sont requis
- ✓ L'élément clé: l'amplificateur de gain 2
  - → La précision du gain conditionne la précision de la conversion

Vérification fonctionnelle de l'ADC

Signaux à l'oscilloscope

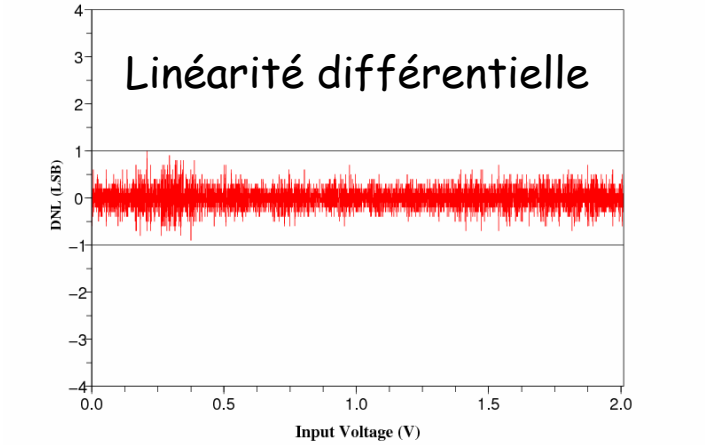


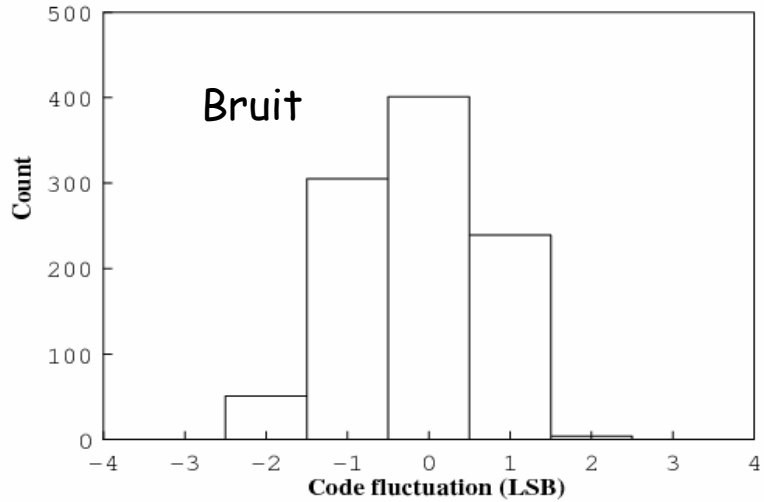
Signal d'horloge

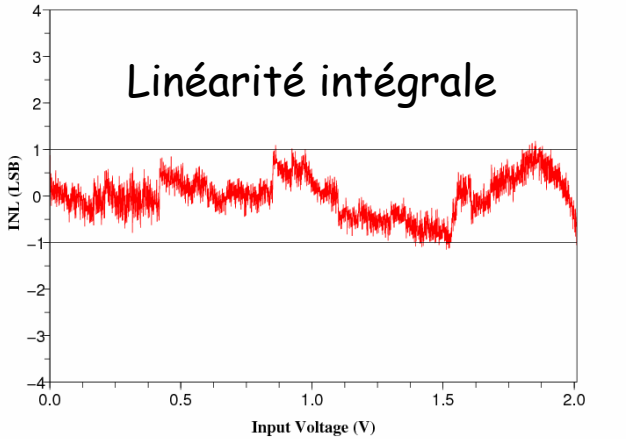
Signal de capture signal d'entrée

Signal de sortie de l'ampli. gain 2

Mesures des performances statiques







- ✓ Performances satisfaisantes pour ILC:
  - ✓ temps de conversion (7μs)
  - ✓ résolution: 11 bits
  - ✓ Consommation ADC ON: 4 mW/3.5V
  - ✓ Consommation intégrée avec power pulsing: 0.7μW par conversion

Rendement ≈ 60% insuffisant → conception d'un nouvel amplificateur
→ structure à un seul étage

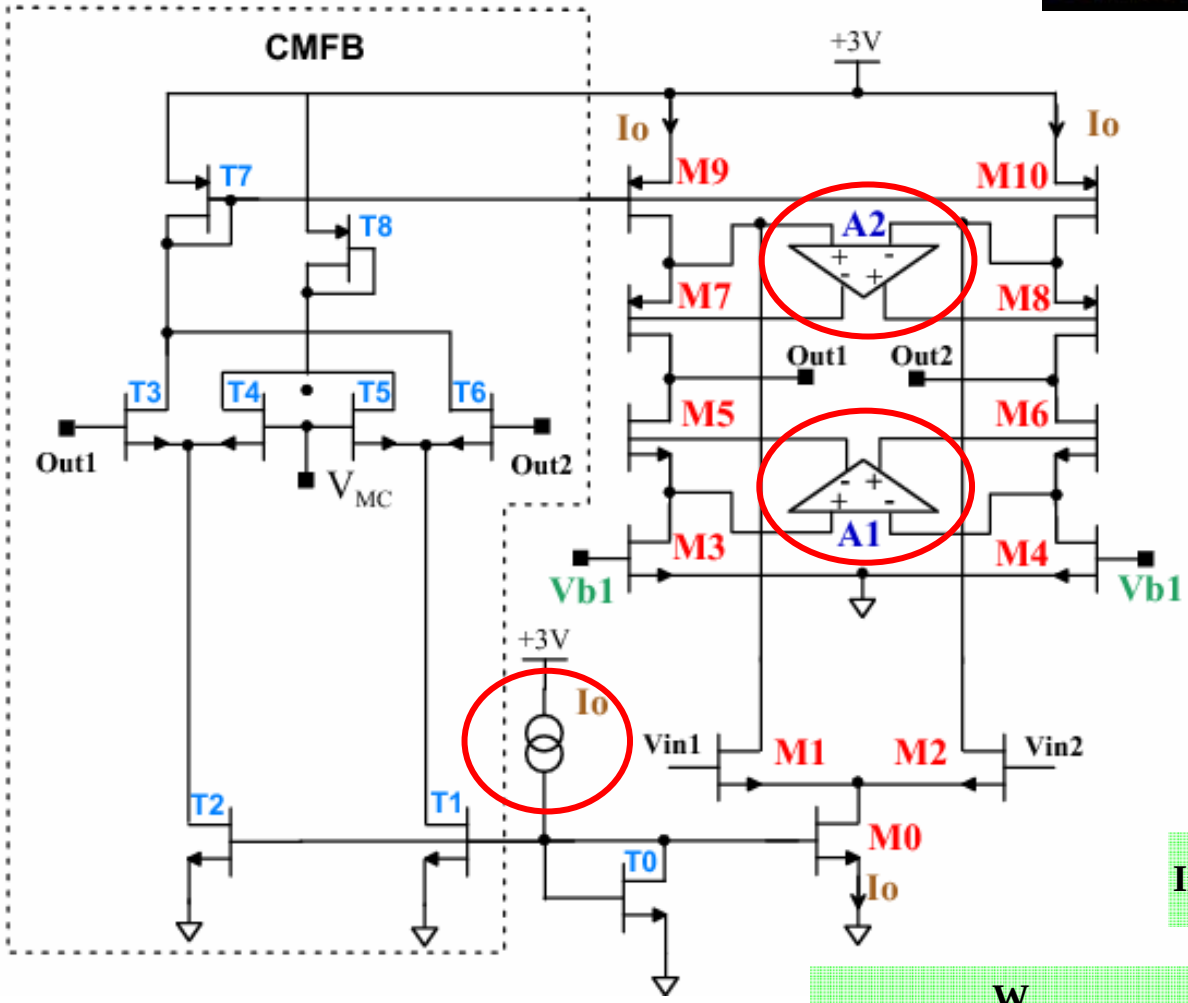
Cahier des charges de l'ampli.

TABLE I

SUMMARIZED REQUIREMENTS FOR THE AMPLIFIER.

Technology	0.35μm 2-P 4-M CMOS
Supply Voltage	0-3 V
Resolution (of the ADC)	12 bits
Full scale	2 V differential
Clock frequency (of the ADC)	1 MHz
Consumption	$< 1\,mA - 3\,mW$
DC Gain	$> 20\,k(86dB)$
Gain-bandwidth product	$> 2.6\,MHz$
Setting time	$< 60\,ns$
Transconductance gm	$> 40\mu$ A/V

Ampli. télecsopique



Eléments idéaux
→ séparation des problèmes

Si :

$V_{DS} > V_T$

et

$$V_{DS} > \frac{V_{GS} - V_T}{n}$$

Régime de saturation

$$I_{DS} \approx \mu C_{ox} \bullet \frac{W}{2nL} \bullet (V_{GS} - V_T)^2$$

$$g_m \approx \mu C_{ox} \bullet \frac{W}{nL} \bullet (V_{GS} - V_T) = \sqrt{2\mu C_{ox} \bullet \frac{W}{nL} \bullet I_{DS}} = \frac{2I_{DS}}{V_{GS} - V_T}$$

Les étapes de conceptions

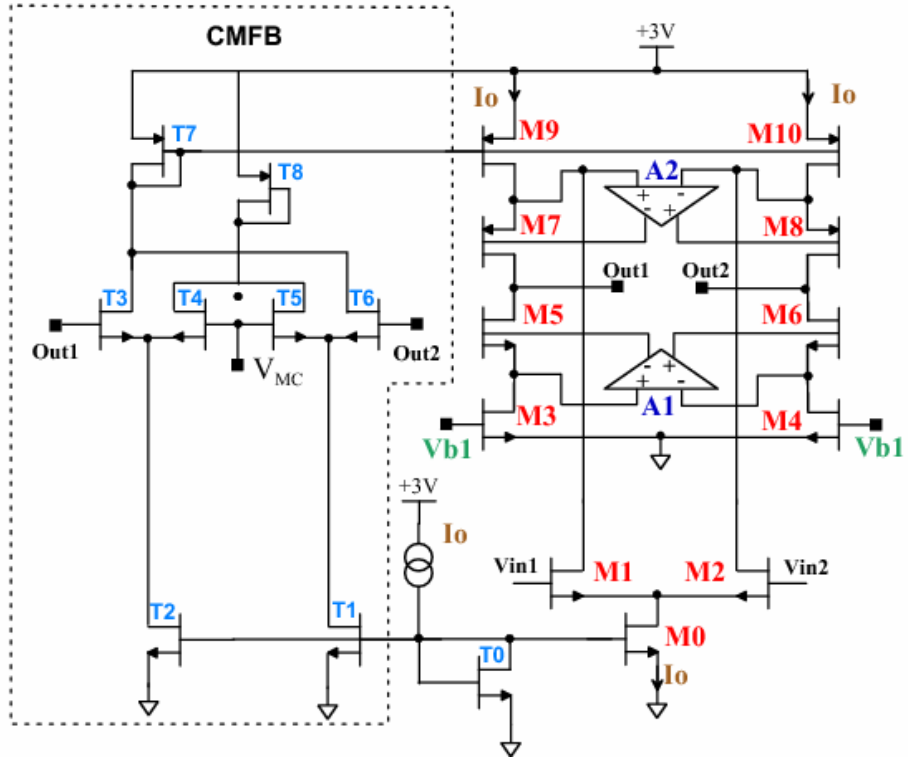


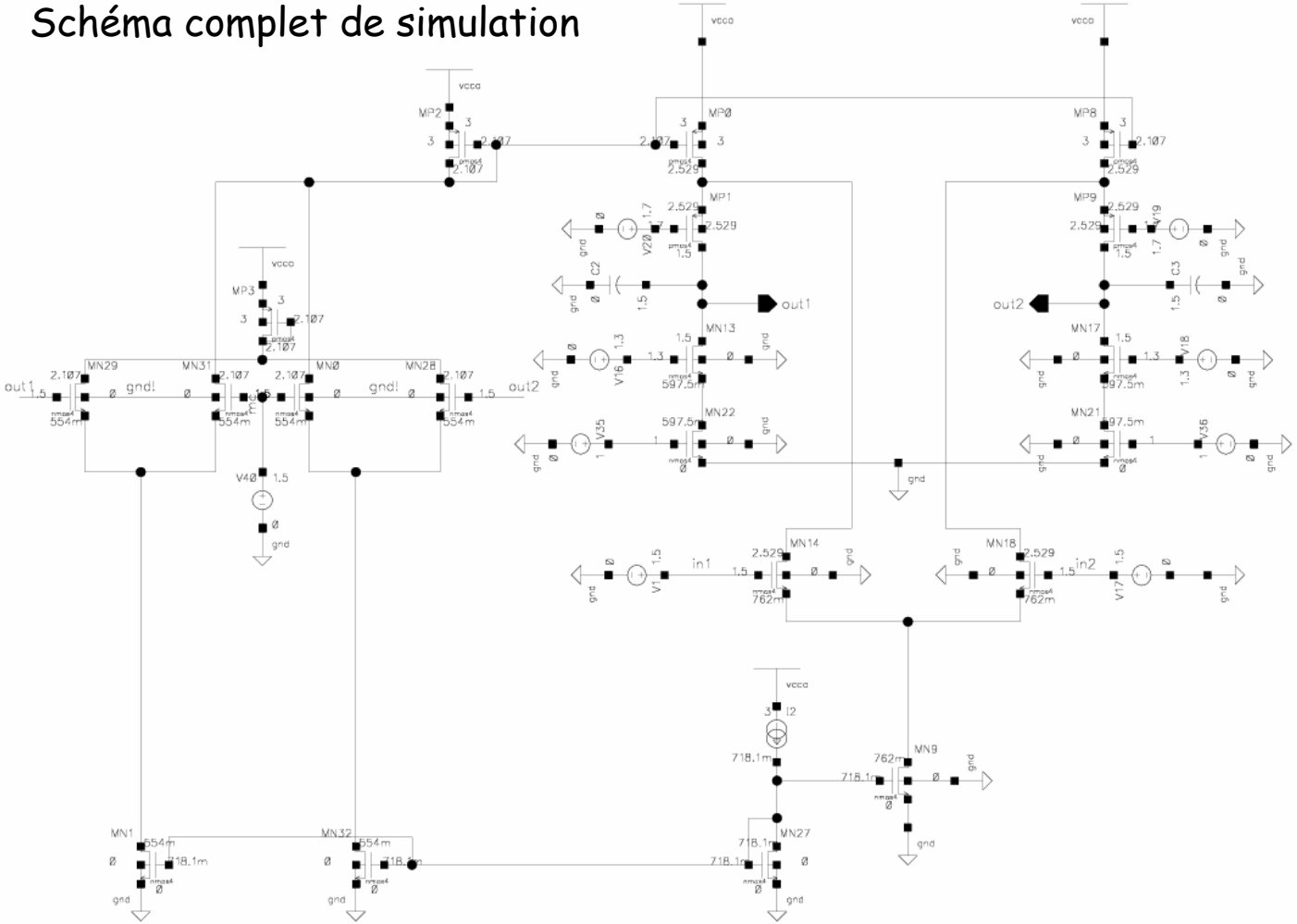
Schéma simplifié

1. Courants fixés (fonction du Slew rate et conso. et vitesse)
2. Détermination des tensions de polarisation (sans CMFB)
3. Dimensionnement des transistors (W & L)
4. Optimisation par simulation
5. Réalisation du CMFB
6. Réalisation des ampli. boost A1 & A2
7. Optimisation: sensibilité aux variations de process et d'appariement

En parallèle, rédaction note.

Schéma de simulation sans boost

Schéma complet de simulation

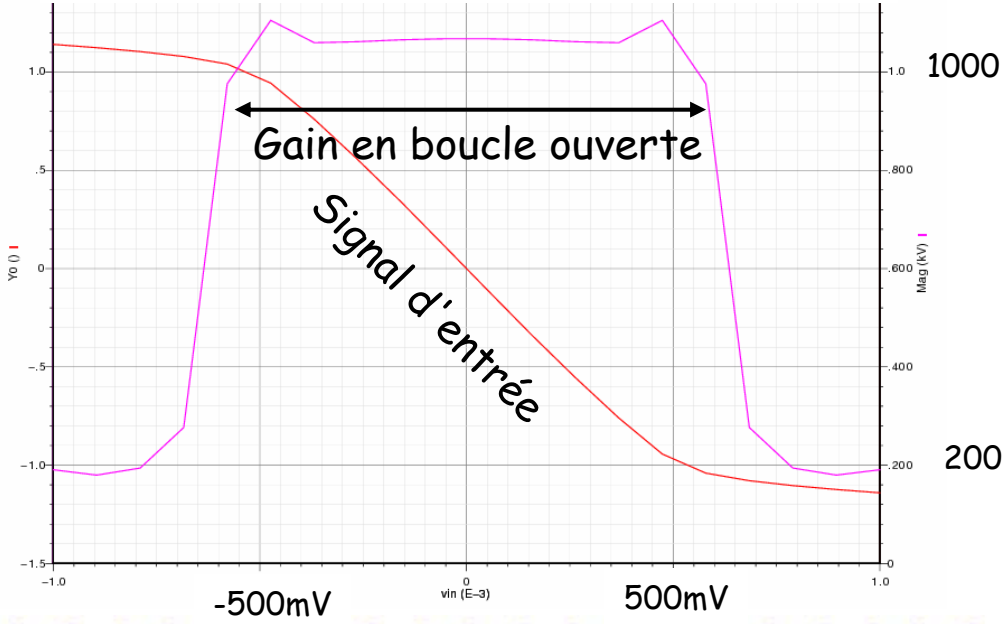


Ex. de performances obtenues

Performances de l'ampli. sans boost
avec charge de 2.4 pF

Power supply voltage	3.0 V
Consumption	449 μA
DC gain	1068 (60 dB)
Bandwidth (-3 dB)	80 kHz
Transient frequency	87 MHz
Phase margin	82 deg.

Variation du gain en boucle ouverte en
fonction du signa d'entrée différentiel



La suite …

- Travail restant pour une soumission en fonderie prévue le 26 janvier:

✓ Simulations statistiques complémentaires: variations des performances sur un lot de circuits

✓ Autres ampli. avec schéma différents→ Samuel

✓ Réalisation des layouts et optimisations des performances post-layout

✓ Circuit complet avec différents ampli. + ADC cyclique ?

- Puis réalisation de la carte de test, préparation du banc de test, etc…

Conclusion

Le métier de micro-électronicien au LPC:

- Électronique frontale: vers le tout intégré ?
- Pas de pénurie de projets
- Evolution des technologies → adapter nos méthodes de conception pour répondre aux exigences de la calorimétrie (dynamique – rapport signa/bruit)
- Besoin de travailler avec électroniciens (banc test, acquisition, …)
- Besoin d'outils informatiques performants, fiables et évolutifs
- Que sera le métier dans 10-15 ans ?

"A l'échelle de la dizaine de nanomètre, les électrons ne vont plus se déplacer de façon aléatoire mais vont être en quelque sorte canalisés en adoptant des comportements décrits par la mécanique quantique".

Micro-électronique et physique de particules: deux domaines intimement liés !

La micro-électronique chez les toons