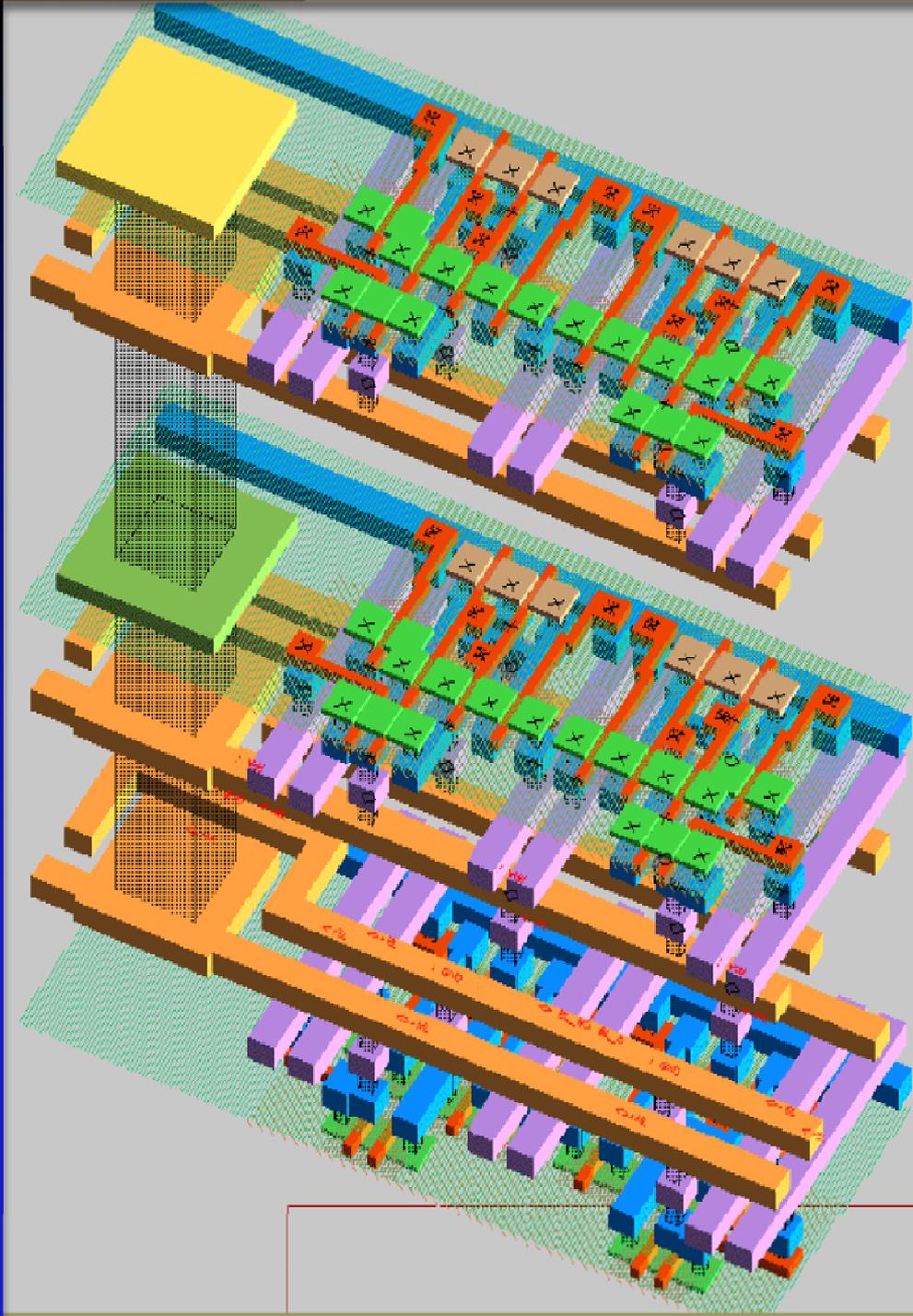


Electronique 3D

Clermont-Ferrand , 6 octobre 2008
Jean-Claude Clémens
clemens@cppm.in2p3.fr



Sommaire

Le 3D c'est quoi ?

Motivations industrielles

Technologies :

- ✓ Bases :
 - Trous métallisés, amincissement, connexions multi-niveaux
- ✓ Technologies disponibles

Applications en physique des hautes énergies

Le projet 3D-France

Conclusions

Motivations industrielles

Le packaging est le paramètre clé de l'augmentation des performances

Dimensions :

- ✓ Réduction taille , volume, empreinte

Performances :

- ✓ Vitesse de transmission
- ✓ Longueur d'interconnexion
- ✓ Puissance

Technologies mixtes

Techniques standards ..

System in Package (SiP)

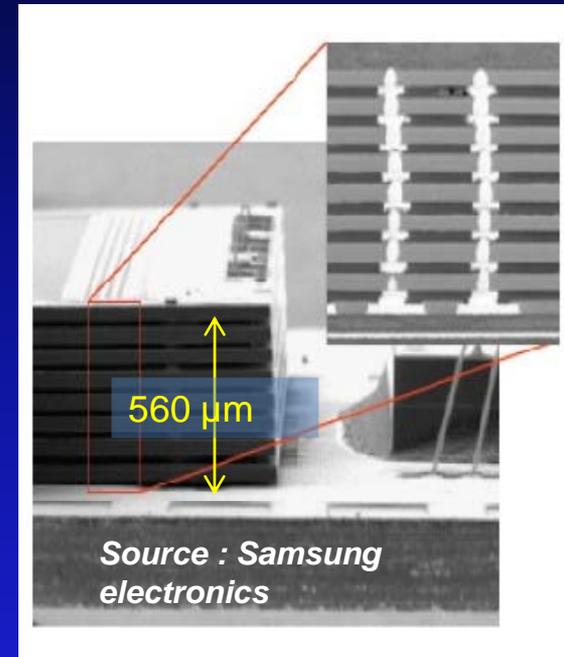
- ✓ Circuit intégré comprenant plusieurs puces + composants passifs
 - On fait dans un chip ce que l'on faisait sur une carte

System on Chip (SoC)

- ✓ Une seule puce , plusieurs fonctions
 - Réutilisation de blocs (IP)
 - *Performances moyennes*

Et moins standard ..

3D-IC

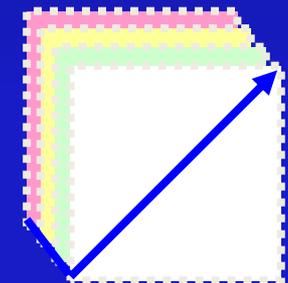
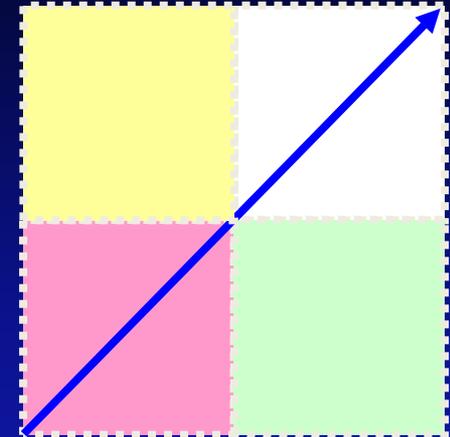
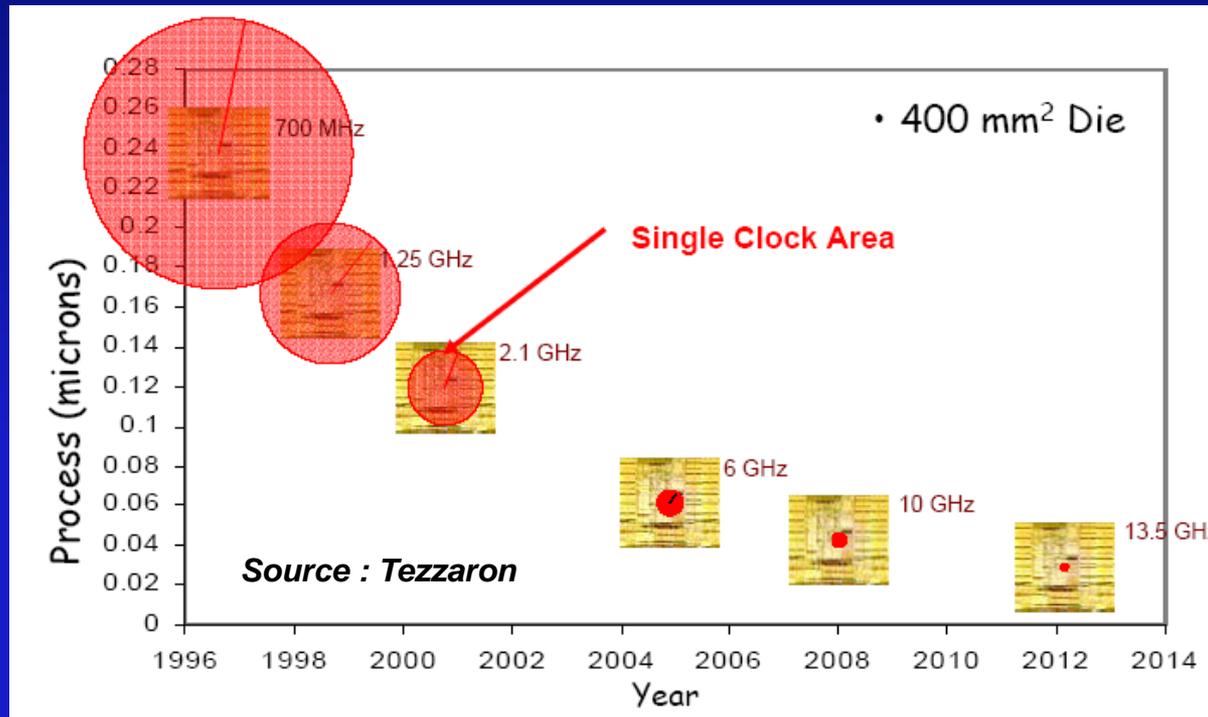


Coût :

A terme moins cher que la
diminution de la gravure ?

Motivation : Plus vite !!

Temps de propagation :



Motivation : Réduire la consommation

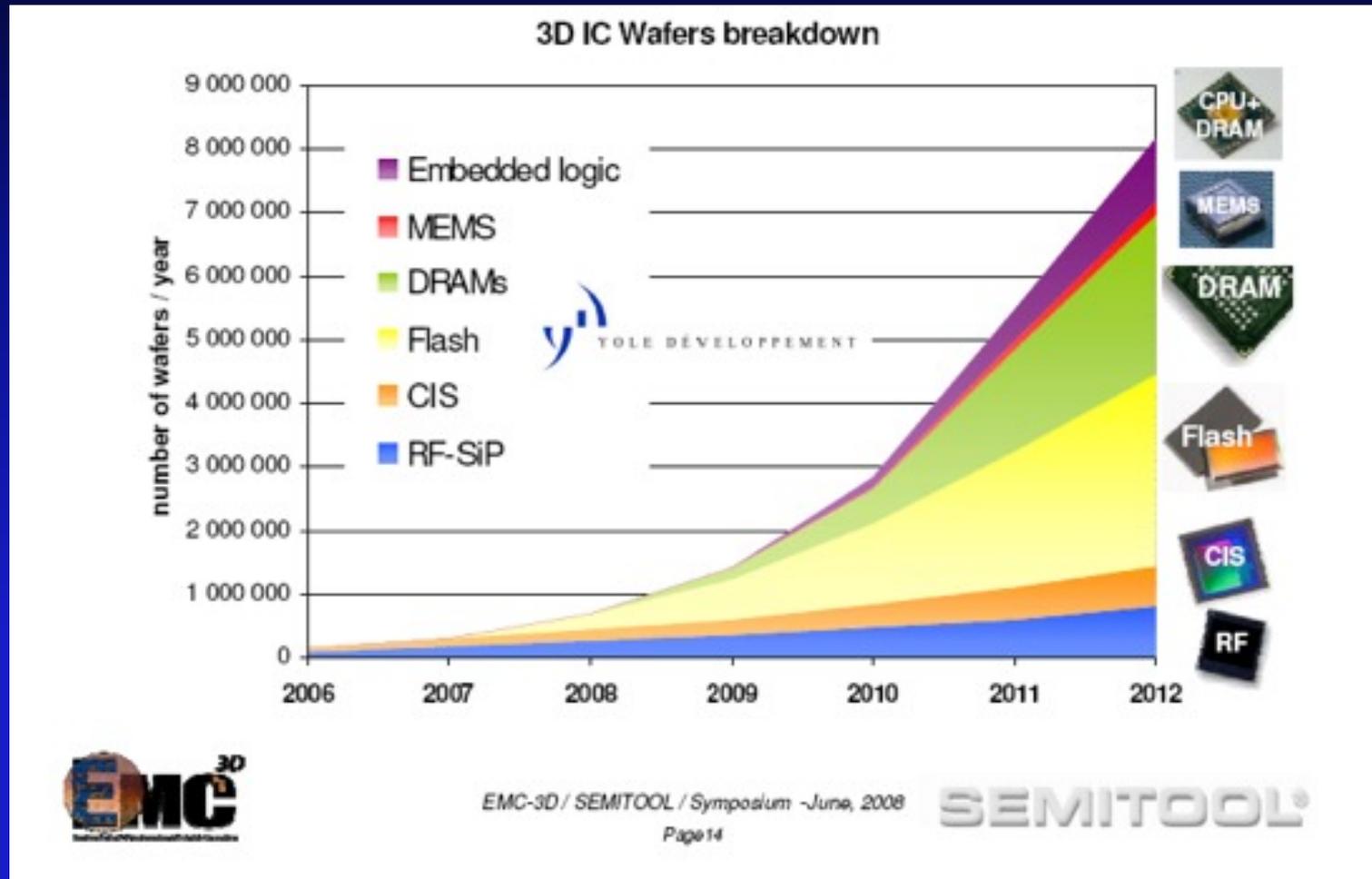
$$P_{\text{moyen}} = I_{\text{moyen}} * VDD = C * VDD^2 * F_{\text{clk}}$$

- ✓ C est principalement dû au wire-bond

<u>Operation</u>	<u>Energy</u>
32-bit ALU operation	5 pJ
32-bit register read	10 pJ
Move 32 bits across 10mm chip	100 pJ
Move 32 bits off chip	1300 to 1900 pJ

Calculations using a 130nm process operating at a core voltage of 1.2V
(Source: Bill Dally, Stanford)

Prévisions



Bases techniques

Pour faire du 3D (TSV) il faut savoir faire :

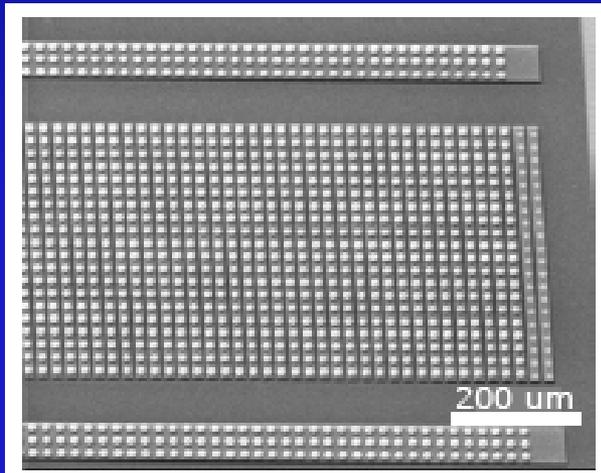
- ✓ Des connexions verticales entre les circuits
 - Bump- bonding
 - SLID
 - Direct Copper bonding, SiO₂ bonding ,

- ✓ Des trous métallisés dans les chips (Through Silicon Vias)

Les bases techniques : Connexions entre circuits

Bump-bonding :

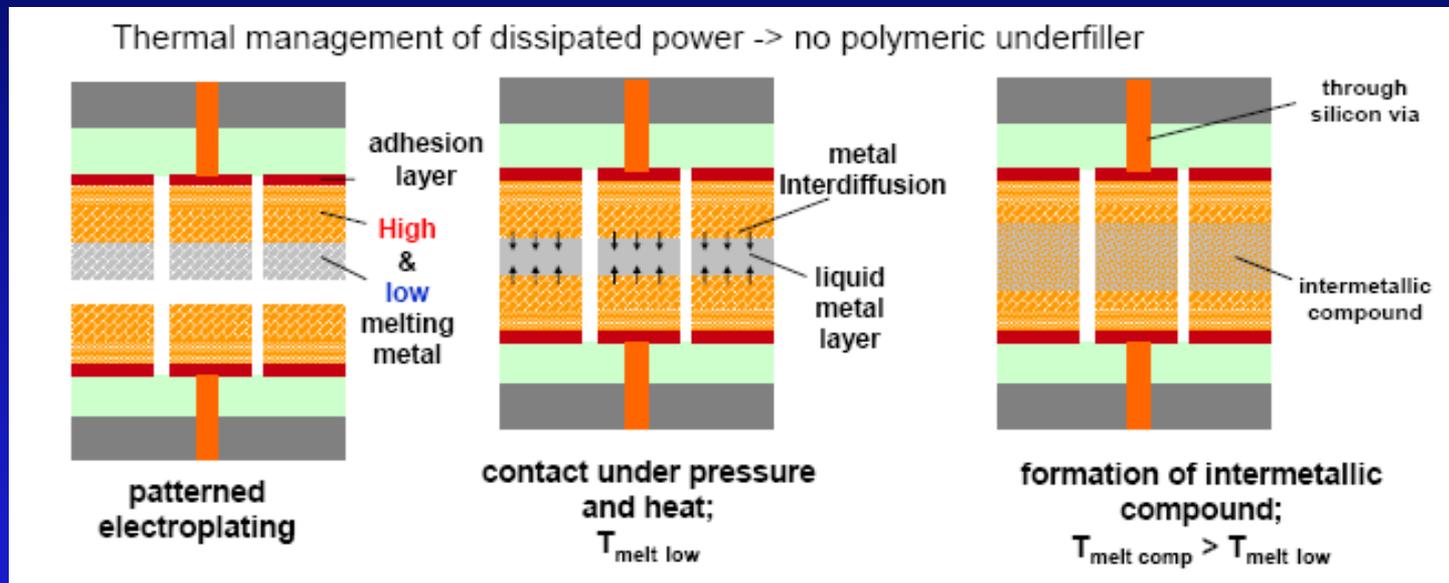
- ✓ Méthode bien au point , pas de l'ordre de 30 μm (10 μm ?)
- ✓ Plusieurs fournisseurs (AMS, VTT, IZM, LETI, IMEC)
- ✓ 2 couches uniquement
- ✓ Utilisé pour tous les détecteurs de type pixels hybrides (ATLAS,CMS,..)



(Source Imec.)

Les bases techniques : Connexions entre circuits

SLID : (solid/liquid interdiffusion)



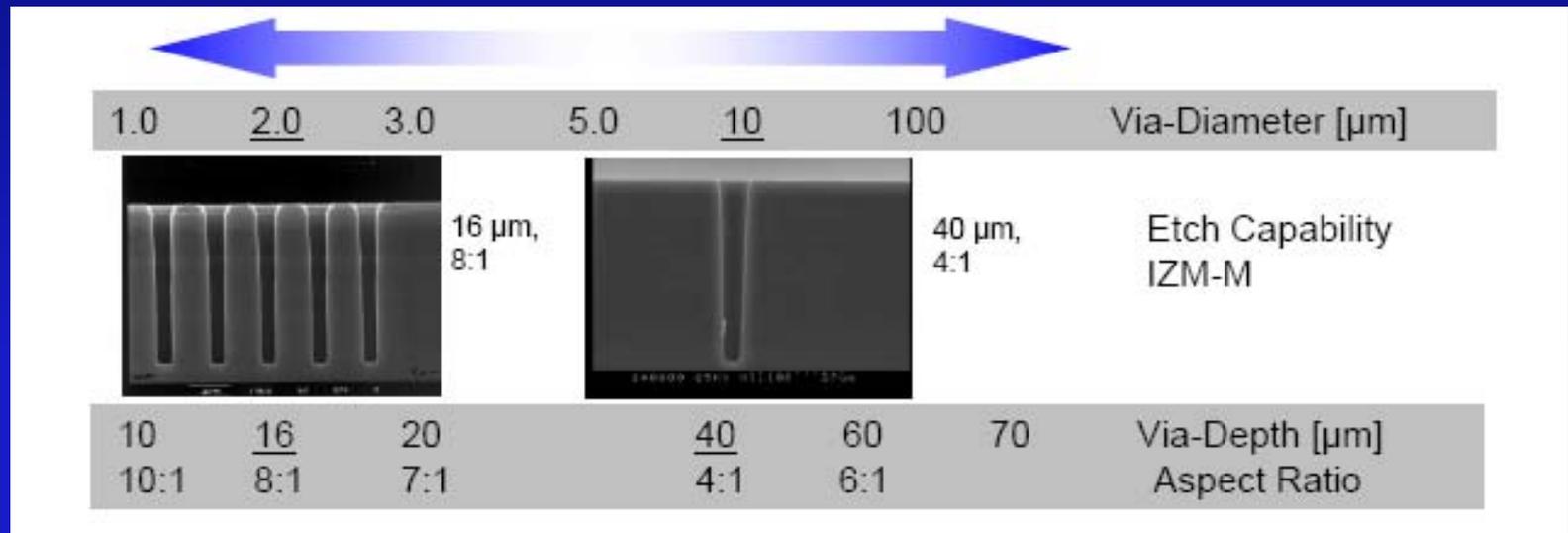
(Source IZM)

✓ Pas de l'ordre de $10 \mu\text{m}$ (limité par la précision de l'aligneur)

Les bases techniques : Trous métallisés

Formation des trous à travers le wafer

- ✓ Laser ou DRIE (deep reactive ion etching)
- ✓ Trous les plus réguliers possibles , facteur de forme, coût



(Source IZM)

Les bases techniques : Amincissement des wafers

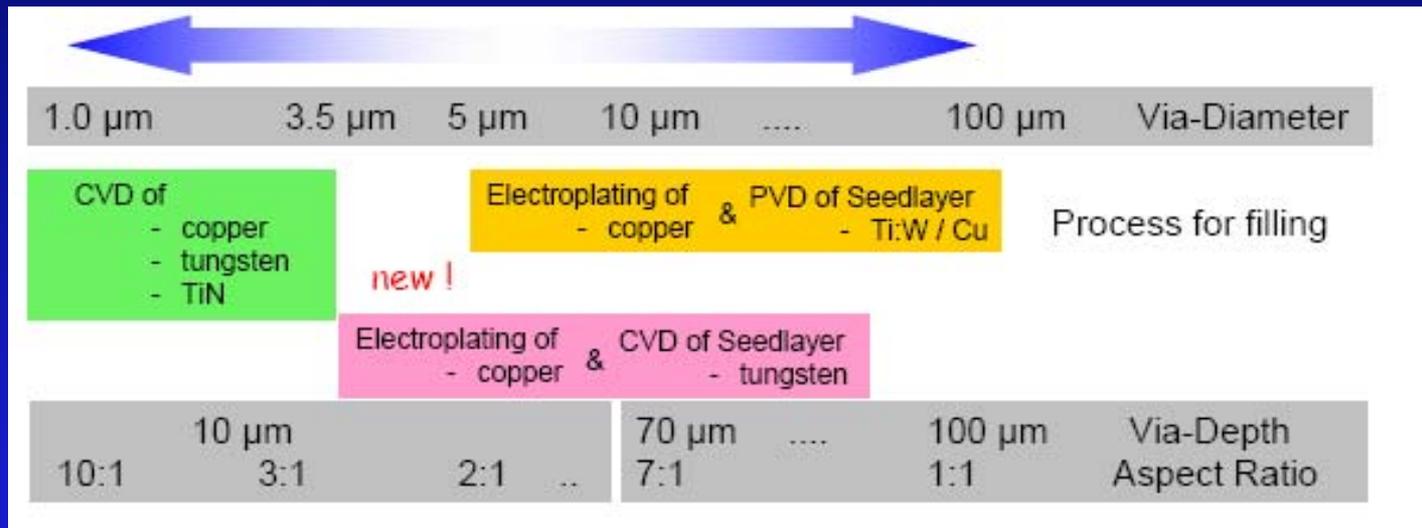
Nécessité due au facteur de forme des trous

- ✓ Amincissement mécanique puis chimique
- ✓ Jusqu'à une dizaine de μm (et moins)
- ✓ Nécessité de « wafers » de transport
- ✓ Techniques de bonding-debonding



Les bases techniques : Métallisation des trous

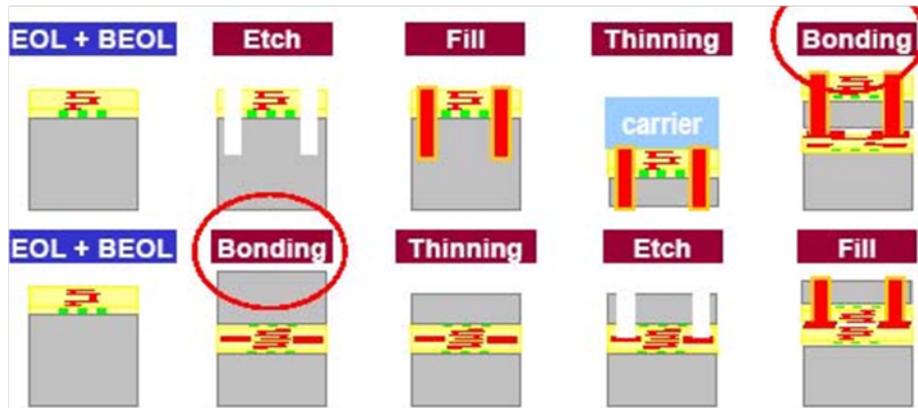
- ✓ Après isolation des parois pour le CMOS
- ✓ Cu ou W



(Source IZM)

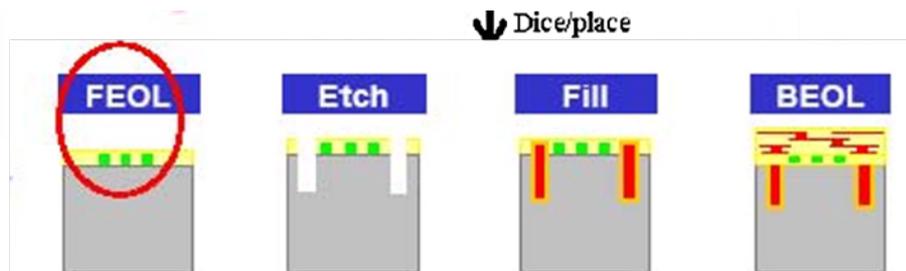
Définir la succession des opérations

Vias last : Les wafers sont terminés avant la formation des vias



Possibilité de mélanger plusieurs technos, réalisable quelque soit le fondeur **mais** les vias doivent être « loin » des différents métaux préexistants donc prennent de la place

Vias first : les vias sont formés soit au tout début, soit après le FEOL



Les vias peuvent être très petits **mais** nécessite une collaboration fondeur- fabricant de vias.

Un exemple de process : Tezzaron

Face to face

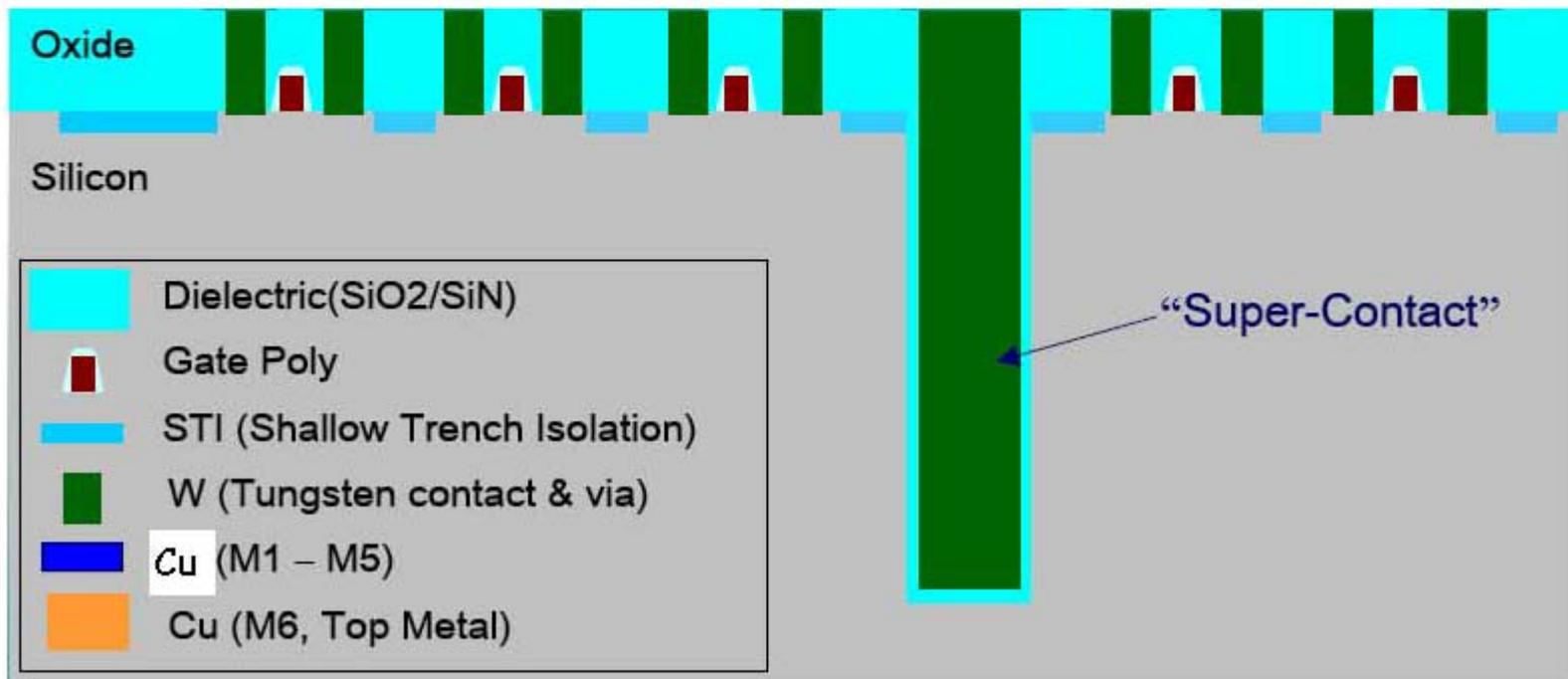
Wafer to wafer

Vias first

Accord avec fondeur : Chartered (techno $0.13 \mu\text{m}$ similaire à IBM)

Tezzaron 3D Process⁷

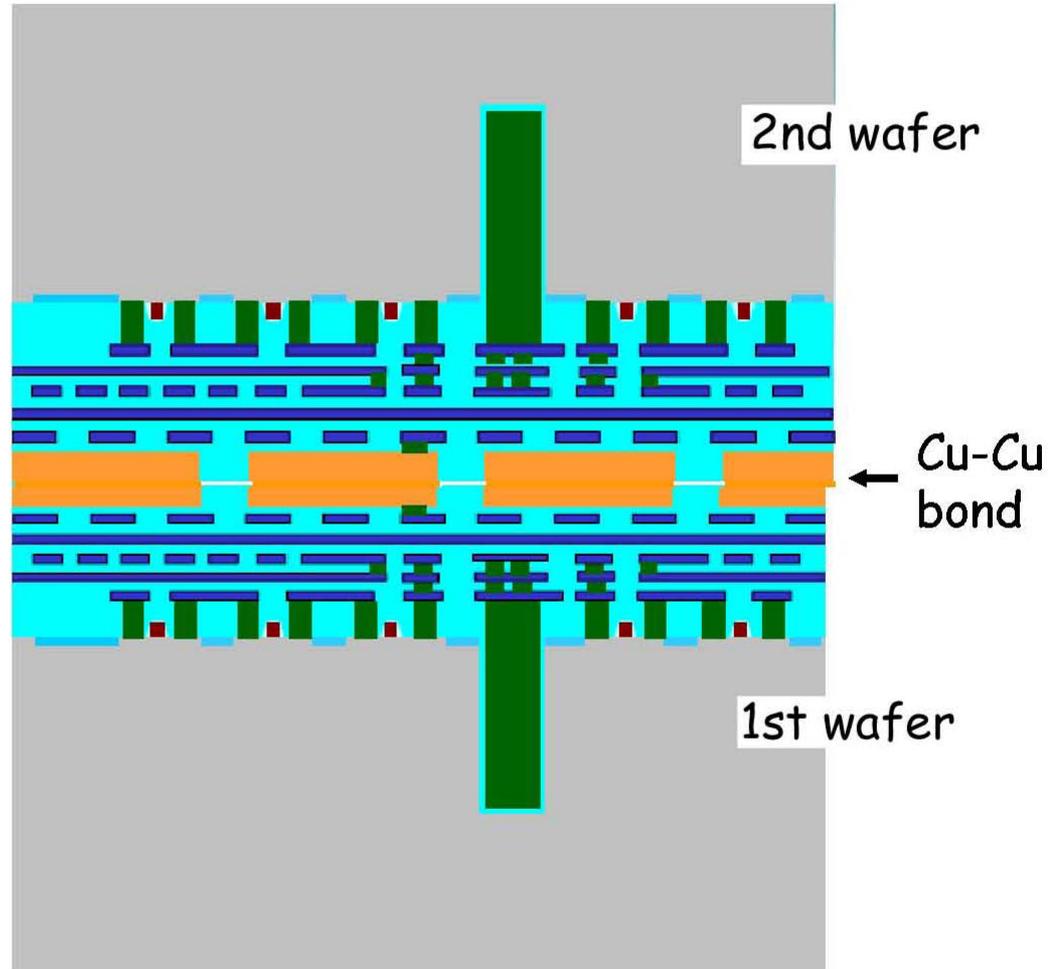
- Complete transistor fabrication on all wafers to be stacked
- Form super via on all wafers to be stacked
- Fill super via at same time connections are made to transistors



From Ray Yarema presentation : V. integration Tech. For HEP , Ringberg 2008

Tezzaron 3D Process

- Bond second wafer to first wafer using Cu-Cu thermo-compression bond

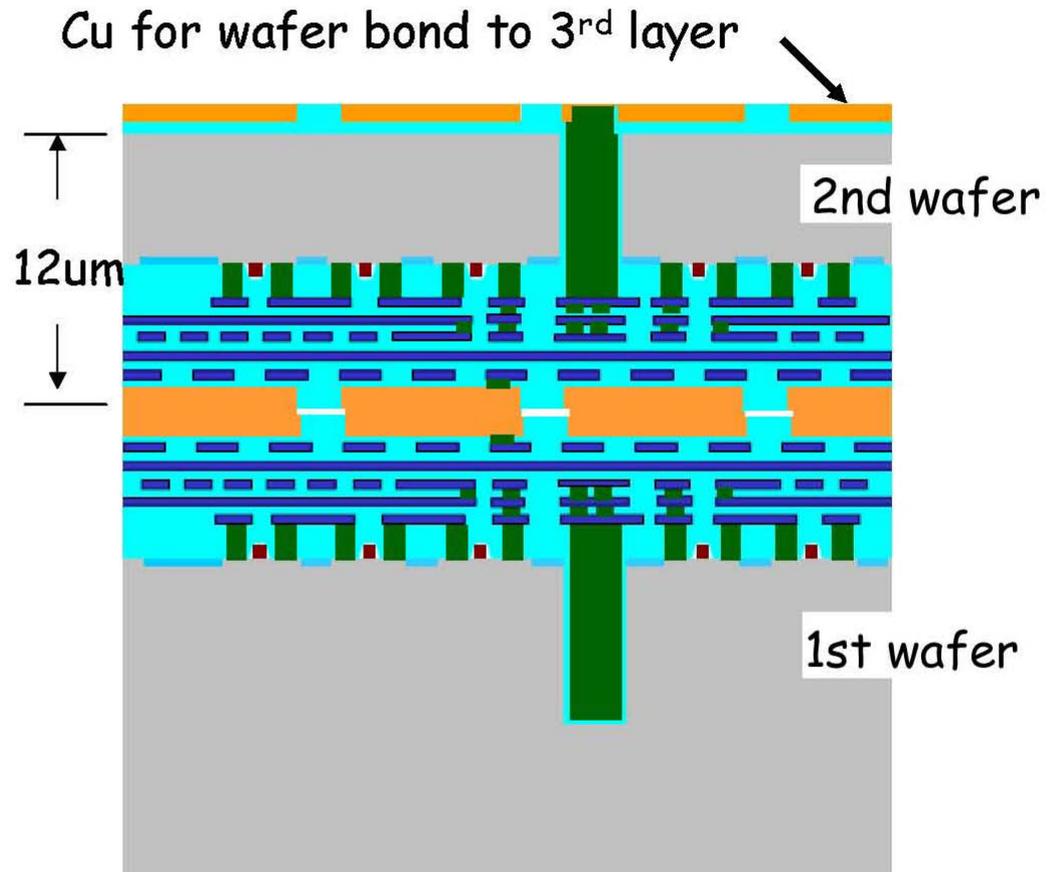


Tezzaron 3D Process

- Thin the second wafer to about 12 μm total thickness to expose super via.
- Add Cu to back of 2nd wafer to bond 2nd wafer to 3rd wafer

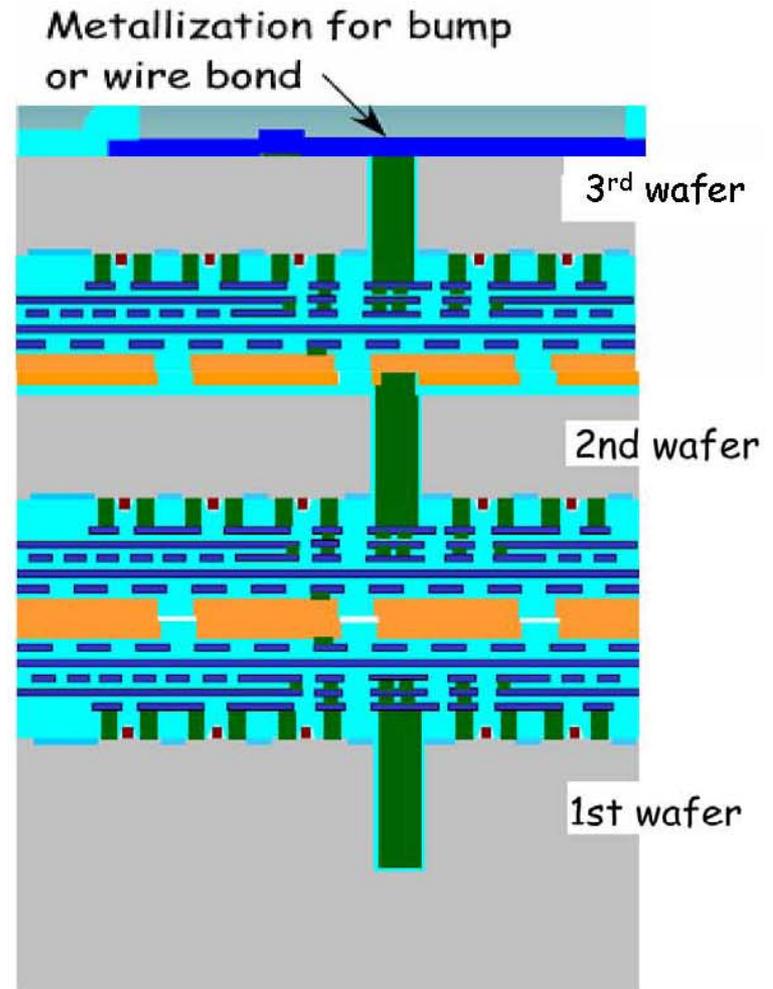
OR

add metallization on back of 2nd wafer for bump bond or wire bond.



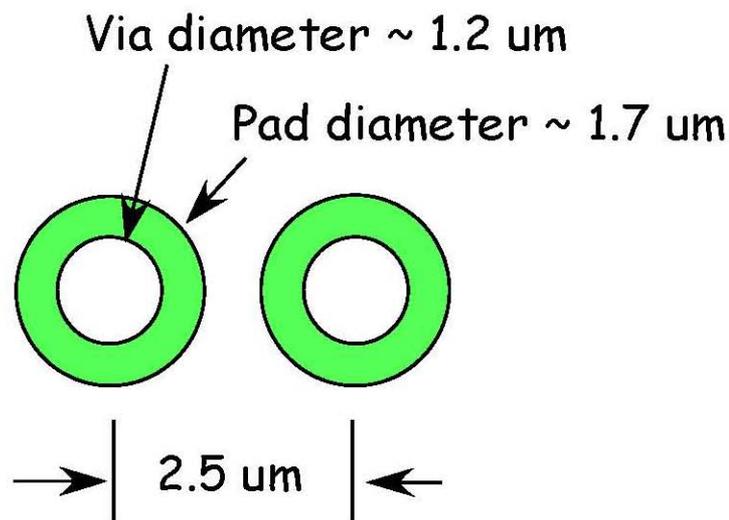
Tezzaron 3D Process

- Stack 3rd wafer
- Thin 3rd wafer (course and fine fine grind to 20 μm and finish with CMP to expose W filled vias)
- Add final passivation and metal for bond pads



Tezzaron vias

- Via size plays an important role in high density pixel arrays
- Tezzaron can place vias very close together



Wafer Bonding

- Bonding performed at 40 PSI and about 375 degrees C.
- Bonding done with improved EVG chuck
 - 3 sigma alignment = 1 um
- Missing bond connections = 0.1 PPM
- Temp cycling of bonds from -65 to + 150 C
 - 100 devices, 1500 cycles, 2 lots, no failures

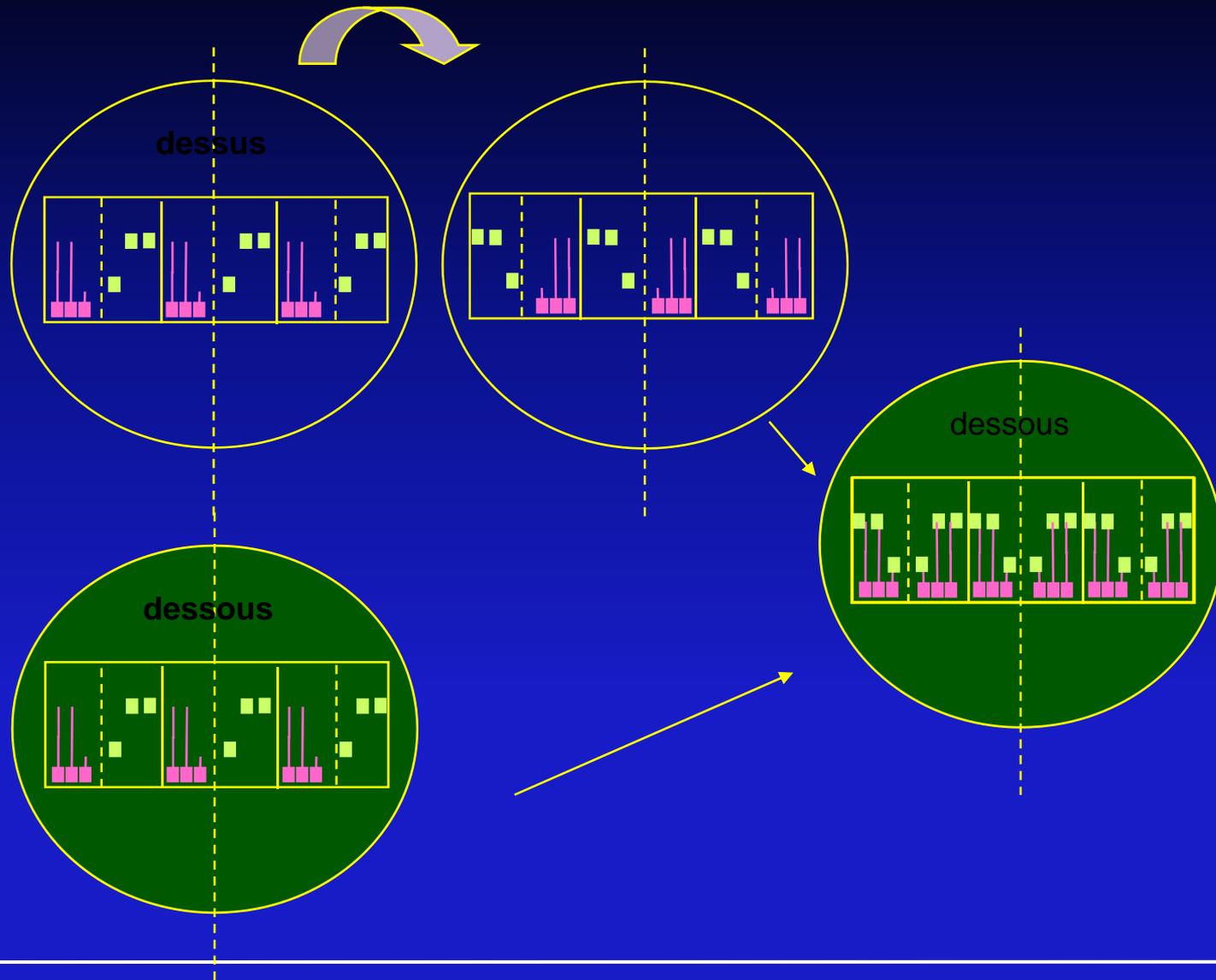
Combien ça coûte ?

Si l'on prend une approche « classique » on prend assez vite peur :

2 couches = 2 runs électronique + 1 assemblage 3D

En prototype et en 2 couches on peut ne faire qu'un run électronique (en sacrifiant souvent 1 chip sur 2)

Un seul run pour un 3D avec 2 couches



Motivations pour la physique des hautes énergies

Tour d'horizon effectué lors de 2 workshops :



✓ <http://indico.in2p3.fr/contributionListDisplay.py?confId=400>

Vertical Integration Technologies for HEP and Imaging Sensors

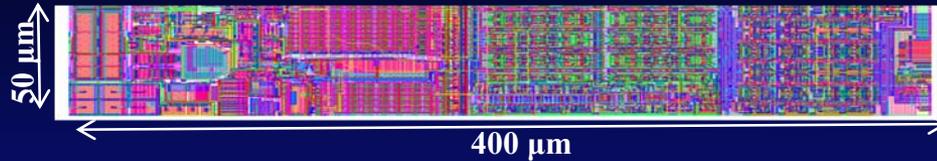
6-9 April 2008

Ringberg Castle, Lake Tegernsee

✓ <http://indico.mppmu.mpg.de/indico/contributionListDisplay.py?confId=184>

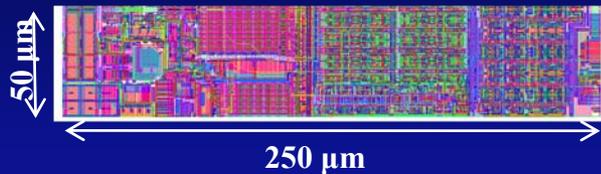
Consensus sur le fait que ce type de technologie intéresse surtout les détecteurs de vertex (pixels notamment)

Pixels hybrides pour SLHC



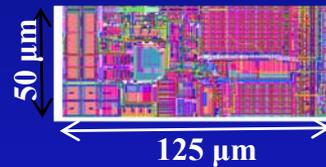
FE-I3 CMOS 250 nm

Fait : ATLAS

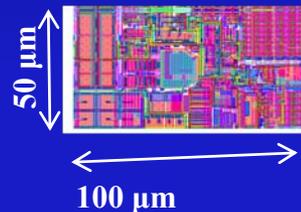


FE-I4 CMOS
130 nm

**Design en
cours**



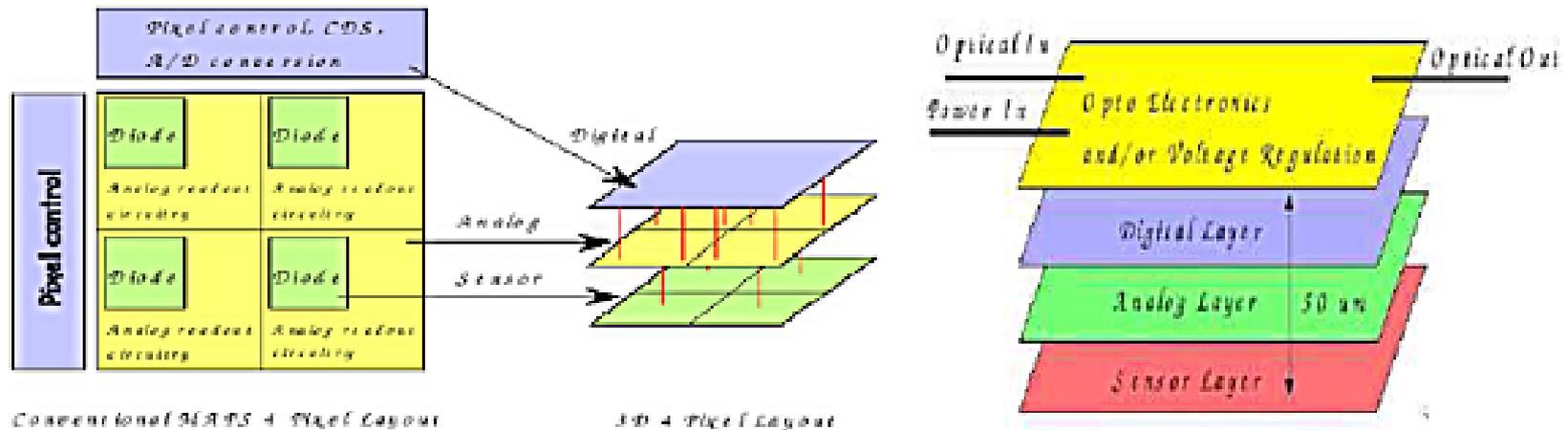
**Prochaines
générations ?**



**Réduire la taille des pixels en
conservant (augmentant) leurs
performances**

Pixels CMOS : Plus intelligents

- 3DIT are expected to be particularly beneficial for CMOS sensors :
 - combine different fab. processes
 - alleviate constraints on transistor type inside pixel
- Split signal collection and processing fonctionnalities :
 - Tier-1: charge collection system
 - Tier-2: analog signal processing
 - Tier-3: mixed and digital signal processing
 - Tier-4: data formatting (electro-optical conversion ?)
- Use best suited technology for each Tier :
 - Tier-1: epitaxy, deep N-well ?
 - Tier-2: analog, low leakage current, process (nb of metal layers)
 - Tier-3 & -4 : digital process (nb of metal layers), feature size \rightarrow fast laser (VOCSEL) driver, etc.



D'après Marc Winter: V. integration Tech. For HEP , Ringberg 2008

Projet 3D-France

Projet fédératif (dans l'IN2P3) entre les communautés pixels CMOS, hybrides, imagerie

- ✓ “définir et faire réaliser des structures de test 3D sur des galettes de semi-conducteurs”
- ✓ 4 labos intéressés: CPPM, LAL, LPNHE , IPHC (et aussi IRFU & CMP)
 - CPPM : Upgrade pixels Atlas pour SLHC
 - LAL : Idem
 - IPHC : Capteurs CMOS pour ILC
 - LPNHE : Adaptation du circuit Si-TR130

200 k€

Projet 3D-France

Démarrage début 2008

- ✓ Tour d'horizon des industriels européens : IMEC, IZM, LETI
- ✓ Chacun possède ses propres techniques
 - Procédés vias last (vias assez « gros »)
- ✓ Prix élevés pour des essais assez « simples »

Difficile de savoir quoi faire

L'expérience de Fermilab

Run Tezzaron

Fermilab va soumettre un run multi-projet en utilisant Tezzaron

- ✓ 2 couches d'électronique seulement (Chartered 0.13 μ m)
- ✓ Bonding face to face
- ✓ Taille réticule 32*24 mm
- ✓ 12 wafers 3 D attendus à partir de 25 wafers de départ
- ✓ 12 semaines de délai
- ✓ Coût total = 250 k\$ = 160 k€(moins cher qu'un run IBM 0.25 μ m !!!!)
- ✓ « Vend »des morceaux de réticule de 5* 24 mm

Expression d'intérêt des labos pour participer à ce run (achat de 2 « morceaux de réticule)

Que peut-on mettre dans un « bout » de réticule?

Structures de test génériques (CMP)

Pixels CMOS (IPHC+IRFU)

Etude de nouvelles cellules pixels hybrides (LAL)

Transfert du FEI4_prototype prévu pour l'upgrade d'ATLAS
(CPPM)

Chip de lecture mini-strips (LPNHE)

Run prévu début 2009

Conclusions

LE 3D c'est :

- ✓ Potentialités énormes
- ✓ Beaucoup de variantes et très peu de réalisations
- ✓ Peu d'outils de simulation / vérification
- ✓ Testabilité ?

Est-il urgent d'attendre ?