

Compte-rendu du CS du 11 février 2019

Présents : Marc Anduze, Alain Bonnemaïson, Jean-Claude Brient, Margherita Buizza Avanzini, Arnaud Chiron, Olivier Drapier, Gérard Fontaine, Christophe Ochando, Pascal Paganini, Thomas Patzak, Thierry Romanteau, Vanina Ruhlmann-Kleider, Guillaume Unal

Excusés : François Arléo, Deirdre Horan

Ordre du jour

- Point d'information : upgrade de T2K – Michel Gonin (30')
- Calcul : le projet DECALOG – Gilles Grasseau (45')
- Activité CALICE et collisionneurs $e^+ e^-$ – Vincent Boudry et Frédéric Magniette (1h30)

Divers

- Toutes les présentations des CS et leur compte-rendu sont disponibles sur le site <https://indico.in2p3.fr/category/653/> ;
- La présidence du Conseil est assurée par intérim par Gérard Fontaine, suite à la démission d'Olivier Drapier, qui a été élu président du Conseil scientifique de l'IN2P3.
- Le Conseil commence la séance fermée par l'élection d'un nouveau président. Christophe Ochando est élu à l'unanimité. Il ne pourra cependant pas rester jusqu'à la fin de l'après-midi, Gérard Fontaine continuera donc d'assurer l'intérim pour cette séance.
- Lors de chaque CTRP, un membre du Conseil scientifique sera désormais invité, choisi selon ses compétences par rapport au sujet examiné. Le CTRP concernant CTA (N.B. il s'est tenu le 12/02) accueillera Christophe Ochando. Le CTRP programmé le 5 mars pour l'électronique du Super-FGD de T2K, accueillera Thierry Romanteau. La direction du laboratoire a par ailleurs décidé que les comptes-rendus des CTRP seraient désormais accessibles aux membres du laboratoire.

Point d'information : upgrade de T2K

Point d'information : upgrade de T2K – Michel Gonin

Michel Gonin présente un point d'information sur la contribution du laboratoire aux “upgrades” de l'expérience T2K, et notamment sur l'électronique “Front-end” de lecture de la cible à cubes de plastique “Super-FGD”. Des études ont été faites pour comparer les performances des deux solutions proposées par le LLR (à base de chip “SPIROC”) et par l'Université de Genève (utilisant les chips “CITIROC”). Il s'avère finalement que notre approche, plus simple et moins coûteuse, répond moins bien au cahier des charges en terme de performances de physique, notamment du fait qu'un premier signal enregistré sur une fibre masque totalement la possible survenue d'une deuxième particule dans le même canal. Dans l'électronique que le groupe de Genève a développée pour le détecteur Baby-MIND, cette limitation est contournée par l'utilisation de trois chips “CITIROC” par carte, associés à un FPGA, qui peut garder la trace d'un deuxième déclenchement survenant immédiatement après un premier. L'électronique retenue par la collaboration pour le projet sera donc finalement basée sur la solution proposée par nos collègues de Genève, qui a fait ses preuves dans des tests faisceau menés avec un prototype de Super-FGD pendant l'été 2018. Cependant, cette électronique nécessitera de nombreuses modifications pour surmonter les problèmes d'encombrement, de dissipation thermique et de fonctionnement dans le champ magnétique de 0.2 T du détecteur. Avec l'assistance du groupe de Genève, le LLR développera une nouvelle carte “Front-end”, basée sur 4 chips “CITIROC” pilotés par un FPGA choisi au plus proche des performances requises. Le nombre total de cartes s'élève à 456, auxquelles il faudra ajouter des cartes de rechange. Le coût total de ces cartes avoisinera les 750 k€. Le calendrier prévu actuellement correspond à une installation des cartes à l'automne 2021. Les autres cartes électroniques nécessaires au fonctionnement du système (mise en temps, contrôle, transfert des données ...) seront prises en charge par d'autres groupes, notamment japonais et américains, avec lesquels nous collaborerons. L'École polytechnique a signé un premier accord pour le transfert des informations techniques nécessaires par le groupe de Genève, et les fichiers ont été reçus. Ils vont permettre l'évaluation du travail à mener et des ressources nécessaires (de l'ordre de 2 FTE ingénieur), qui donnera lieu à un CTRP le 5 mars 2019. Sur le plan financier, l'IN2P3 a prévu un budget d'environ 300 k€, qui couvrirait la réalisation de prototypes et d'un banc de tests, et la fourniture des quelque 2000 chips “CITIROC” comme une contribution en nature. La production des cartes devrait être financée par d'autres canaux, notamment l'Université de Genève et l'Université de Tokyo.

Recommandations du CS

Le CS ne revient pas sur les objectifs scientifiques du groupe neutrinos dans le projet Super-Kamiokande dont la qualité et l'ambition avaient été reconnus lors de la séance du 19 juin 2018, et il apprécie que les contributions techniques du groupe soient désormais plus ciblées et mieux précisées.

Pour l'upgrade proposé (électronique de lecture du Super-FGD), le LLR devra se concentrer sur le design et la réalisation d'un prototype de la carte "Front-end", la préparation d'un banc test et les tests du prototype, en veillant à ce que le suivi de fabrication en série des cartes électroniques soit bien pris en charge par les collaborateurs japonais tout en évitant un trop grand "turn-over" d'étudiants testeurs.

Il réitère sa demande d'une estimation des gains apportés par l'upgrade du ND280 sur les erreurs systématiques concernant les observables physiques (sections efficaces). Ces informations, issues du TDR de l'Upgrade ND280 (Jan. 2019), sont communiquées au Conseil pendant la séance fermée et correspondent à un gain allant de 25% à 50% sur les principaux paramètres.

Calcul : le projet DECALOG

Calcul : le projet DECALOG – Gilles Grasseau

Gilles Grasseau présente un point d'information sur DECALOG, le Master-Project de l'IN2P3 dont il est le porteur et qui a pour but de fédérer les efforts dans le domaine du calcul HPC (*High Performance Computing*). Cette thématique est particulièrement importante pour les projets actuels et futurs du laboratoire, la quantité de données à stocker et traiter tendant à exploser tandis que les modèles de computing font appel à du hardware de plus en plus hétérogène (CPU, GPU, FPGA, ...). Le projet a été soumis fin 2017 et a pu s'appuyer notamment sur l'expertise locale, tant pour les calculs de *Matrix Element Method* (MEM) des analyses de CMS que ceux liés aux activités d'accélération laser-plasma (code *SMIELEI*). Deux projets y sont pour l'instant associés :

- **Compute Ops**, porté par Cécile Cavet (APC), avec la participation de 5 laboratoires de l'IN2P3 dont le LLR (avec Andrea Sartirana). Il vise à étudier les technologies de conteneur pour le HPC, l'impact sur les performances des différentes possibilités (Docker, Rocket, lxd, ...) ou l'adaptabilité à la grille de calcul.
- **Reprises**, porté par David Chamont (LAL), avec la participation de 8 laboratoires de l'IN2P3 dont le LLR (avec Gilles Grasseau). Il se focalise sur la portabilité des codes sur différentes architectures hardware (possibilité d'écriture générique de haut niveau) ainsi que sur la reproductibilité des résultats.

Chacun de ces projets bénéficie de la plateforme *Accelerated Computing for Physics* (ACP) de P2IO, installée au laboratoire. Gilles présente ensuite les activités 2018 liées à DECALOG : organisation de l'Ecole informatique de l'IN2P3 sur le thème des *conteneurs en production*, participation au programme Google Summer Of Code (GSOC), participation aux Journées Informatiques 2018 ou encore les publications liées aux projets (dont un proceeding de CHEP'2018 de G. Grasseau et al.). En 2019, il est notamment prévu de participer à l'Ecole ASTERICS-OBELICS (Avril 2019, LAPP) ainsi que de soumettre des projets pour

GSOC 2019. Gilles détaille ensuite les activités en lien avec les activités scientifiques du LLR et dans le périmètre de DECALOG : développement de la plateforme ACP (indispensable pour le développement agile de projets sur GPU), les résultats impressionnants obtenus sur l'extraction du couplage du Higgs au quark top dans CMS avec une MEM (500 secondes de calcul avec 32 GPUs vs 55 jours avec 1 coeur CPU standard) ainsi que le projet GSOC 2018 HAhRD sur l'algorithmie de reconstruction dans HGCAL (CMS) à l'aide de *Convolutional Neural Network*. Gilles souligne la pertinence des activités de DECALOG avec la révolution en cours du *Deep Learning* et la nécessité de "prendre le train en marche". Des développements sont d'ailleurs en cours, que ce soit pour l'utilisation de réseaux de neurones profonds dans le futur système de déclenchement sur FPGA de HGCAL ou la détection automatique d'anomalies dans la *Data Quality Monitoring* de CMS. Enfin, Gilles pointe un manque de ressources humaines au laboratoire dans ces activités de premier plan, cruciales pour l'avenir de nos futurs instruments.

Recommandations du CS

Le conseil prend note de la volonté de l'IN2P3 de développer la recherche en informatique finalisée sur les besoins de la discipline, avec notamment la nomination d'un DAS et des appels à projets spécifiques. Il est important que le laboratoire soit impliqué dans cette activité, même si elle ne représente qu'un effort modeste en terme de FTE. Cependant, le CS souhaiterait une approche projet plus structurée avec des objectifs et un agenda mieux définis. Il voudrait en outre savoir plus précisément comment cette activité s'intègre dans les efforts de la communauté HEP, par exemple concernant le computing pour HL-LHC, ainsi que la place qu'occupe le LLR dans ce cadre, en terme de visibilité, de besoins, etc ... Le Conseil suggère à Gilles de donner un séminaire détaillé sur le sujet afin d'exposer plus longuement cette activité à l'ensemble des agents du laboratoire.

Activité CALICE et collisionneurs $e^+ e^-$

Activité CALICE et collisionneurs $e^+ e^-$ – Vincent Boudry et Frédéric Magniette

Vincent Boudry et Frédéric Magniette présentent un résumé des cinq dernières années de recherche et développement sur les calorimètres ultra-granulaires. Vincent se concentre sur les motivations, le contexte global et l'équipe tandis que Frédéric détaille les réalisations techniques et les résultats obtenus.

Vincent commence par rappeler l'intérêt et les avantages d'un collisionneur e^+e^- : états initiaux connus, scans en énergie possibles, états finaux propres, bruits de fond faible, possibilité de mesurer la largeur totale du boson de Higgs (H) sans hypothèses, etc... En outre, si les faisceaux sont polarisés, de nouvelles fenêtres s'ouvrent tant pour la physique au-delà du

Modèle Standard que pour l'exploration fine de la physique électro-faible. Vincent détaille ensuite les caractéristiques de l'*International Linear Collider* (ILC). Le scénario de travail actuel repose sur 15 années de prise de données à 250 GeV dans le centre de masse au seuil de production ZH afin de maximiser la physique du H, suivi de montées à 350 puis 500 GeV pour notamment la physique du top et l'approfondissement de la compréhension du H (auto-couplage, couplage de yukawa du quark top, ...). Les dernières études montrent qu'avec ILC250, on pourrait atteindre des précisions relatives sur les couplages du H aux champs fondamentaux de l'ordre de 2% en moyenne, comparables aux dernières projections publiées dans le cadre de la mise à jour de la Stratégie Européenne de Physique par ATLAS et CMS pour la phase de très haute luminosité du LHC. Descendre en-dessous du % nécessite ILC500. Ces précisions ne peuvent être atteintes qu'à l'aide de détecteurs optimisés pour le *Particle Flow* (PF) combinant haute intégrale de champ magnétique, trajectographe de très haute précision et calorimètres ultra-granulaires. Le laboratoire a été à l'origine du concept de ces derniers et en particulier du calorimètre imageur électromagnétique SiW alliant compacité, grâce à l'utilisation de tungstène en tant que matériau absorbeur, et ultra-granularité avec la lecture de millions de canaux de provenant de capteurs silicium.

Le groupe est impliqué à la fois dans la collaboration CALICE, pour le design de la calorimétrie, ainsi que dans ILD, pour le design général des détecteurs pour ILC. Il est très visible, que ce soit au travers de nombreuses présentations en conférences internationales données ces dernières années (CHEF-2017, ICHEP-2016, EPS-HEP 2015, ...) ou des multiples reponsabilités (coordinateur ILD SiW, coordinateur technique CALICE SiW, ...). Il collabore avec de nombreux groupes français (LAL, LPNHE, LPSC, IPNL) et étrangers (DESY, IHEP, Kyushu, Tokyo/KEK). Il subit une lente érosion de ces effectifs, mais a réussi à maintenir au fil du temps un recrutement de post-docs et de thésards grâce à de nombreux contrats (P2IO, AIDA, FJPPL, FCPPL,...). Le groupe n'a cependant plus d'étudiant en thèse ou de post-doc à l'heure actuelle.

Frédéric prends ensuite le relais et rappelle les éléments de base des prototypes de calorimètres SiW : *Active Sensor Unit* (ASU), PCB conçu au LLR et accueillant jusqu'à 16 puces électroniques *SKIROC2(a)* lisant les capteurs Silicium, cartes SMB, DIF, GDCC et CCC conçues au LLR et constituant la partie hardware de la DAQ. La partie software, *Calicoes*, complète l'ensemble. Outre les tests en faisceaux de CALICE, tout ou partie de cet ensemble a été utilisée ou adaptée pour les besoins d'autres projets du laboratoire (WAGASCI, PEPITES, HGCAL). Frédéric détaille aussi les outils graphiques de monitoring et de représentation on-line ou off-line développés dans ce contexte.

Depuis 2012, 7 périodes de tests en faisceaux ont permis d'éprouver différentes versions d'ASU, de slabs courts ou longs, etc... Frédéric se concentre sur les plus récents, en commençant par celui de 2017 à DESY. Un stack de 7 slabs courts utilisant les ASU v11 y a été exposé à des faisceaux d'électrons de basse énergie (entre 2 et 5.8 GeV). De nombreuses études ont pu être conduites : mesure des piédestaux (uniformité au niveau de 1% mais près de 8% des canaux ont été trouvés défailants), calibration du MIP (rapport signal sur bruit S/N de 20), profils de gerbes (en faisant varier l'épaisseur d'absorbeurs en tungstène).

Un slab a également été testé dans l'environnement de champs magnétiques de (0.5 ou 1 T). Aucune perturbation mécanique induite par le champ magnétique ou d'altération du fonctionnement de l'électronique n'a été remarqué.

En collaboration avec l'Université de Kyushu, les équipes du LLR ont ensuite entrepris de modifier la conception des ASU afin d'en améliorer les performances (réduction du nombre de canaux masqués ou d'évènements auto-déclenchés) mais aussi de les adapter aux slabs longs, plus proches de la géométrie finale d'ILD. Les modifications comprennent notamment un re-design systématique de toutes les lignes de données sur le PCB, l'utilisation d'un nouvel ASIC fourni par OMEGA (Skirc2a), une séparation des alimentations du pré-amplificateur et du reste des parties analogiques de l'ASIC, un re-design de la carte SMB ou des modifications au firmware de la DIF. Cinq nouveaux slabs (utilisant maintenant les ASUv13 et les cartes SMBv5) ont été testés sous faisceaux d'électrons de 3 GeV à DESY en Juillet 2018 puis avec des muons, pions et électrons de 30 à 150 GeV au CERN en septembre 2018. Bien que les analyses ne soient pas encore finies, les premiers résultats sont encourageants : le rapport signal sur bruit est désormais de 40 et le nombre de canaux masqués a drastiquement chuté.

Un prototype de slab long a également été conçu et fabriqué, intégrant jusqu'à 8 ASU chaînés dans le but d'adresser les problématiques de transmission des signaux et d'alimentation (basse et haute tension) sur des longues distances. Pour des raisons évidentes de coût, les ASU ne sont équipés que de baby Si-wafers de $4 \times 4 \text{ mm}^2$. Des tests extensifs en cosmique ou avec une source de Césium 137 ont permis de mettre en évidence plusieurs problèmes : dégradation du S/N dès le troisième ASU due à un cumul de bruit dans le circuit de haute tension et nécessitant l'ajout de filtres passe-bas tous les deux ASU, perturbations d'horloge. Le prototype a également été exposé à un faisceau d'électrons à DESY en Juillet 2018. Une structure portante avait été spécifiquement conçue et fabriquée au LLR pour l'occasion afin d'effectuer des calibrations de MIP selon différents angles. La valeur du MIP varie selon les ASUs et diminue le long du slab. La raison de cette inflexion n'est pas connue. La prochaine génération de prototype devra utiliser des wafers de 8 pouces (au lieu de 6), une nouvelle version de l'ASIC (utilisant certainement une technologie TSMC) ainsi que des adaptations des cartes SMB et DIF.

Au cours des cinq dernières années, outre les prototypes décrits ci-dessus, le groupe a contribué à diverses études de conception du détecteur global au sein de la collaboration ILD : géométrie sans zone morte du ECAL, calculs de structure statiques et dynamiques (sous l'effet de perturbations sismiques), développement d'algorithmes de particle flow, optimisation et redéfinition des dimensions, etc...

Frédéric et Vincent concluent sur la stratégie du groupe, fonction d'une décision du Japon sur l'accueil de l'ILC sur son sol. Si la réponse est positive, le groupe, fort de son expérience et de son expertise, souhaite prendre en charge la responsabilité de la conception du ECAL SiW. Dans le cas contraire, le groupe finira de documenter l'ensemble des études et résultats venant des prototypes et se tournera vers les futurs collisionneurs leptoniques pour lesquels des adaptations seront forcément nécessaires (pas de power-pulsing, électronique différente, refroidissement actif, etc...).

Recommandations du CS

Le travail accompli sur l'activité CALICE est de très grande qualité et assure une véritable visibilité pour le LLR. Les retombées sur le laboratoire sont de première importance, tant en ce qui concerne le système de DAQ que les autres développements techniques. Le CS regrette cependant le long délai qui s'est écoulé depuis le dernier examen de cette activité. Le conseil souligne l'excellent travail instrumental réalisé, et recommande une plus grande implication des physiciens du laboratoire dans la réalisation des tests et leur analyse. Il est impératif que les données déjà prises soient entièrement analysées et publiées au plus tôt, quelle que soit la décision pour l'ILC. Le CS encourage donc les physiciens du groupe à mener à bien ces analyses et ces publications. Pour la suite, des tests de "stack" avec les "wafers" existants ont-ils été prévus par CALICE, mais n'ont pas été explicitement mentionnés dans la présentation en séance ouverte. En cas d'acceptation du projet ILC, le programme précis de ces tests devra être revu par le CS, et un CTRP devra être organisée pour qu'ils puissent être mis en œuvre le cas échéant. Dans cette hypothèse, ils devront alors être complètement analysés et les résultats publiés. Au cas où aucune décision ferme concernant l'ILC ne serait annoncée prochainement, le Conseil recommande que les physiciens s'intègrent à des projets de physique du laboratoire, afin de ne pas rester trop longtemps sur une activité purement instrumentale. Dans tous les cas de figure, le conseil souhaite revoir la situation de cette activité dans un point d'information lors de sa prochaine session, à la lumière de la décision japonaise qui doit intervenir avant l'été.