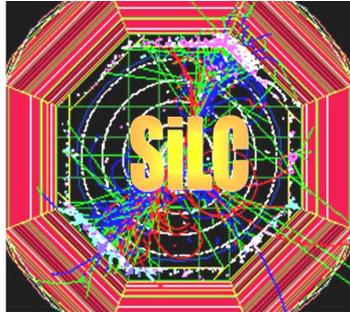


SiLC: *Revue des activités R&D sur trajectographes au Silicium de Large Dimension, Status et perspectives*



- ▶ Principales Lignes de R&D:
 - Détecteurs au Silicium
 - Mécanique
 - Electronique
- ▶ Bancs de tests et tests en faisceaux
- ▶ Simulations
- ▶ La collaboration, les Moyens, Synergie LHC

Réunion SOCLE, 19-20 Novembre 2007, à CLERMONT-FERRAND

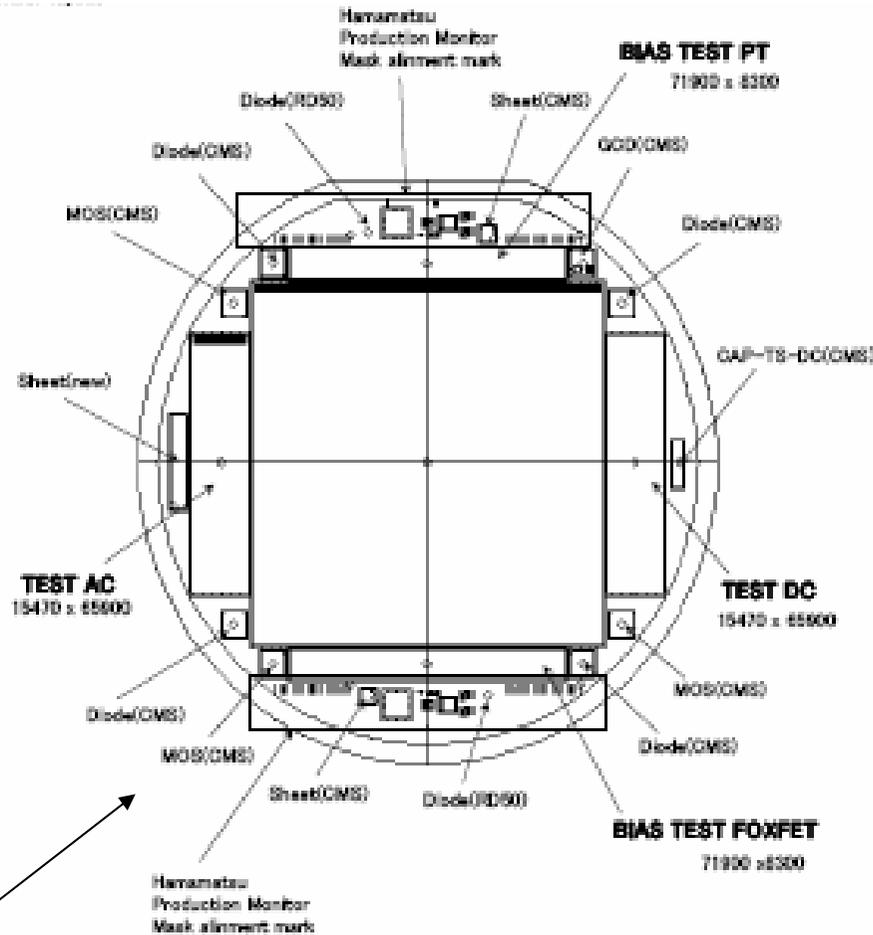
A. Savoy-Navarro-LPNHE UPMC/CNRS-IN2P3

R&D sur détecteurs: programme de travail

IEKP Karlsruhe, HEPHY Vienna, LPNHE, IFCA+IMB/CSIC, VTT, HPK et autres

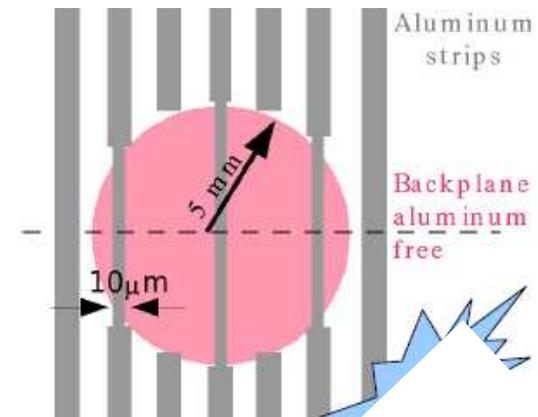
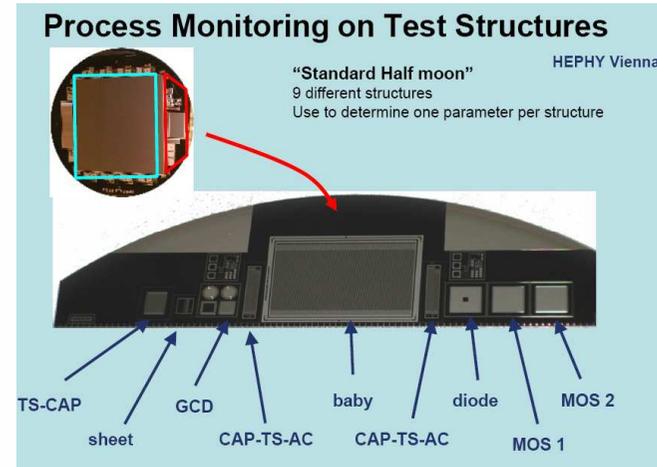
- Step 1 (2007)
 - ✓ Amincissement (100, 200, 300 μ m): EDGETEK+LPNHE & 3D-Planar (nouvelle techno 3D)
 - ✓ Grands wafers et pitch 50 μ m : nouveaux détecteurs HPK (voir suite)
 - ✓ Améliorations des structures de tests & des bancs de tests (voir suite)
- Step 2a (2008-)
 - ✓ Cartes FE remplacées par chip directement connecté sur les microstrips (Accord NdA HPK-IN2P3/LPNHE)
 - Test des caractéristiques des nouveaux détecteurs HPK grâce aux structures de tests (Tests au SPS en 2008)
- Step 2b (2008-)
 - ✓ Test 6" de détecteurs Si double face (LPNHE + Canberra)
- Step 2c (2008-)
 - ✓ 8" (12") wafer simple face (en discussion/investigation avec firmes)
- Step 3 (2007-)
 - ✓ Nouvelles firmes intéressées (Liverpool: Micron & E2V)
 - ✓ Nouvelles technologies (IMB-CNM, HIP, VTT, HEPHY, LPNHE), notamment techno 3D pour i) μ strip (3D Planar) et ii) 3D pixel

Nouveaux wafers μ strip 6" (HPK) avec tests structure à-la-CMS améliorées.
 Détecteurs: $9.05 \times 9.05 \text{cm}^2$, épaisseur: $320 \mu\text{m}$, pitch: $50 \mu\text{m}$; 35 détecteurs dont
 5 avec traitement spécial pour alignement avec laser; Fournis en temps
 (rapide!) par HPK 1^{er} Octobre et utilisés pour tests en Octobre et à venir 2008



(Dessiné 21/6/07 avec HPK-HEPHY)

Principal problème: MONEY €€€€€€

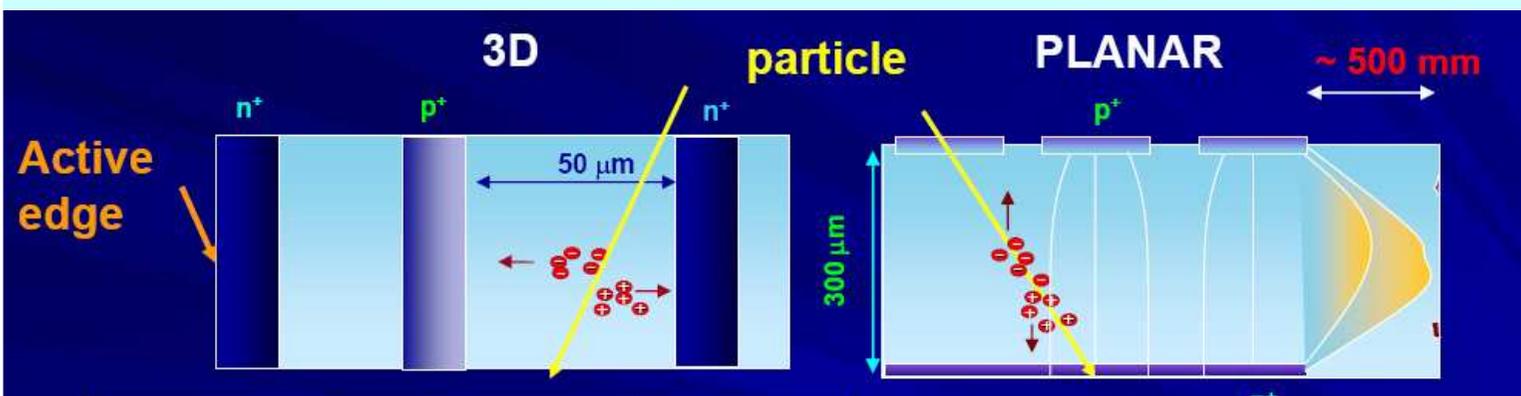


5 wafers HPK traités pour alignement:
 Al sur plan arrière est enlevé et μ strip
 réduits à $10 \mu\text{m}$

Nouvelle technologie μ strip (VTT, HEPHY, LPNHE)

Avantages offerts par structure 3D:

- Très haute tenue aux radiations
- Réponse rapide (10 fois plus rapide)
- Opère à très basse tension (10V par rapport à 100V ou plus)
- Zone active étendue jusqu'au bord du détecteur (edgeless)
- Intérêt pour bonding de 2 détecteurs: reduction of zone inactive entre eux.
- détecteurs peuvent être très minces car la collection de charge se fait sur la longueur plutôt que l'épaisseur du détecteur (voir schéma plus bas)



	3D	Planar
Q collection path	50 μm	300 μm
V _{depletion}	<10V	70 V
Edge sensitivity	10 μm	500 μm
Q Collection time	1-2 ns	10-20 ns

Les premiers prototypes seront prêts en fin 2007
 Actuellement en fabrication, ont les structures
 De tests incluses.
 Tests en 2008 avec caratérisation complète
 si OK (y inclus tests en faisceaux)

Bonding le FE chip sur μ strips (HPK, LPNHE)

- Meeting avec HPK au Japon durant FJPPL, Mai 2007
 - 30 Août: meeting à IN2P3 avec HPK représentants => NdA avec:
 - Programme de travail suivant
 - HPK délivre les nouveaux détecteurs 6" décrits avant: *done*
 - IN2P3 délivre le layout du chip dès que disponible (*en cours: Fév 08?*)
 - HPK développe le bonding par "bump" ou "stud" bonding
 - Dès que chips SiTR-130_128 revient de fonderie, quelques chips fournis à HPK pour tester procédure de bonding (*en cours: Mai 2008?*)
 - Avec chips caractérisés OK, préparation de série de tests:
 - Caractérisation en banc de test labo des détecteurs avec nouveau bonding du chip sur le détecteur à μ strips. Et:
 - Comparaison performances avec solution "classique" = chip sur carte FE et adaptateur de pitch. La carte étant optimisée pour assurer les meilleures performances possible.
- (A mettre en œuvre: gros travail)***

Si tout fonctionne bien (fonderie du chip) et bonding chip detecteur etc... possible d'avoir résultats en fin 2008. (Shift possible de 6 mois si pbs..)

R&D sur détecteurs: rôle du LPNHE

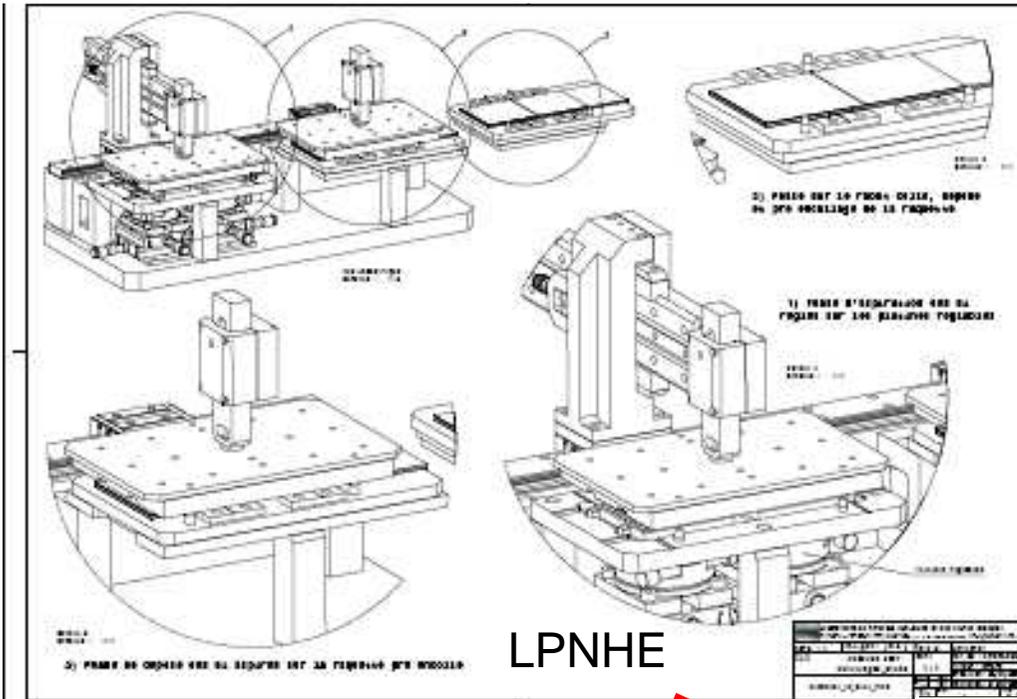
- **Correspondant de SiLC avec HPK** => i) HPK participe à baseline: μ strips de plus grande dimension ($\geq 6''$), simple face, plus mince et pitch réduit ($\leq 50\mu\text{m}$) et traités pour alignement.
ii) HPK en collaboration avec LPNHE pour routage du chip directement sur μ strips (procédure NdA en cours)
- **Suscite intérêt** d'autres groupes avec autres firmes (ex Liverpool)
- **Initiateur** sur utilisation de nouvelles technologies: alternatives 3D, extension utilisation des pixels, connection strip-chip
- **Active participation sur tests pour caractérisation** des détecteurs bancs de test et faisceaux tests (voir plus loin)

R&D sur Mécanique:

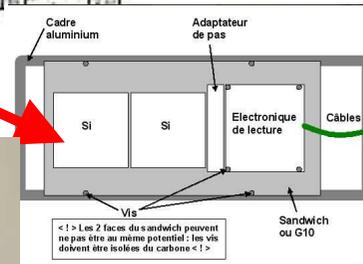
- Développement expertise sur construction des modules et construction de l'outillage: LPNHE (collaboration avec le Bonding Lab au CERN)
- Construction de prototypes de plus grandes dimensions
- Investigation nouveaux matériaux pour structures et pour
- Enveloppe isolante (thermique et électrique) avec Obninsk State Uni et Torino.

Développement outillage et construction modules

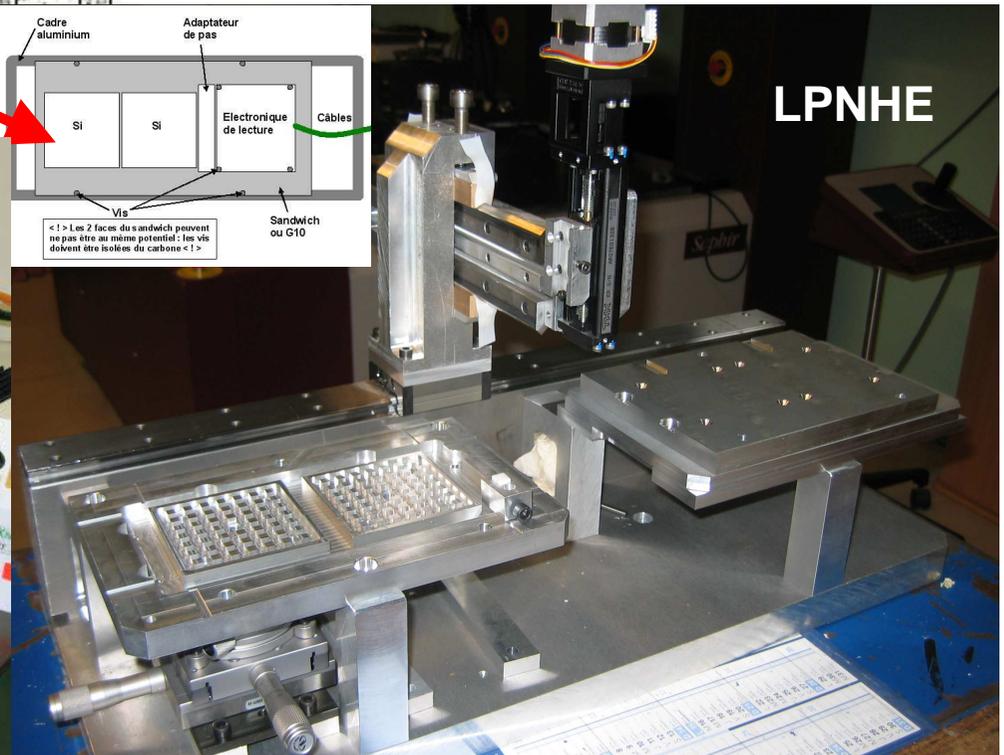
- Acquisition de nouvelle expertise et et de l'outillage au LPNHE (en cours)
- SiLC inclut des Labs Silicium tels que: IEKP Karlsruhe et beaucoup d'autres..
- Collaboration LPNHE-BondingLabCERN (A. Honma, I. McGill, M. Moll): essentielle



LPNHE

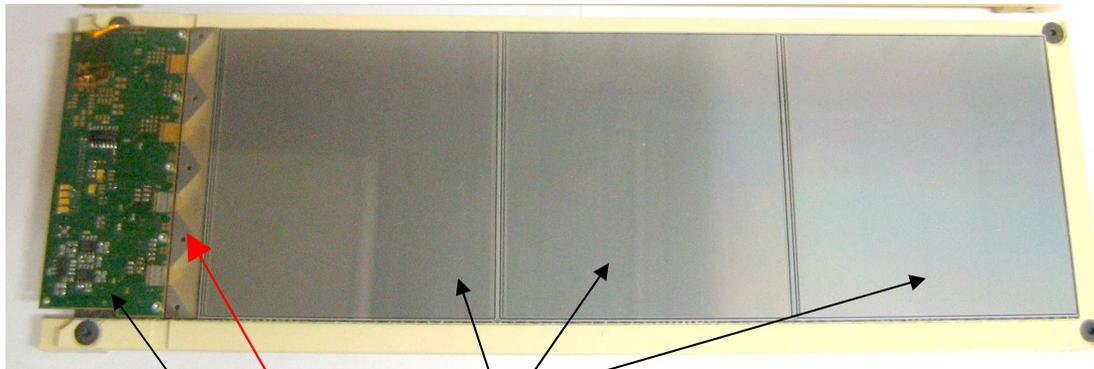


< ! > Les 2 faces du sandwich peuvent ne pas être au même potentiel: les vis doivent être isolées du carbone < ! >



Fabrication de modules au LPNHE

- ❖ Quelques modules à 2 ou 3 détecteurs ont été construits par le LPNHE pour les tests en faisceaux à DESY (06 et 07) et au CERN (07). La collaboration avec le CERN a été essentielle (bonding des détecteurs sur un même module, bonding des chips, réparations)
 - ❖ Nécessité de développer une infrastructure (local) et l'outillage pour pouvoir poursuivre avec moyens nécessaires et comparables au Labo Silicium. Plusieurs meetings avec directeurs techniques IN2P3 (Lavocat puis Dargent et F. Lediberder).
- **Processus en cours: aménagement de salle propre et achat de machine à bonder plus développement expertise du personnel technique et des physiciens.**



Premier module avec 3 détecteurs TOB de CMS
Une carte FE avec lecture basée sur VA1 (512 v)
Adaptateur de pitch entre module et carte de lecture

- Pbs: €) coût des détecteurs
€) coût des structures (matériaux)
€) coût outillage

Nouveaux HPK+chip



Fabrication de prototypes de larges dimensions

(délivrables EUNET mais pas support pour meca et détecteurs)



Le LPNHE étudie, pour le moment, la fabrication de ces plans qui correspondent à la fois à une structure pour central barrel et aussi pour plan XUV endcap. Autres Labos s'y associent:

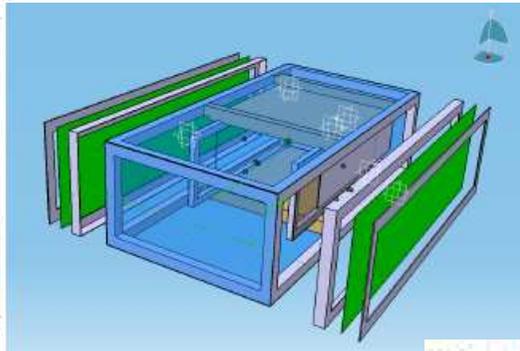
- ✓Premier prototype de grande dimension (**structure mécanique fin 2007**).
- Systeme évolutif en nombre de plans et en équipement de chaque plan.
- ✓Premier module testé au CERN T.B. en Oct 2007.
- ✓Total de 4 plans prévus (modules et nouveau FEE) pour T.B. 2008-2009
- ✓Peut servir comme 2 plans XY(trace) ou un plan XUV si End Cap.
- ✓Prévus pour tests combinés avec Calorimétrie et vertex
- ✓Une enveloppe isolante thermique et servant aussi de Cage de Faraday est prévue pour cet ensemble (Turin et OSU avec collab LPNHE en Oct 08)
- ✓Prototype du Systeme d'Alignement associé sera inclus (IFCA Oct 2008).
- ✓Table 3D pour tests en faisceau prévue (Turin, été 2008)

ENVELOPPE ISOLANTE (LPNHE + OSU + Torino U.)

Sur la base des résultats obtenus avec l'électronique il est clair que la dissipation en puissance n'est pas un pb dans le cas ILC avec SiTR-130 chip
(but garder: 0.5mW/voie non inclus le power cycling).

MAIS il est IMPORTANT de prévoir une enveloppe isolante thermique/environnement et en même temps cage de Faraday. Ceci est en cours d'étude avec OSU et Turin

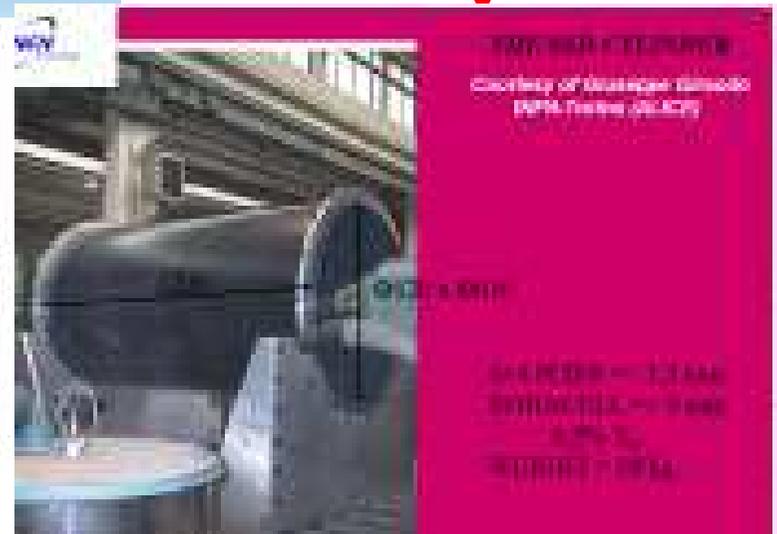
Insulating cage for DESY test beam



Enveloppes en matériau composite fabriqués par OSU & Torino U.



Cage de Faraday pour tests DESY-CERN 06-07



OSU, 1000 E. CLATSOP
Clatsop Community College
1000 E. CLATSOP

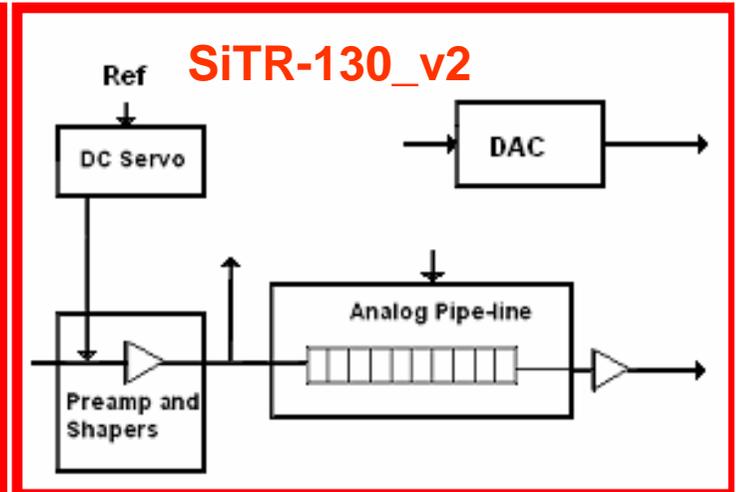
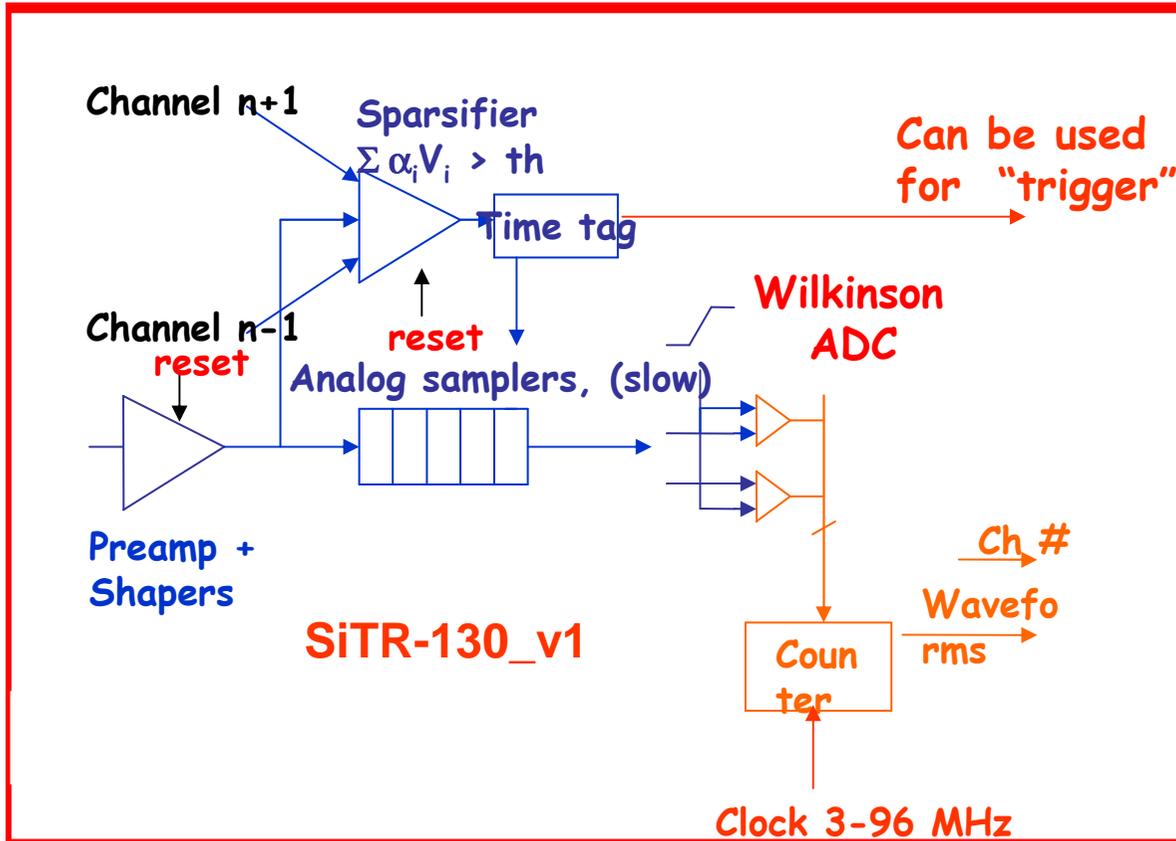
OSU, 1000 E. CLATSOP
Clatsop Community College
1000 E. CLATSOP



R&D Electronique FE: LPNHE + LAPP



- Tests des 2 versions SiTR-130_v1 et _v2 reçus début 2007
- Design du SiTR-130-128 délivrables EUDET pour équiper prototypes in 2008 et également base du programme avec HPK
(Voir présentation de Hung)



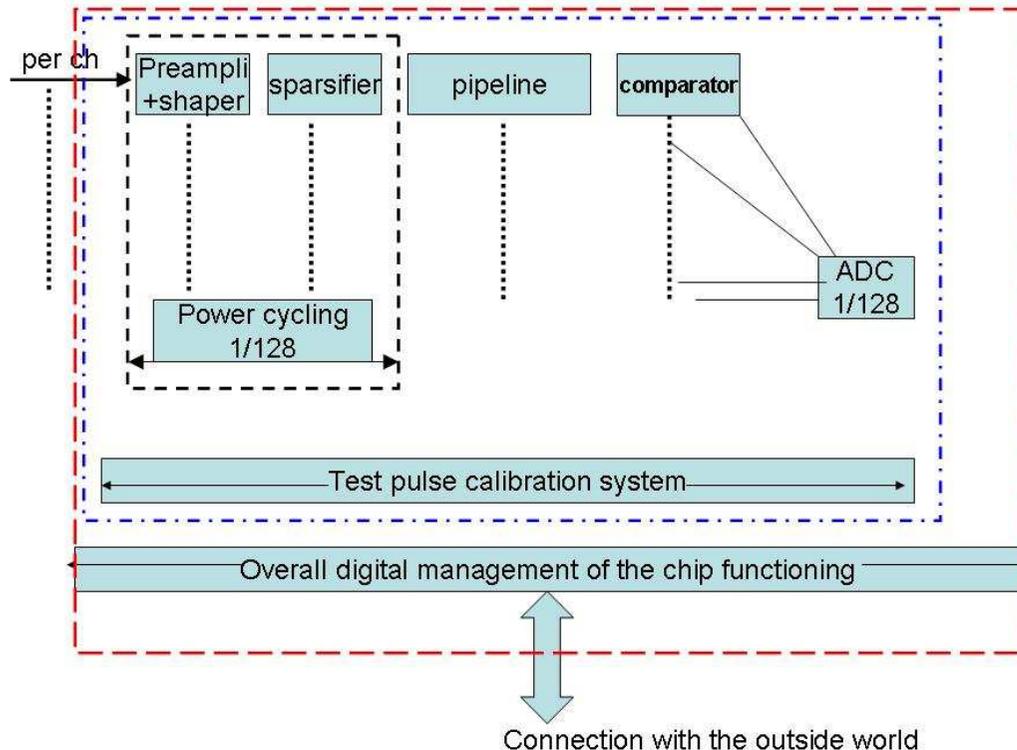
Version 2: LAPP
 (D. Fougeron + R. Hermel)
 DC servo adapté détecteurs si couplage DC (peu probable)
 DAC: calibration
 Pipeline amélioré/version v1.
Reçu 5/1/07: test au LAPP

Version 1: LPNHE Reçu fin 2006
 Tests fonctionnalité: OK, encore ADC en cours (Hung)
 Tests avec détecteur au labo et faisceau (finis fin 07)

R&D Electronique FE SiLC: enjeux actuels

- **Le chip SiTR est actuellement le plus avancé** sur le marché vs LSTFE (UCSC) et KPix (SLAC et al.)
- Ceci inclus les choix technologiques (DSM et le traitement poussé du signal sur le chip)
- **2007 a été consacré principalement à la caractérisation et aux tests** des performances de ce chip y inclus en conditions réelles (faisceau tests) impliquant une forte contribution technique et aussi des physiciens.
- **Les enjeux pour 2008 sont encore beaucoup plus ambitieux**; nous y sommes tenus par SiLC (revue R&D panel) et aussi EUDET:
construction et test SiTR_130-128 pour équipements des prototypes (production) et connectivité chip/ μ strip (projet avec HPK)
- **Important que l'IN2P3 garde le rôle moteur** assuré jusque là (un certain nombre de collaborateurs SiLC intéressés et avec excellente expertise...)
- **Design du readout à associer après ce FE**, pour prototypes de plus grandes dimensions et tests en faisceau à venir et pour design final. Important d'organiser cette réflexion en commun avec les autres sous-détecteurs

Cahier des charges sur le SiTR_130-128



Parmi les points à l'étude:

- VFE: preamp+shaper: à raffiner
- Pipeline LAPP: à tester
- Comparateur: uniformité en réponse des 128 voies
- ADC: tests en cours à terminer
- Calibration (cf LAPP) à inclure
- Power cycling à inclure: **nouveau**
- Partie numérique: à inclure = **nouveau**
- Kit 130-UMC: qu'a-t-il comme outil disponible pour simu combinée analogue/numérique? **Investigation en cours (collab avec B.U et UMC)**
- Optimisation du layout pour intégration des 128 voies.
- Optimisation design des sorties; Reliée à essai de bonding du chip sur μ strips

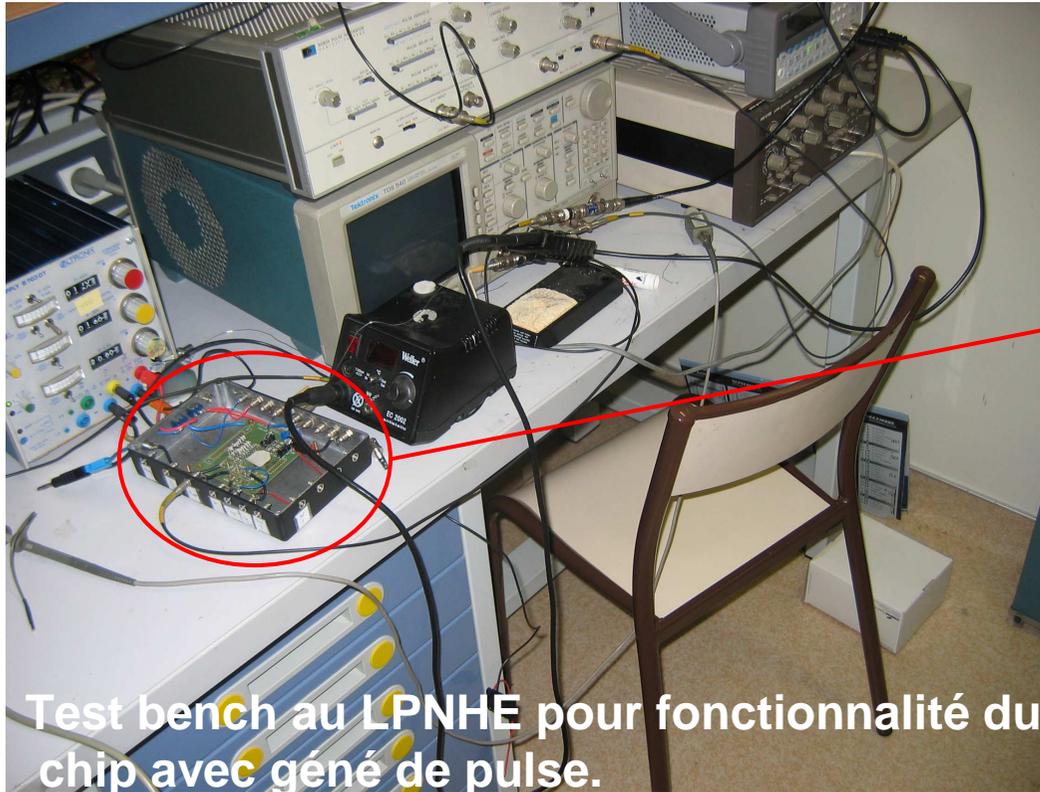
→ SiTR_130-128 **≠** 128 **X** SiTR_130-v1

Banc de tests et tests en faisceaux

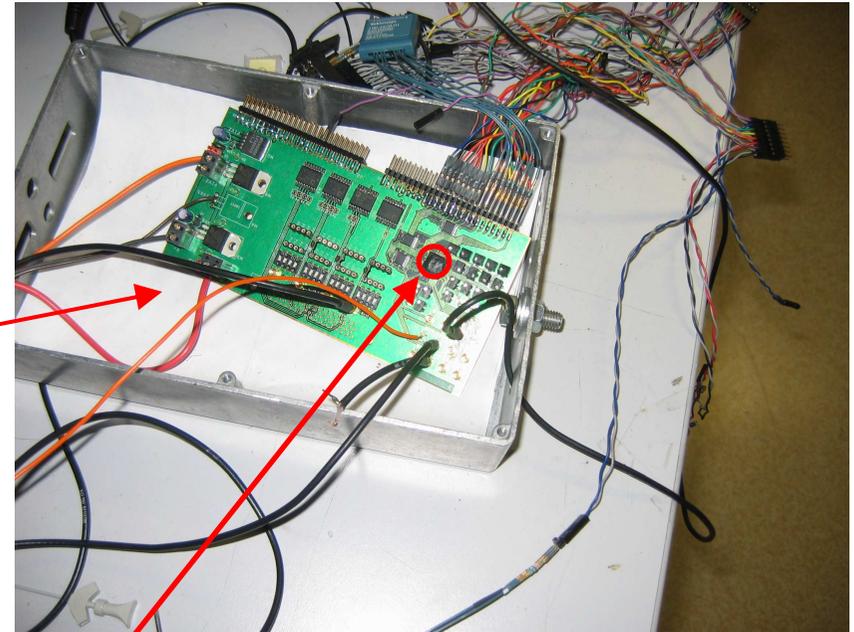
- Bancs de tests dédiés sur fonctionnalité des divers blocs du chip FE
- Bancs de tests des performances des détecteurs (
- Bancs de tests en performances du FE
- Bancs de tests pour développement et tests du DAQ (hardware et software)
- Tests en faisceaux

Nécessitent efforts et moyens y inclus en personnel (technique et physiciens) et développement d'expertises nouvelles pour tous.

Bancs de Tests en fonctionnalité des chips:



Test bench au LPNHE pour fonctionnalité du chip avec géné de pulse.



Chip SiTR-130_v1

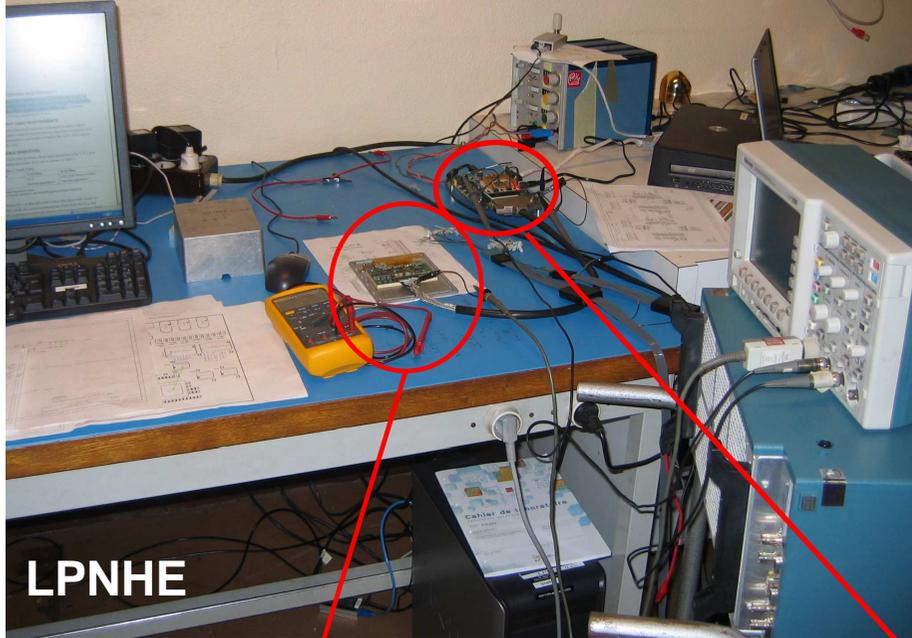
Carte de test pour SiTR-130_v1

ADC: Banc de test LPNHE développé pour caractérisation de l'ADC sur SiTR_130-V1: (nouvelle carte pour adapter la carte de test-fonctionnalité du chip à carte FPGA-USB construite pour DAQ associé (voir tests en faisceau) et du software LabView et VHDL: Système prêt, tests en train (LPNHE)

Pipeline LAPP: Banc de test est en cours d'installation au LAPP avec carte National Instrument et pilotage associé pour test du SiTR-130_v2 avec nouveau design du Pipeline fait par LAPP. Tests prévus début Décembre (LAPP+LPNHE).

DEUX TESTS ESSENTIELS pour validation et inclure dans design du nouveau chip

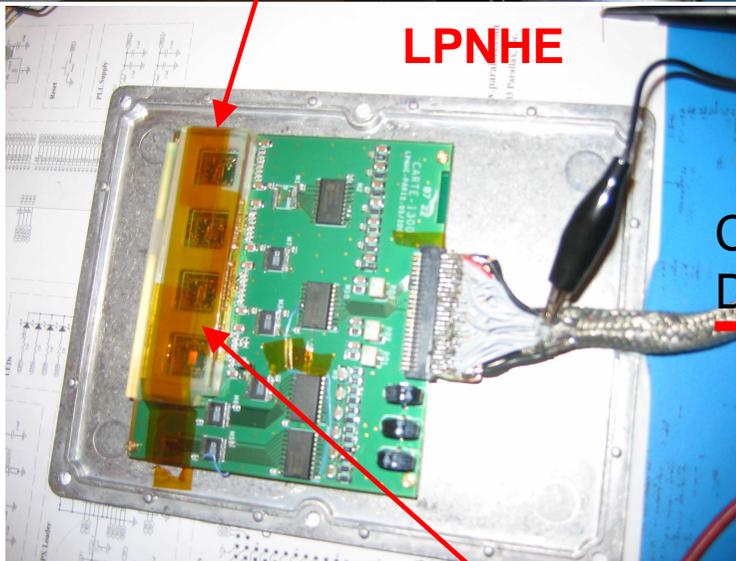
New digitized FE-readout and new associated DAQ



LPNHE

Préparation et construction des éléments hardware et software des bancs de tests et des tests en faisceaux:

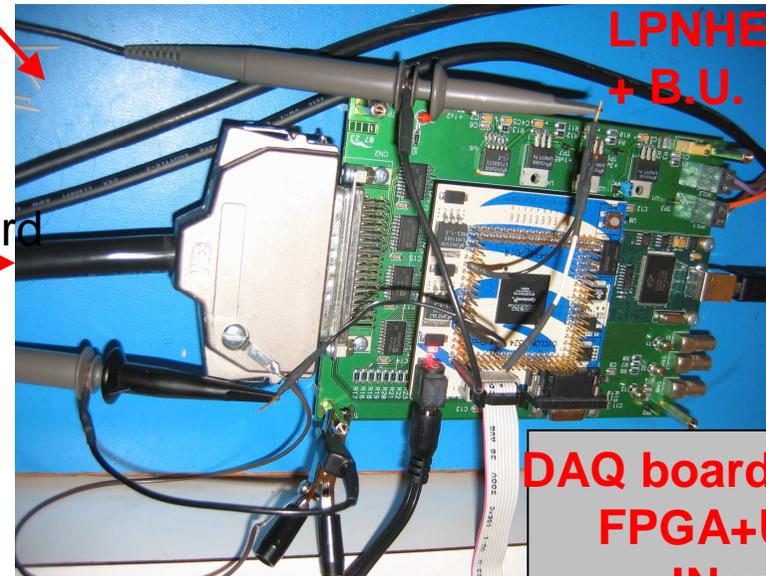
- Cartes pour chip FE pour tests fonctionnalité Spécifiques
- Cartes FE reliant chip FE au détecteur
- Cartes FPGA pour pilotage du DAQ:
 - > Version pour FE analogue only (VA1)
 - > Version pour FE incluant ADC et Utilisation adaptation USB
 - > En cours design d'une carte FPGA pour l'ensemble des modules et non une par module.



LPNHE

Cable to
DAQ board

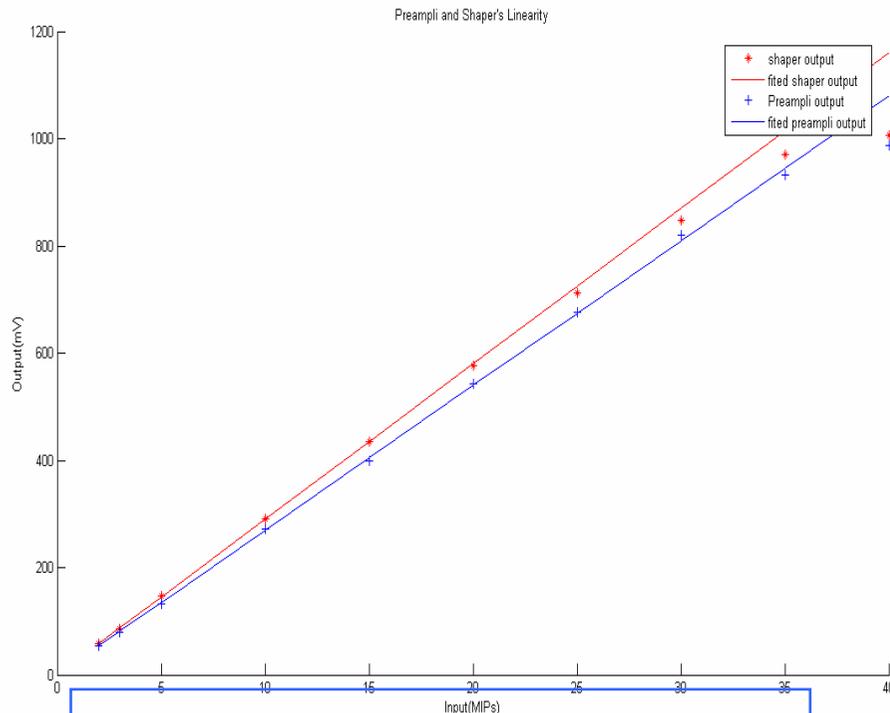
FE hybrid with 4 SiTR-130_v1
→ Total number of channels = 16



LPNHE
+ B.U.

DAQ board(VHDL)
FPGA+USB
!New!

Résultats en fonctionnalité du SiTR-130_v1, exemple: bloc préampli-shaper



Preamplifier :

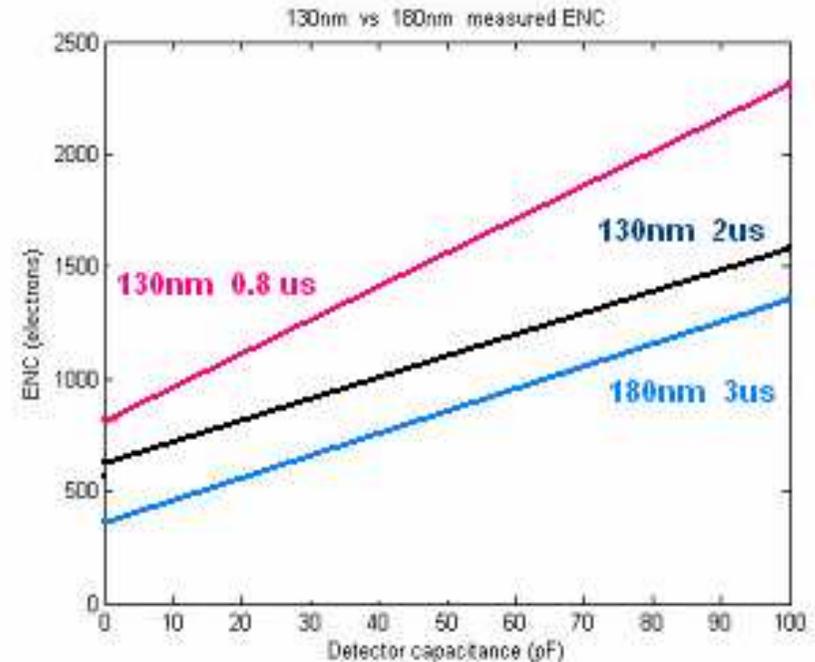
Gain = 27mV/MIP

Dynamics = 25MIPs (<1%)
= 30MIPs (<5%)

Shaper :

Gain = 29mV/MIP

Dynamics = 20MIPs (<1%)
= 30MIPs (<5%)



Performance (noise):

130nm @ 0.8 μ s : 850 + 14 e-/pF

130nm @ 2 μ s : 625 + 9 e-/pF

625*sqrt(2/3)=510 e-/pF

180nm @ 3 μ s : 375 + 10.5 e-/pF

Power consumption

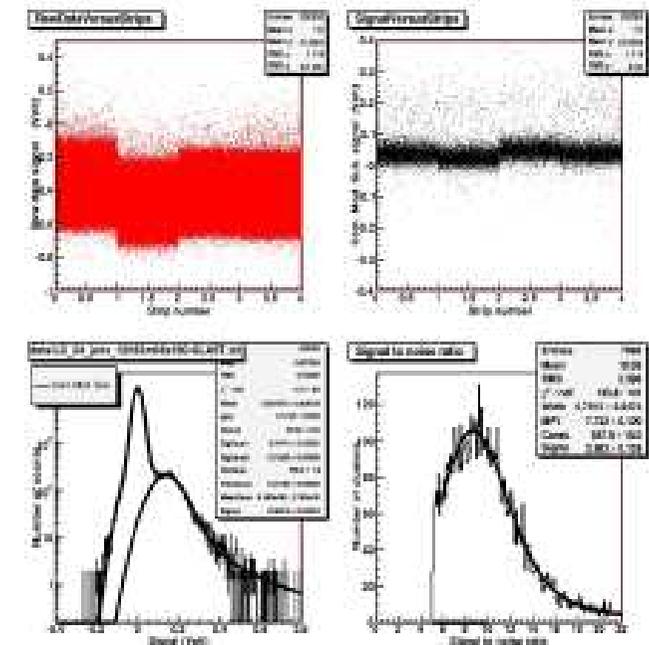
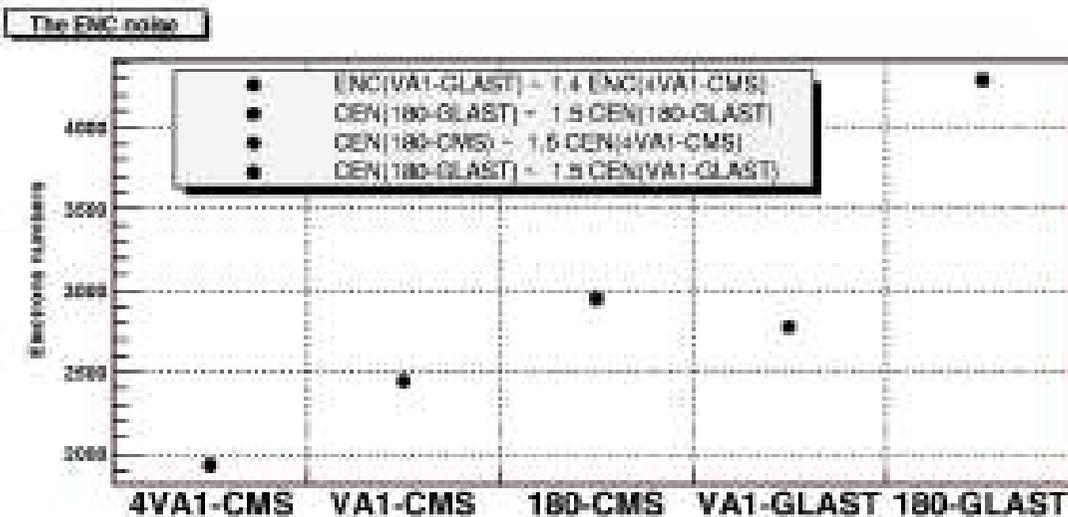
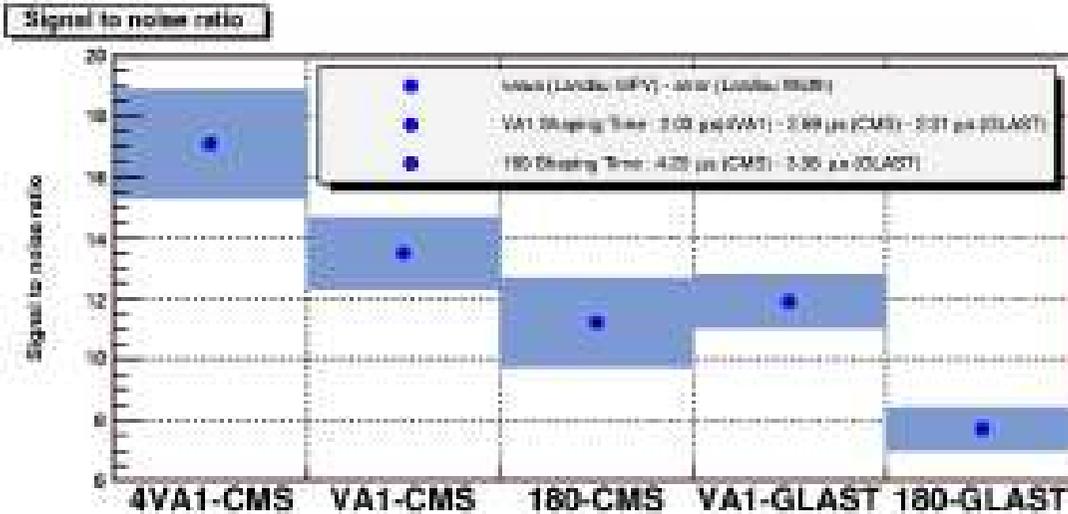
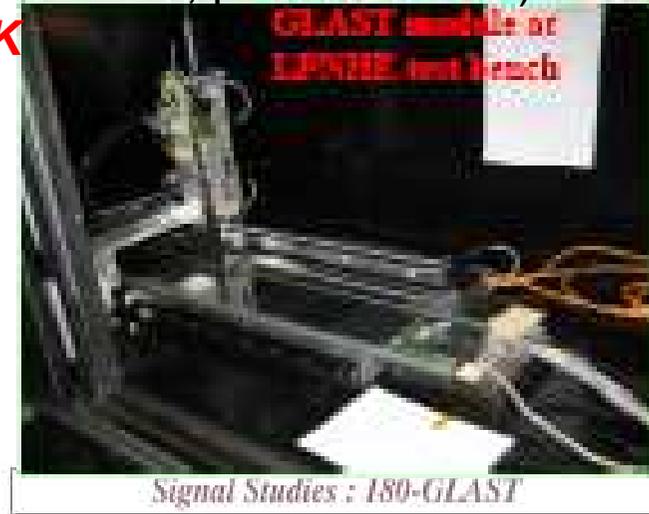
(Preamp+ Shaper) = 290 mW

Voir présentation de Hung

Caractérisation des détecteurs & FEE

Mesures S/N (MPV) et bruit (ENC) au test bench au Labo, sur modules 3CMS & 10 GLAST, lus par VA1 (ref) et SiTR-180 (cf présentation LCWS07, par W DaSilva)

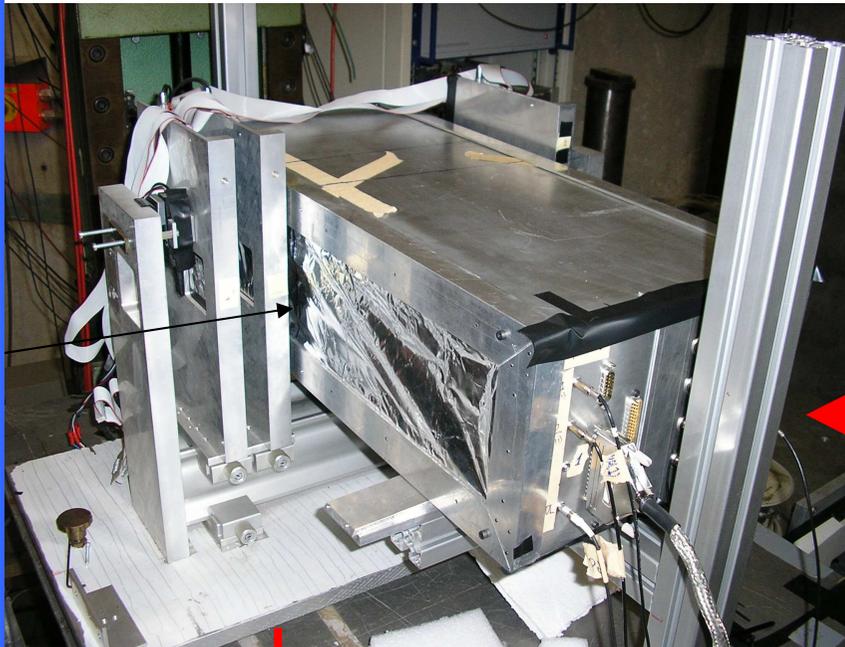
Actuellement caractérisation à Sr90 du module HPK lu par SiTR_130-v1 et comparaison avec T.B.



S/N ~ 8

Tests Faisceau (CU Prague, IFCA, IEKP, LPNHE & more joining)

- Tests DESY 4/6 → 17/6, TB22, en préparation de:
- Tests au CERN 10/10 → 22/10, TB H6 au SPS



DESY T.B:
BU, DESY, IEKP, LPNHE, Prague, IFCA
Coordinator SiTRA DESY T.B.: Z. Dolezal,
Contact person: V. Saveliev

→ Pursuing on tests at DESY (Nov06) & new Lab tests from testbench at LPNHE with CMS-180nm vs VA1 (ref)

→ Attempt to test S/N with Si module: 3CMS & 16ch of SiTR-130_v1prototype

- New DAQ Hardware: digitized FE+ FPGA + USB interface

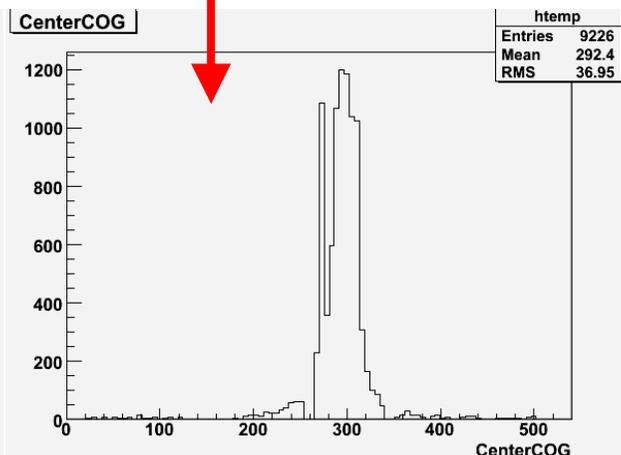
- New DAQ software (VHDL + LabView)

- New FE board

- New cabling

- Preliminary tests at the Paris Lab test bench DAQ hard + soft, new chip on FE board connected to Si module

Overall new 130nm-system could not be ready for June tests thus tests were pursued at Lab.



Objectives du T.B.au CERN 2007

- Nouveau module avec 2 nouveaux détecteurs HPK identiques aux modules pour prototypes T.B.2008.
Il est lu (16 voies) avec SiTR_130-v1
- Comparaison des performances avec 2 modules avec détecteurs TOB de CMS: l'un lu avec SiTR_130-v1; l'autre avec VA1 (référence).
- Caractérisation en faisceau du SiTR_130-v1, prototype du chip 128 voies (délivrable majeur – financement- de SITRA pour EUDET)
- Nouveau système de DAQ (hardware et software) première approche à lecture d'un trajectographe (plusieurs modules lus en série) et essai de combiner avec lecture du télescope (synchro avec TLU)
- Test combiné avec télescope EUDET: premier test combiné EUDET. S'est très bien passé.
- Préparation pour tests faisceaux de 2008

T.B CERN 2007: Répartition des tâches

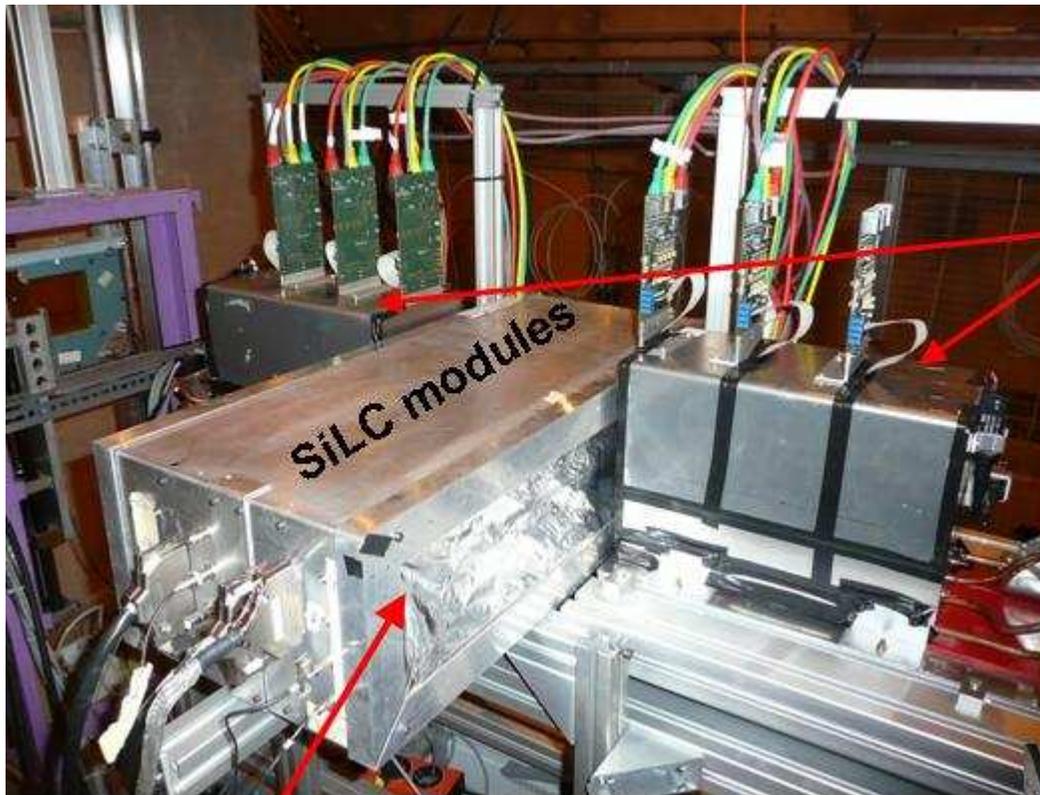
Topic	Team(s) in charge	Other collaborating teams
Sensors	HEPHY	IEKP, LPNHE
Module construction	IEKP, LPNHE and CERN	
FE Electronics	LPNHE	
DAQ Hardware: - Front-End boards - FPGA boards - TLU unit - cabling	LPNHE LPNHE EUDET LPNHE	CERN bonding Lab Barcelona University CuPrague, IFCA, Geneva U.
DAQ software - General software - Telescope software - Silicon tracking system	IFCA Geneva U (EUDET telescope) LPNHE	Barcelona University
Installation	IFCA, CuPrague, LPNHE	EUDET Telescope
Data taking	IEKP-Karlsruhe, HEPHY Vienna, LPNHE Paris, Cu Prague IFCA Santander, Torino-INFN and Uni of Torino+ Geneva*	
Analysis	Cu Prague	LPNHE Paris

Coordination faisceaux CERN; ASN, Contact CERN: Marcos Fernandez

Pour ce test combiné avec le télescope EUDET, des membres SiLC ont collaboré à tests en faisceaux du télescope au CERN faits avant les nôtres.

D'où nous avons opérés sans pratiquement aucune aide coté télescope.

**Tests faisceau au SPS-CERN,
10-22 Octobre 2007, H6, combiné
avec télescope EUDET**



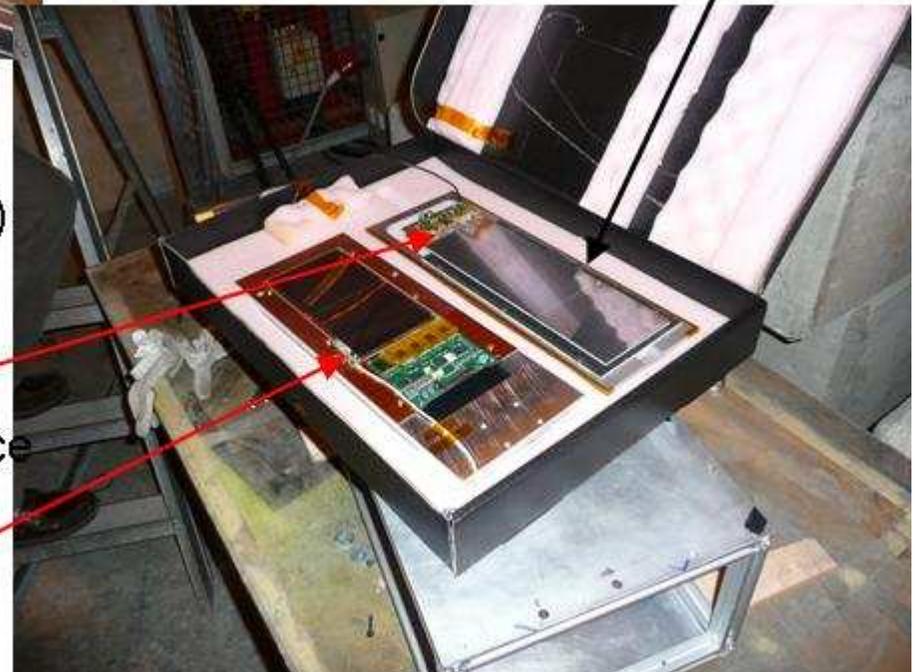
2 boxes containing the 2 parts of the EUDET pixel telescope
S/N per module and attempt of track reconstruction possibly refined with the pixel telescope (analysis starting)

Box for transportation of the SiLC modules, here with HPK module and 3CMS-130nm module

The insulating box including 3 SiLC modules is installed in between the 2 parts of the pixel EUDET telescope (3 pixel layers on each side) in the beam area H6 at the SPS CERN

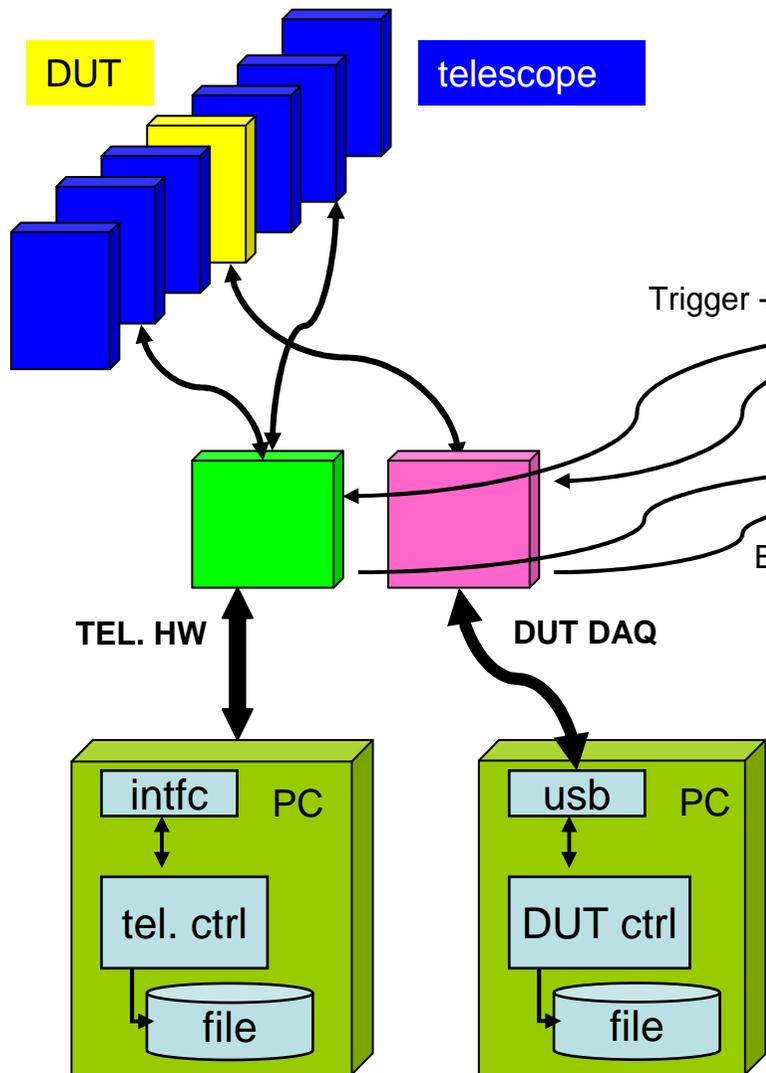
The 3 SiLC modules are as follow:

- 1) 3 CMS sensors (L=28.5cm, 500 μ m thick, 183 μ m pitch read out by VA1 chips= Reference
- 2) Same type of module (3CMS), read out by 130nm chip
- 3) Module made of 2 new HPK sensors, read out by 130nm



TELESCOPE + DUT TESTBEAM

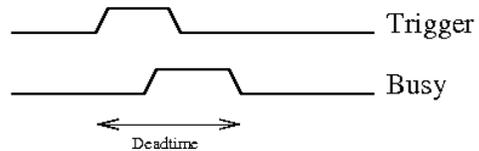
- Overall DAQ + Beam & trigger: IFCA + CU Prague
- Telescope DAQ: Telescope group
- DUT DAQ: LPNHE



Trigger Logic Unit (TLU) Beam Triggers

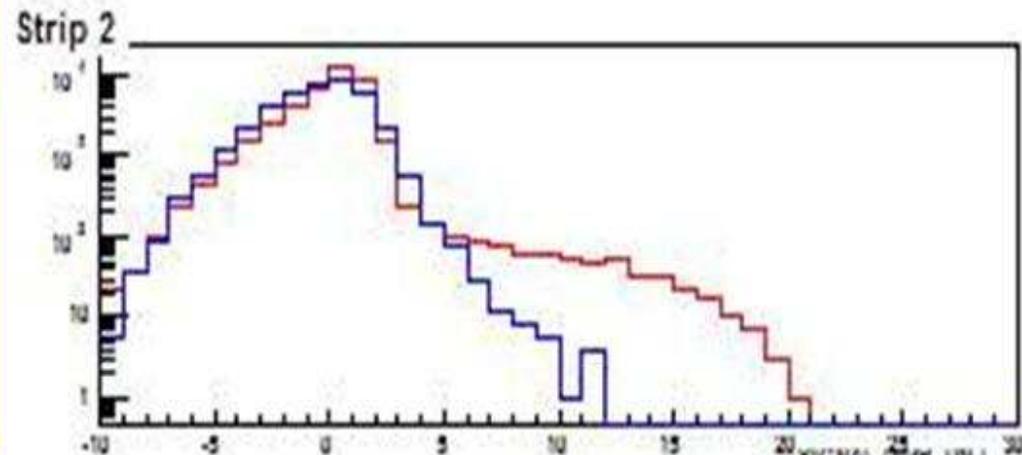
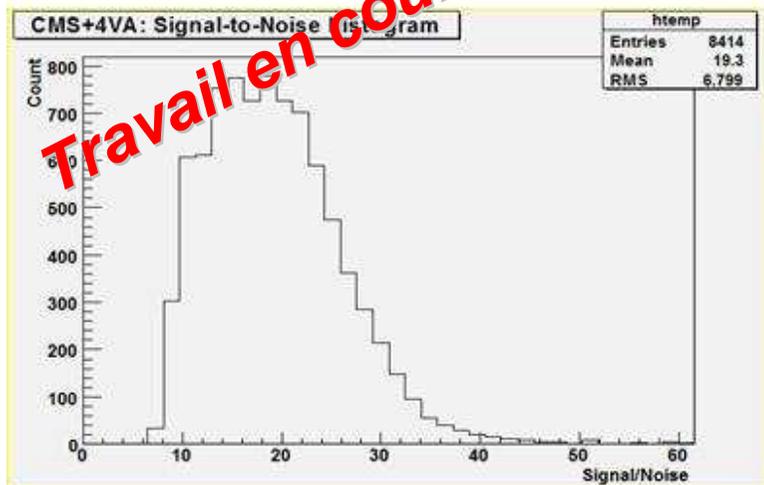
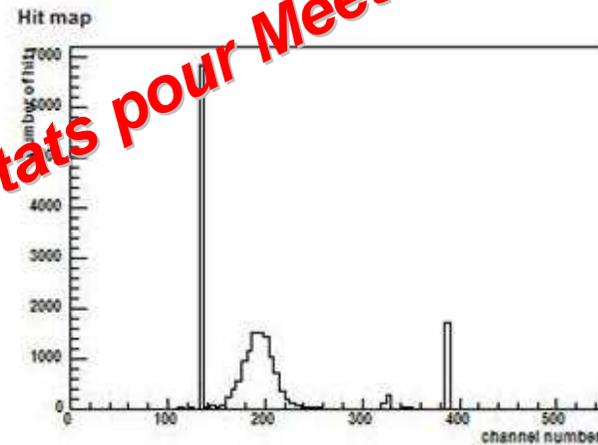
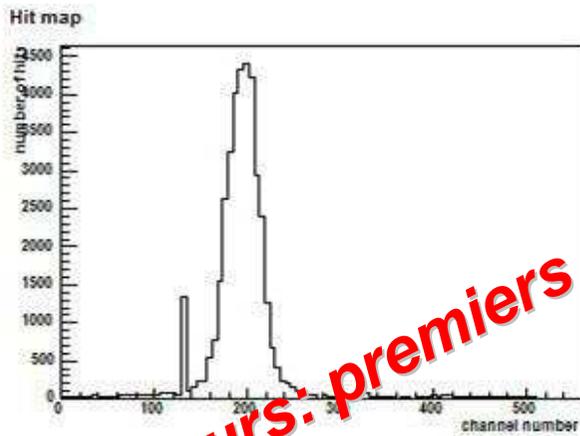
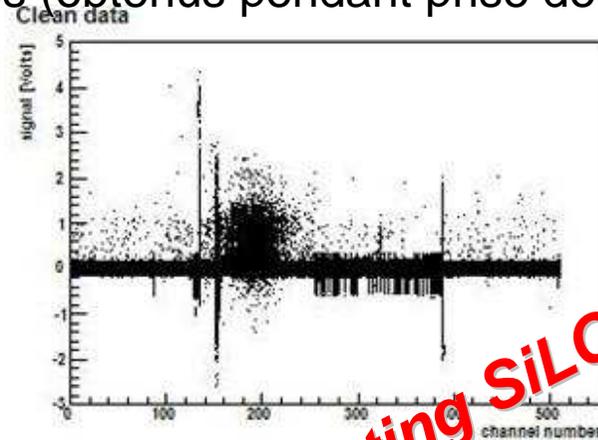
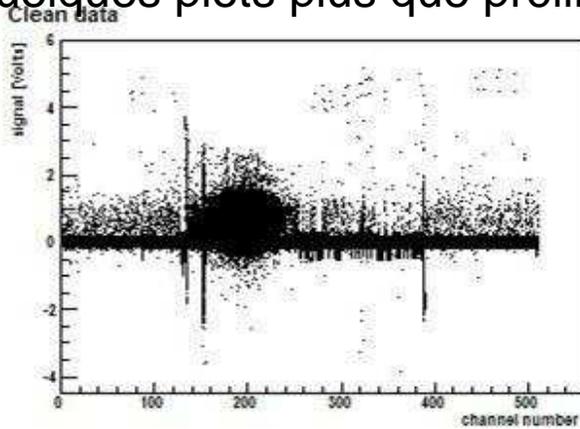


Simple Handshake



Trigger / Reset / Busy = LVDS, TTL

Quelques plots plus que préliminaires (obtenus pendant prise de données)



Travail en cours: premiers résultats pour Meeting SiLC à Turin (?)

Programme de tests 2008-2009

DESY 2008: tests avec LCTPC (voir suite)

CERN 2008:

proposition soumise vendredi au SPSC pour:

➤ 1 semaine en Juin:

Tests HPK nouvelles structures avec télescope EUDET et lecture APV25

➤ 2 semaines Octobre 2008

- Nouveaux modules et nouveaux détecteurs HPK éventuellement aussi 3D Planar
- Nouveaux chips 128v
- Table 3D
- Enveloppe isolante
- Proto alignement
- Combiné avec télescope EUDET
- Nouveau DAQ "global" = nouveau hardware et software + monitoring

FNAL 2009?

En cours de discussion à FNAL et aussi avec SiLC (possibilité tests combinés avec grands protos et calorimètre plus proto vertex)



*Proposal submitted to the CERN SPS Committee for
A beam test at the CERN-SPS in 2008 by:
SiLC R&D Collaboration*

Abstract: The SiLC R&D collaboration is requesting a total of three weeks beam test at the SPS at CERN in 2008, in order to pursue the work started at the beam test H6 at CERN-SPS, from October 16 to October 22, 2007. This collaboration is aiming to develop the new generation of large area Silicon systems in synergy with the work achieved for constructing the present LHC Silicon trackers and also in view of their upgrades for (SLHC and the future trackers for the Future Linear Collider. It is also part of the EUDET IF-P6 European Project.*

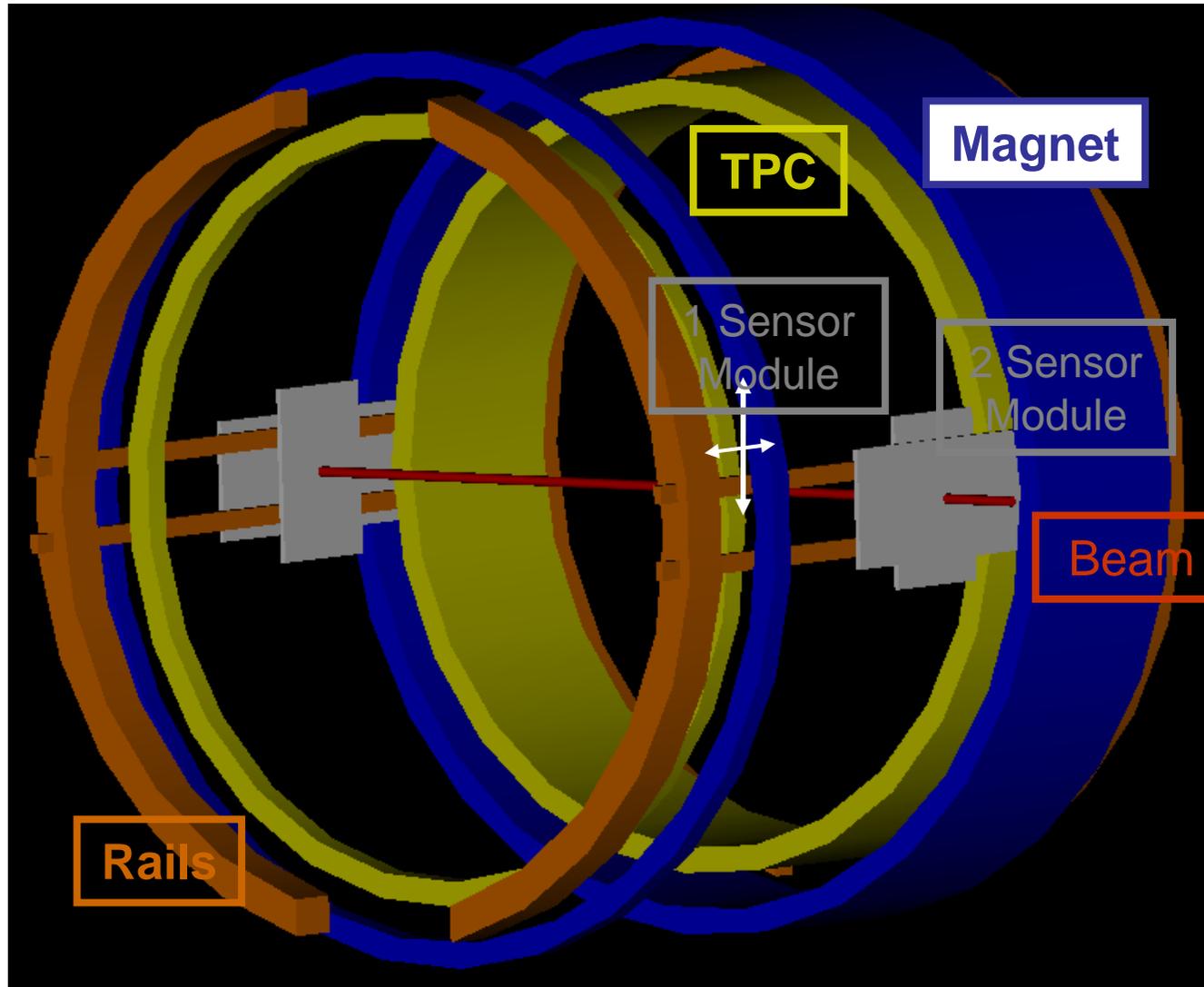
**Members of the SiLC R&D collaboration are: University of Michigan-Ann Arbor (USA), LAPP-Arnexy (France), University of Barcelona and Universitat Ramon Llull in Barcelona (Spain), IMB/CNM-CSIC in Bellaterra (Spain), Helsinki Institute of Physics (Finland) and VTT Technical Research Center of Finland-Helsinki (Finland), IEPF Karlsruhe (Germany), Liverpool University in Liverpool (UK), Moscow State University-Moscow Russia, Obninsk State University - Obninsk (Russia), LPNHE-University Pierre et Marie Curie/CNRS-IN2P3 (France), Charles University in Prague (Czech Republic), SCIPP and University of California in Santa Cruz (USA), IFCA-University of Cantabria and CSIC-Santander (Spain), Tohoku University, Seoul National University and SanggyeongKwan University all in Seoul, and Kyungpook National University in Daegu (Korea), INFN-Torino and University of Torino in Torino (Italy), IFIC, University of Valencia and CSIC-Valencia (Spain), HFPH, Austrian Academy of Sciences in Vienna (Austria), Hamamatsu Photonics in Hamamatsu City (Japan)*

*SiLC test beam coordinator: Aurora Saenz-Navarro
msaenz@hepbe.fnal.gov*

*SiLC contact person at CERN: Marcos Fernandez Garcia
Marcos.Fernandez@cern.ch*

Proto enveloppe Silicium pour test avec LPTPC

IEKP+HEPHY (mécanique), LPNHE (électronique+DAQ associé)





SITRA-LP TPC Plans

Cosmic Run:

- Limited readout area: 38,4 cm²
- 18 muon coincidences expected per day
- Too much effort for this? No, because first system test of TPC+Si readout systems

Support structure for Cosmic Run

- has to be rotated by 90°
- Problem of space with field cage support (half-shells), which are in this region (top/bottom of TPC)
- Half-shells have been/will be replaced by array of round bars

Beam test (after August 08)

- Eventually with new hardware from LPNHE Paris
- Mechanics under development

Simulations détaillées SiLC

- Gros effort en cours d'organisation dans SiLC: IFIC, HEPHY, OSU/DESY, LPNHE, Charles U. Prague et UCSC
- Objectifs: prendre en charge la simulation détaillée des trajectographes au Silicium pour ILD et participer aussi sur cette partie pour SiD (effort à FNAL)
- Questions importantes (demandes de collaboration et panel R&D):
 - Réactualiser description des trajectographes Si (DB géométrie)
 - Tracking à grands angles
 - Comparaison des différents systèmes de tracking
 - Solution pixels pour la partie interne et très à l'avant
 - Solution tout pixels (comme nous l'avons proposé à BILC07 lors du Panel R&D sur tracking et dans notre proposition SiLC à ce panel.
- LPNHE commence à participer à cette task force:
 - collaboration avec IFIC et OSU (PiCS-Russie) et
 - démarrage collaboration avec FNAL.

Collaboration SiLC: continue à se développer en synergie avec d'autres applications que le ILC et même le LHC; Aussi intérêt des superB factor(ies).

Meetings collaboration (2/par an) + meetings dédiés + impact tests beam.

- Visibilité: Rapport panel R&D tracking BILC07,
- conférences/Workshops:
- Co-auteur DCR section Si tracking



6th SiLC Meeting - Torino

17th - 19th December 2007

Voir <http://www.silc.to.infn.it/>

- Home
- Welcome
- Agenda
- Information
- Accommodation
- Transport
- Registration
- Participants
- Web Page
- Web Page





Critical points: (*not only for SiLC*)

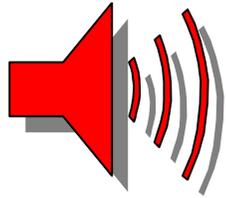


- **Financing**

Non E.U. funds are needed for: Silicon sensors, detector prototypes, part of cooling system, all the alignment system, DAQ and related electronics (FE boards etc...)

- **Collaboration with industry** on some of the high tech aspects is crucial (new sensors; wiring /packaging, VDMS foundries, new materials) and needs funding as well.

- **Test beam:** longer and far away (CERN & FNAL), thus increasing needs for travelling money



SiLC points positifs



- Avancées importantes en 2007 sur:
 - Nouveaux détecteurs Silicium
 - Nouveaux modules et démarrage design/construction prototype grande dimension: IEKP, HEPHY, LPNHE+CERN
 - FEE chips (LAPP et LPNHE)
- Collaboration démarrée avec autres sous-détecteurs:TPC & μ vertex
- Développé expertise sur T.B. à DESY et au CERN
- Nouveaux groupes SiLC joignent tests faisceaux(prepa & construction)
- Industries commencent active contributions sur aspects cruciaux: nouveaux détecteurs & connectivité (pas seul intérêt de HPK).
- Collaboration SiLC se développe bien:
 - intérêts de nouveaux groupes
 - Elargissement des synergies: SLHC et autres...